

氏名（本籍）	<sup>むか</sup> 向 <sup>い</sup> 井 <sup>ひろ</sup> 寛 <sup>と</sup> 人（大阪府）
学位の種類	博士（理学）
学位記番号	甲第1229号
学位授与の日付	2021年3月18日
学位授与の要件	学位規則第4条第1項該当
学位論文題目	<b>Micro-architectures of Quantum Information Processor</b> (量子情報処理装置のマイクロアーキテクチャ)

論文審査委員	(主査) 嘱託教授 蔡 兆申
教授	二国 徹郎 教授 徳永 英司
准教授	佐中 薫 准教授 Mark Paul Sadgrove
教授	渡邊 昇 特任副学長 高柳 英明

## 論文内容の要旨

Among the many potential hardware platforms, superconducting quantum circuits have become the leading contender for constructing a scalable quantum computing system. Not only have we seen significant advances in recent years in reliable fabrication and control technology, but the quality of the qubits themselves have increased by many orders of magnitude. Almost all current architecture designs necessitate a two-dimensional arrangement of superconducting qubits with nearest-neighbor interactions, that is compatible with powerful quantum error-correction using the surface code. A major hurdle for scalability in superconducting systems is the so-called wiring problem, where internal qubits of a chipset become inaccessible for external control/readout lines.

The current consensus within the superconducting quantum circuit field is that the control wiring for such chips should be fabricated in the third dimension, utilizing several techniques to place bias, readout and control wires orthogonal to the plane of the chip itself. This technique has shown much promises, but it is also very unclear and still a significant engineering challenge if these intricate, three-dimensional wiring and packaging technology control fabrication techniques are compatible with

maintaining high fidelity operations and increasing chip size. The largest concern is the ability to reduce cross-talk and control line contamination of neighbouring qubits to the degree necessary to achieve fidelities of 99% or higher across the chip. In other words, these approaches resort to intricate, three-dimensional wiring and packaging technology, which is a significant engineering challenge to realize while maintaining qubit fidelity.

In this thesis, we present a revolutionary new large-scale micro-architecture design that completely side-steps this issue. We propose a pseudo-2D arrangement architecture of superconducting qubits.

This bi-linear array allows each physical qubit to be biased, measured and controlled using wiring that remains in-plane with the chip (eliminating completely the need for 3D control line fabrication and packaging).

Utilizing the micro-architecture bi-linear arrangement of superconducting qubits, we also show how a large Raussendorf cluster can be produced, which realizes the cluster state model of surface code quantum error correction while maintaining planar access of control lines to each individual qubit. This architecture realizes the cluster state model of surface code quantum error correction, without the need for 3-dimensional control wiring. Moreover, we propose that bi-linear transformed arrangement with additional qubits can be generate a 3D-cluster-state on completely planer circuit with some overhead.

A novel architecture for superconducting circuits is also proposed to improve the efficiency of a quantum annealing system. To increase the capability of a circuit, it is desirable for a qubit to be coupled not only with adjacent qubits but also with other qubits located far away. We introduce a circuit that uses a lumped element resonator coupled each with one qubit. The resonator-qubit pairs are coupled by rf-superconducting quantum interference device (SQUID) based couplers. These pairs make a large quantum system for quantum annealer. This system could prepare the problem Hamiltonian and tune the parameters for quantum annealing procedure.

## 論文審査の結果の要旨

本論文では、超伝導量子回路を用いた、量子情報処理装置について 3 つのマイクロアーキテクチャを提案しています。数あるハードウェアプラットフォームの中でも、超伝導量子回路は、スケーラブルな量子コンピューティングシステムを構築するための有力な

候補となっています。近年、信頼性の高い製造技術や制御技術が大幅に進歩しただけでなく、量子ビット自体の品質も桁違いに向上しています。この技術は多くの期待を示してきましたが、量子コンピューターの実現には最近接相互作用を持つ超伝導量子ビットの 2 次元配列が必要とされており、チップセットのサイズが大きくなるにつれて、内部量子ビットへの外部からの制御/読み出し線がアクセスし辛くなります。そのため現在では、チップ自体の平面に直交するように配置する三次元配線技術が必要であると考えられています。しかし、複雑な三次元配線およびパッケージング技術の制御製造技術が、高忠実度動作の維持およびチップサイズの増大と互換性があるかどうかは、非常に不明確であり、依然として重要な工学上の課題であるとされています。そのため、複雑な三次元配線やパッケージング技術を使用して、量子ビットの忠実度を維持しながら、より大きなチップセットを実現することは大きな課題となっています。

この問題を完全に回避する画期的な新しい大規模マイクロアーキテクチャを提案します。本論文では、超伝導量子ビットの擬似 2 次元配列アーキテクチャを提案します。このバイリニアな配列により、チップと面内に残る配線を用いて、各物理量子ビットのバイアス、測定、制御を行うことが可能となります。超伝導量子ビットのバイリニア配列を利用するマイクロアーキテクチャによって、個々の量子ビットへの制御線の平面的なアクセスを維持しながら、クラスター状態モデルによる表面符号量子エラー訂正を実現する大規模なラウッセンドルフクラスターを生成する方法も示しています。このアーキテクチャは、3 次元制御配線を必要とせず、クラスター状態モデルによる表面符号量子誤り訂正を実現できます。

また、量子アニーリング装置の効率を向上させるために、超伝導回路のための新しいアーキテクチャを提案する。量子アニーリングに対する回路の性能を向上させるためには、隣接する量子ビットだけでなく、離れた位置にある他の量子ビットとも結合することが望ましいとされています。本研究では、1 つの量子ビットに 1 つずつ結合された集積素子共振器を用いた回路についても提案しています。RF 型超伝導量子干渉素子(SQUID)をベースとした結合器によって結合された、共振子と量子ビットの対を集積することで、量子アニーラーのための大規模な量子システムを構築できます。

以上より、本論文は博士（理学）の学位論文として十分価値があるものと認めます。