

氏名（本籍） まつ の じゅん や （神奈川県）  
学位の種類 博士（工学）  
学位記番号 甲第942号  
学位授与の日付 平成29年3月18日  
学位授与の要件 学位規則第4条第1項該当  
学位論文題目 高速A/D変換器の高分解能化に向けた並列  
化技術に関する研究

論文審査委員 （主査）教授 兵庫 明  
教授 榎田洋太郎 教授 木村 真一  
教授 鈴木 英之 教授 溝口 博

## 論文内容の要旨

半導体集積回路（LSI: Large Scale Integration）の急速な微細化に伴ってデジタル論理回路やメモリの高集積化や高速化、低消費電力が進み、今日のエレクトロニクスシステムでの信号処理の多くはデジタル領域で行われている。一方、自然界の物理量は連続した大小で表されるアナログ信号であるため、これをデジタル信号に変換するA/D変換器（Analog to Digital Converter）は必要不可欠な電子部品となっている。スマートフォンやデジタルカメラ、IoT（Internet of Things）などの普及によって処理するアナログ情報量が増大し、それに伴ってA/D変換器の高速化、高分解能化に対する要求が非常に高まってきている。本論文は、無線通信用LSIに用いるA/D変換器をモチーフとして、数100MHz帯域以上の高速かつ十数ビットの高分解能を両立可能なA/D変換器を、微細プロセスを用いて実現する場合の課題を明確化し、これを解決する手法についてまとめたものである。

第1章では、A/D変換器の役割と重要性について述べ、A/D変換器の構成方法について概説する。高速・高分解能の両立に適したパイプライン方式について、微細プロセスを用いて実現する際の課題を示し、本論文の研究の目的を明確にする。

第2章では、パイプライン方式に用いる演算増幅器（Operational Amp

l i f i e r : O P A M P) の回路構成方法について概説し、微細化に伴う電源電圧低下やトランジスタ固有利得低下によって、従来構成では高利得の実現が困難であることを示す。加えて、パイプライン型A/D変換器の高速化の限界について示し、複数のA/D変換器を並列動作させて等価的に高速化を実現するタイムインタリーブ方式の動作原理と課題について数学的に解説する。

第3章では、微細プロセスによる利得低下を解決可能な並列型OPAMP技術について述べる。従来では、主となるOPAMPによって構成された負帰還増幅回路と並列に副OPAMPによって構成された別の負帰還増幅回路を備え、主増幅回路の増幅動作を補助することによって、等価的に利得を向上する手法が提案されているが、主および副OPAMPとの間に利得のミスマッチがあると利得向上量が劣化する課題があった。そこで、主OPAMPの有限利得によって発生する誤差電圧を、副増幅回路によって検出して増幅し、主増幅回路から誤差電圧を減じることで、主および副OPAMPの利得ミスマッチ依存性を低減しつつ、等価的に利得を向上する手法を考案した。65nmプロセスを用いてOPAMPの設計、回路シミュレーションを行い、主および副OPAMPの直流利得を40dBとし、 $3\sigma$ のバラツキを想定した場合、従来および提案技術による等価的な利得向上量はそれぞれ11dBと26dBとなった。A/D変換器に適用した場合、達成できる実効分解能を見積もるとそれぞれ9.6ビットと12ビット程度となり、提案手法によって2ビット以上の改善効果が得られる見込みを得た。

第4章では、タイムインタリーブ方式のデジタル補正技術について述べる。タイムインタリーブ方式は、複数のA/D変換器間にサンプリング時間や利得のミスマッチがあると、実効分解能が劣化してしまう。従来では、個々のA/D変換器に従属に接続した適応FIR (Finite Impulse Response) フィルタを用いて補正する手法が多く提案されているが、大規模な面積を占有してしまう課題があった。そこで、アダマール変換行列と微分フィルタ利用することで、小面積に実現可能なデジタル補正技術を考案し、10ビット4タイムインタリーブA/D変換器の場合、85%程度の面積削減効果が得られることをシミュレーションで確認した。同一面積で比較すると、実効分解能3ビット程度の改善効果に相当する。65nmプロセスで見積もると、わずか0.02mm<sup>2</sup>程度の占有面積で実現できる見込みを得た。第3章で設計したOPAMPを用いたA/D変換器に適用した場合、4タイムインタリーブによって約320MS/sを実現可能である。

第5章では、本論文で提案した利得バラツキに低感度な並列型OPAMP技術と、タイムインタリーブA/D変換器の小面積デジタル補正技術の新規性及び有効性についてまとめる。 $3\sigma$ の利得バラツキを想定した場合、従来では実現困難であった10ビット以上の高分解能なA/D変換器を実現でき、また小面積デジタル補正技術によって任意のイ

ンタリーブ数を実用可能な目途を得た。本論文の提案技術は、今後さらなるプロセス微細化に対して、高速かつ高分解能を両立可能なA/D変換器の実現に貢献できることを示す。

## 論文審査の結果の要旨

半導体集積回路（LSI：Large Scale Integration）の急速な微細化に伴ってデジタル論理回路やメモリの高集積化や高速化、低消費電力が進み、今日のエレクトロニクスシステムでの信号処理の多くはデジタル領域で行われている。一方、自然界の物理量は連続した大小で表されるアナログ信号であるため、これをデジタル信号に変換するA/D変換器（Analog to Digital Converter）は必要不可欠な電子部品となっている。スマートフォンやデジタルカメラ、I o T（Internet of Things）などの普及によって処理するアナログ情報量が増大し、それに伴ってA/D変換器の高速化、高分解能化に対する要求が非常に高まってきている。本論文は、無線通信用LSIに用いるA/D変換器をモチーフとして、数100MHz帯域以上の高速かつ十数ビットの高分解能を両立可能なA/D変換器を、微細プロセスを用いて実現する場合の課題を明確化し、これを解決する手法についてまとめている。

第1章では、A/D変換器の役割と重要性について述べ、A/D変換器の構成方法について概説している。さらに、高速A/D変換器を微細プロセスを用いて実現する際の課題を示し、本論文の研究の目的を明確にしている。

第2章では、A/D変換器のアーキテクチャおよび動作原理について解説している。中でも高速通信用に好適なパイプライン方式に着目し、この方式の問題点が演算増幅器（OPAMP：Operational Amplifier）にあり、微細化に伴う電源電圧低下やトランジスタ固有利得低下のため、従来構成では高利得の実現が困難であることを示している。加えて、複数のA/D変換器を並列動作させて等価的に高速化を実現するタイムインタリーブ方式の動作原理と課題について数学的に解説している。

第3章では、微細プロセスによる利得低下を解決可能な並列型OPAMP技術について述べている。従来では、主となるOPAMPによって構成された負帰還増幅回路と並列に副OPAMPによって構成された別の負帰還増幅回路を備え、主増幅回路の増幅動作を補助することによって、等価的に利得を向上する手法が提案されているが、主および副OPAMPとの間に利得のミスマッチがあると利得向上量が劣化する課題があった。そこで、主OPAMPの有限利得によって発生する誤差電圧を、副増幅回路によって検出して増幅し、主増幅回路から誤差電圧を減じることで、利得ミスマッチ依存性を低減できる手法を考案した。65nmプロセスを用いてOPAMPの設計、回路シミュレーションを行い、テレスコピックカスコードOPAMPによって構成された負帰還増幅回路と並列に、基本ソース接地増幅回路によって構成された負帰還回路を備えることで、直流利得を15.5dB向上でき、10ビット分解能のA/D変換器を実現できることを示した。

第4章では、タイムインタリーブ方式のデジタル補正技術について述べている。タイムインタリーブ方式は、複数のA/D変換器間にサンプリング時間や利得のミスマッチがあると、実効分解能が劣化してしまう。従来では、個々のA/D変換器に縦続に接続した

適応FIR (Finite Impulse Response) フィルタを用いて補正する手法が多く提案されているが、大規模な面積を占有してしまう課題があった。そこで、アダマール変換と微分フィルタ利用することで、小面積に実現可能なデジタル補正技術を考案し、10ビット4タイムインタリーブA/D変換器の場合、85%程度の面積削減効果が得られることをシミュレーションで確認した。65nmプロセスで見積もると、わずか0.02mm<sup>2</sup>程度の占有面積で実現できる見込みである。同一面積で比較すると、従来と比べて分解能を3ビット以上改善でき、分解能10ビットを実現できることを示した。

第5章では、本論文で提案したパイプライン型A/D変換器向けOPAMP並列化技術及びタイムインタリーブ型A/D変換器向けデジタル補正技術の新規性及び有効性についてまとめている。第3章及び4章の提案技術の組み合わせによって、65nmプロセスにおいて、4タイムインタリーブの場合、A/D変換器の分解能を3ビット以上向上し、分解能10ビット、320MHz程度の高速かつ高分解能A/D変換器を実現できる見込みを得た。本論文の提案技術は、今後のプロセスのさらなる微細化に対して、高速かつ高分解能を両立可能なA/D変換器の実現に貢献できることを示している。

本論文で得られた成果は、高速A/D変換器の高分解能化、高性能化、低価格化実現のために貢献するところが大きく、工学的、工業的価値は極めて高い。よって、博士(工学)の論文として合格として認める。