

学位申請論文

高速 A/D 変換器の高分解能化に向けた
並列化技術に関する研究

平成29年3月

松野 隼也

目次

第1章	序論	5
1.1	概要	5
1.2	研究の背景と目的	9
1.3	本論文の構成	11
第2章	高速 A/D 変換器の動作原理と、誤差要因の解析	14
2.1	概要	14
2.2	フラッシュ型 A/D 変換器	14
2.3	パイプライン型 A/D 変換器	16
2.3.1	回路アーキテクチャと動作原理	16
2.3.2	演算増幅器の誤差要因とその解析	21
2.3.3	プロセス微細化による演算増幅器の設計課題	25
2.4	タイムインタリーブ A/D 変換器	29
2.4.1	回路アーキテクチャと動作原理	29
2.4.2	A/D 変換利得及びサンプリング時間誤差の影響解析	31
2.4.3	プロセス微細化によるタイムインタリーブ A/D 変換器の設計課題	33
2.5	まとめと、課題解決のアイデア	35
第3章	パイプライン型 A/D 変換器の高分解能化技術	37
3.1	概要	37
3.2	従来の並列型 OPAMP の利得向上手法	39
3.3	利得ミスマッチに低感度な並列型 OPAMP 利得向上技術	41
3.3.1	OPAMP の有限利得の影響	41
3.3.2	スイッチトキャパシタ回路への適用	44
3.3.3	雑音解析	47
3.4	シミュレーション	50
3.5	まとめ	57

第4章	タイムインタリーブ型 A/D 変換器の小面積高分解能デジタル補正技術	58
4.1	概要	58
4.2	疑似エイリアス信号を用いた小面積・高精度デジタル補正技術	59
4.2.1	疑似エイリアス信号生成部	60
4.2.2	エイリアス減算部	60
4.2.3	補正回路のダイナミックレンジ	62
4.2.4	Mチャンネル タイムインタリーブ A/D 変換器への適用	63
4.2.5	誤差推定部	67
4.2.6	ポリフェーズ化	68
4.3	シミュレーション	71
4.4	まとめ	77
第5章	結論	78
	参考文献	81
	研究業績	84
	謝辞	88

目 次

1.1	無線通信規格と伝送速度の変遷	6
1.2	ADC の開発動向	7
1.3	ITRS ロードマップ	10
1.4	IEEE 802.11a/b 向け ADC に用いる OPAMP 回路例 [7]	11
2.1	フラッシュ型 ADC の回路ブロック図	15
2.2	パイプライン ADC の回路ブロック図	16
2.3	パイプライン ADC のタイミングチャート	17
2.4	1bit 2倍 MDAC の伝達特性	18
2.5	1bit/stage 基本演算回路の入出力伝達特性	19
2.6	1bit/stage MDAC をスイッチトキャパシタ回路で実現した場合の回路ブロック図	20
2.7	1bit/stage MDAC の伝達特性	22
2.8	MDAC の過渡応答特性、(a)OPAMP 入力端子の過渡応答、(b)OPAMP 帯域幅が十分であるときの MDAC 出力端子の過渡応答、(c)OPAMP 帯域幅が不十分であるときの MDAC 出力端子の過渡応答	24
2.9	テレスコピックカスコード OPAMP において、電源電圧低下による出力信号振幅範囲低下のイメージ図	26
2.10	寄生容量を考慮したスイッチトキャパシタ 2倍回路	27
2.11	電流と GBW の関係	28
2.12	M チャンネル TI-ADC の構成	29
2.13	4TI-ADC のタイミングチャート	30
2.14	2TI-ADC のブロック図	31
2.15	$x(n)$, $z_0(n)$, $z_1(n)$, $\hat{x}(n)$ および $\hat{x}_e(n)$ のスペクトラム	32
2.16	バッファ回路に用いられるソースフォロワ回路	34
3.1	従来の並列型 OPAMP のブロック図 [17]	40
3.2	利得ミスマッチに低感度な並列型 OPAMP のブロック図	41
3.3	実効利得と利得ミスマッチの関係	43

3.4	単一負帰還から成る一般的なスイッチトキャパシタ2倍回路	44
3.5	スイッチトキャパシタ2倍回路に提案技術を適用したブロック図	45
3.6	図3.5の完全作動構成	46
3.7	レプリカアンプ雑音解析モデル ($\phi_2 = High$)	47
3.8	完全な雑音解析モデル ($\phi_2 = High$)	48
3.9	サンプル容量と出力雑音の関係	49
3.10	OPAMP構成 (a)基本ソース接地増幅回路 (b)テレスコピックカスコー ドOPAMP (c)2段OPAMP	51
3.11	周波数特性 (a)利得 (b)位相特性	52
3.12	モンテカルロシミュレーション100回実施時の実効利得のヒストグラ ム (a)テレスコピック型OPAMP単体 (b)提案する並列型OPAMP(主 OPAMPに完全差動増幅器、副OPAMPにテレスコピックカスコー ドOPAMPを適用した場合)	53
3.13	実効利得と出力信号振幅範囲の関係	54
3.14	提案回路出力のセトリング特性	54
3.15	セトリング特性比較	55
3.16	主OPAMPのトランスコンダクタンス g_{m1} 及び副OPAMPのトラン スコンダクタンス g_{m2} と、セトリング特性の関係	55
4.1	提案する補正回路ブロック図	59
4.2	疑似エイリアス信号生成方法	60
4.3	2タイムインタリーブADC向け提案補正回路ブロック図	62
4.4	4タイムインタリーブADC向け提案デジタル補正回路ブロック図	64
4.5	MチャンネルタイムインタリーブADCにおける誤差推定部	67
4.6	相関器	67
4.7	2チャンネルタイムインタリーブADC向け微分フィルタ $H_d(j\omega)$ のポリ フェーズ化	69
4.8	2チャンネルタイムインタリーブADC向けサンプル時間誤差補正回路 のポリフェーズ構成	70
4.9	2チャンネルタイムインタリーブADC向けサンプル時間誤差推定回路 のポリフェーズ構成	70
4.10	2TI-ADCの出力スペクトラム	72
4.11	2TI-ADCにおける w_g および w_t の収束応答	72
4.12	8TI-ADCの出力スペクトラム	73
4.13	8TI-ADCにおける w_g および w_t の収束応答	74
4.14	フィルタの規模とSNDRの関係	75

第1章 序論

1.1 概要

半導体集積回路 (LSI: Large Scale Integration) の急速な微細化に伴ってデジタル論理回路やメモリの高集積化や高速化、低消費電力が進み、今日のエレクトロニクスシステムでの信号処理の多くはデジタル領域で行われている。一方、自然界の物理量は連続した大小で表されるアナログ信号であるため、これをデジタル信号に変換する A/D 変換器 (Analog to digital converter:ADC) は必要不可欠な電子部品となっている。スマートフォンやデジタルカメラ、IoT(Internet of Things) などの普及によって処理するアナログ情報量が増大し、それに伴って ADC の高速化、高分解能化に対する要求が非常に高まってきている。

例えば無線 LAN や携帯電話などに代表される無線通信用 LSI の開発では、通信速度が向上した新しい無線通信規格の登場に伴って、ADC の高速化が強く要求されている。図 1.1 に、無線通信規格と伝送速度の変遷を示す。無線 LAN(Local Area Network) に着目すると、1999 年に IEEE 802.11a/b 規格が登場し、11a では最大速度 54Mbps を実現した。その後、最大 600Mbps を実現する 11n が 2009 年に登場、2013～2014 年には、次世代規格である IEEE802.11ac やミリ波帯を用いた IEEE802.11ad が登場した。11ac は、11n と同じ 5GHz 帯で提供され、最大チャネル帯域幅を 160MHz に拡大し、変調方式を 256QAM に向上、かつ 8×8 の MIMO(Multiple-input and multiple-output) 技術によって、理論上 6.93Gbps の超高速通信が可能な次世代無線 LAN 規格である。また 11ad は、60GHz のミリ波帯で提供され、チャネル帯域幅は 2.16GHz、OFDM(Orthogonal Frequency Division Multiplexing) モードかつ変調方式 64QAM において最大 6.8Gbps を達成する。11ad は、チャネル帯域幅を GHz 以上の超広帯域にすることによって、複数のアンテナが必要となる MIMO 技術なく高速通信を可能とする。11a が登場した 1999 年から考えると、14 年のあいだに通信速度が 2 桁向上したことになる。通信速度の飛躍的な向上に伴い、受信した無線アナログ信号をデジタル信号に変換する ADC の高速化が強く要求されることは必然である。加えて、微細化によるデジタル信号処理の高性能化を活かすため、従来アナログ領域で行われていたフィルタリングなどの信号処理を、デジタル領域で

1.1 概要

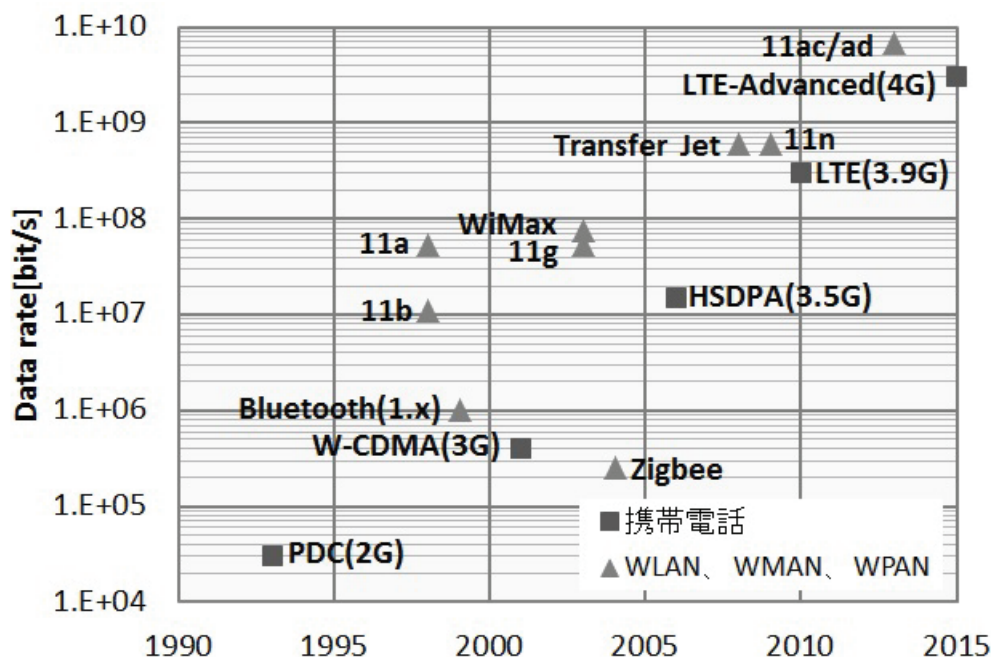


図 1.1: 無線通信規格と伝送速度の変遷

行う要求が増している。十分にフィルタリングされずに残留した不要信号を含むアナログ信号をデジタル信号に変換するために、従来よりもダイナミックレンジ(分解能)の広いADCが要求となる。

本論文は、IEEE 802.11acなどの次世代高速無線通信用LSIに用いるADCをモチーフとして、高速ADCの高分解能化を実現するための課題を明確化し、これを解決する手法についてまとめたものである。

ADCは、多数の変換方式(アーキテクチャ)が開発されており、これらは大きく $\Delta\Sigma$ (デルタシグマ)型、パイプライン型、逐次比較(Successive Approximation Register: SAR)型、フラッシュ型の4種類のアーキテクチャに分類することができる。図1.2は、主要な国際学会で2007年~2011年に発表された論文からADCの開発動向を見たもので、ADCの性能の中からサンプリング周波数と実効分解能を抽出し、前記4つのADCアーキテクチャに分類して図示したものである[1]。なお実効分解能は、サンプリング周波数の半分の周波数であるナイキスト周波数近傍の信号を入力した場合の値である。ADCに関する発表件数は多く、アーキテクチャによりそれぞれ得意な領域があり、開発もアーキテクチャごとの特徴を活かした方針で行われる。

$\Delta\Sigma$ 型ADCは、低速であるが、9ビットから13ビット程度の非常に高い分解能を達成する。これは、入力信号周波数の2倍以上の周波数で標本化を行うオーバーサ

1.1 概要

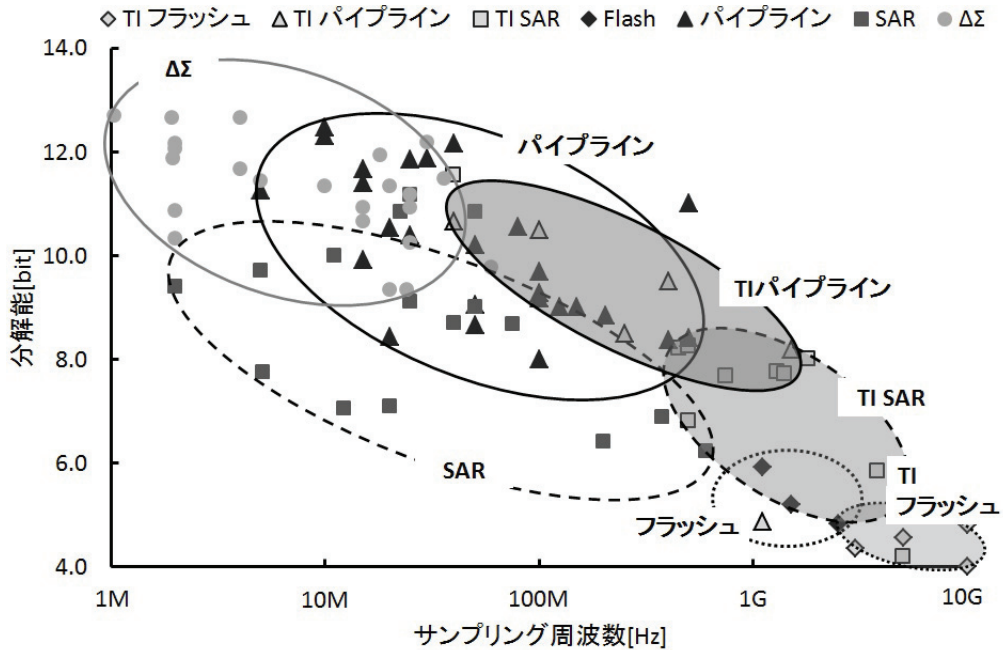


図 1.2: ADC の開発動向

サンプリング技術と、量子化器手前に積分器を備えて負帰還することで、量子化雑音を高周波周波数へ移動するノイズシェーピング技術によって実現される。これらの技術は、入力信号周波数を制限することで実現されるため、動作速度が遅くなる特徴を持つ。そのため、低速ながら高分解能が要求されるオーディオ用途や高精度なセンシング用途に利用されている。また、数 100kHz から数 MHz 程度の限られた狭い無線周波数で高度な変調方式を用いる GSM などの携帯電話システムなどに採用される例もある。

SAR 型 ADC は、中速度かつ中分解能の広い範囲をカバーする ADC である。特徴は、構成要素の大半を容量やスイッチなどの受動素子で構成される点である。このため、常時電力を消費する能動素子で構成された A/D 変換方式に比べて省電力化に優れている。しかしながら SAR 型 ADC は、2 分探索を複数回繰り返すことで入力信号を推定する動作原理であるため、高速化と高分解能化の両立が難しい傾向にある。近年は、後述する ADC を複数並列動作させて高速化を図るタイムインタリーブ手法と組み合わせることで、低電力かつ高速な ADC を実現するための研究開発が盛んに行われている。

フラッシュ型 ADC は、低分解能であるが、サンプリング周波数 1GHz 以上の非常に高い動作速度を達成できる ADC である。フラッシュ型 ADC は、すべての量子

1.1 概要

化値に対応した量子化器を並列に備え、すべての量子化器が共通のクロック信号で一度に量子化する。これによって、ADCの動作速度は、原理的には量子化器の判定速度によって規定されるため高速動作が可能となる。しかしながら分解能 N を実現するのに必要な量子化器の数は 2^N 個となるため、分解能の増加に伴い回路規模および消費電力が指数関数的に上昇する。そのため、6ビット前後以下の低分解能に限って利用されることが一般的である。

パイプライン型ADCは、高速・高分解能を両立可能なADCとして、通信分野や映像分野、ストレージ分野で幅広く利用されている。粗いA/D変換を行う基本演算回路を複数縦続に接続し、それぞれパイプライン的に動作させることによって、高速動作と高分解能化の両立を可能とする。分解能 N bitのA/D変換を行うのに必要な量子化器の数は N に比例し、 N のべき乗に比例するフラッシュ型に比べて分解能向上に伴う面積や電力の増加量は小さいため、基本演算回路を必要な分解能の分だけ縦続することによって高分解能化を実現できる。また、冗長ビットを利用したエラー訂正技術によって、量子化器のDCオフセット誤差がADCの分解能に与える影響を取り除くことができる特徴を持つ。

さらに、上述した各々のADCを複数備えて並列動作させることによって、単一のADCだけでは到達できない非常に高いサンプリング周波数を実現するタイムインタリーブ(TI)手法を適用したADCの研究開発が増えてきている。

以上のとおり、新しい高速無線通信規格の登場によってADCの要求性能が向上し、より高速かつ高分解能を実現可能なADCの研究開発が盛んに行われている。例えば60GHzミリ波帯を利用する次世代高速無線LAN規格IEEE 802.11adでは、信号帯域が2GHz程度あるため、ADCのサンプリング周波数は最低でも2GHz以上が要求される。要求分解能は6ビット前後であるため [2]、図1.2より、超高速動作を実現するフラッシュ型やタイムインタリーブSAR型、タイムインタリーブパイプライン型が好適である。また、11nと同等の5GHz帯において、変調方式256QAMを利用することで情報密度を向上して通信容量を拡大するIEEE 802.11acでは、信号帯域は80MHzまたは160MHzである。このためADCのサンプリング周波数は、最低80MHzまたは160MHz以上が要求される。さらに、256QAMの高密度な受信信号を処理するために要求される分解能は10ビット程度である [3]。このため、高速かつ高分解能を両立可能なパイプライン型が好適である。

1.2 研究の背景と目的

半導体集積回路 LSI は、製造技術の目覚ましい進歩によって急速に微細化が進んでいる。微細化の裏付けとなっているのが、1974 年に IBM の Dennard らによって提唱されたスケーリング則 (Scaling Law) である [4]。これは、デバイス構造内の電界を一定にしたままデバイス寸法と電源電圧を $1/k$ 倍、不純物密度を k 倍にすると、スイッチング速度は $1/k$ 倍、消費電力は $1/k^2$ 倍、集積度は k^2 倍となる法則である。即ち、素子の微細化によって速度、集積度、消費電力のいずれも性能が向上することを示しており、その後の半導体技術の高性能化の道を明示したことになった。これをベースに、産業界で半導体の微細化を実践する目安となったものが、Intel の Gordon Moore 博士が提唱したムーアの法則である [5]。これは、集積回路上のトランジスタ数を 18ヶ月ごとに 2 倍に高集積化を図るというものであり、この一定電界のもとに寸法を規則正しく微細化してゆく指針と定期的な高集積化は、導体産業を大きく発展させた。集積回路がコンピュータや電気通信、家電製品の普及に貢献し、経済における生産性と社会全体における生活の質の大きな改善をもたらした。

世界中の主な半導体関連組織や識者が集まって作成される半導体関連の技術ロードマップ (ITRS: International Technology Roadmap for Semiconductors) は、今後 10 年程度にわたっての詳細なロードマップが示され、毎年更新されている [6]。図 1.3 に、2009 年から 2021 年までの ITRS ロードマップを示す。MOSFET のゲート長 (Gate Length) と、電源電圧 (VDD) を縦軸にしてプロットしている。図から、チャネル長と電源電圧は今後も指数関数的に減少することが予想されている。今後も微細化は進むと考えられており、その恩恵によってデジタル論理回路やメモリのさらなる高集積化、高速化かつ低電力化が進むと考えられる。一方、大部分をアナログ回路で構成される高速 ADC は、電源電圧の低下や微細化による固有利得の低下、半導体製造時の特性ばらつき増加によって、従来構成では十分な高速かつ高分解能な ADC を実現することが困難となってきている。

例えば IEEE 802.11ac 用途に好適なパイプライン型 ADC は、演算増幅器 (Operational Amplifier: OPAMP) を用いることでパイプライン動作を実現する。OPAMP は、パイプライン型 ADC の性能を左右する非常に重要な要素回路であり、OPAMP の信号帯域が高いほど高いサンプリング周波数、利得が高いほど高分解能な ADC を実現できる。図 1.4 に、IEEE802.11a/b 向けパイプライン ADC に用いるテレスコピックカスコード OPAMP の回路例を示す [7]。特徴は、トランジスタを縦積みすることで出力抵抗を向上し、かつ縦積みトランジスタに対してサブアンプを用いてゲインブーストすることで高利得化を実現している点である。テレスコピックカスコード構成は、トランジスタを縦積みするだけで容易に高利得化を実現できるため、広く採用されている回路構成である。しかしながらトランジスタを縦積みによって出

1.2 研究の背景と目的

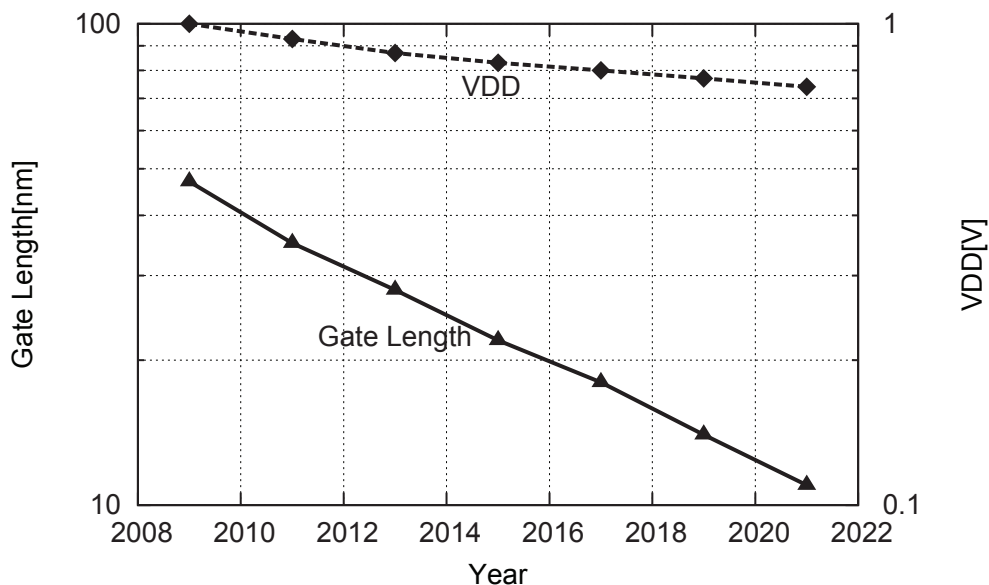


図 1.3: ITRS ロードマップ

力信号振幅範囲が低下するため、微細化による低電源電圧化によって回路内部で扱える信号電力が低下して、十分なS/N比が得られなくなっている。信号電力が低下する状況においてS/N比を保つためには、比例して雑音電力も低減しなければならない。ADCで発生する熱雑音 kT/C は、サンプル容量 C に反比例する [8]。出力振幅が半分になると、信号電力は1/4倍になるため、 kT/C 雑音も1/4倍に下げなければならない。容量を4倍に大きくする必要がある。動作速度を一定に保つためには、容量への充放電速度を4倍にする必要があり、OPAMPの消費電力が増大してしまう。トランジスタサイズを大きくしてOPAMPの高速化を実現しようとする、回路規模が増大してOPAMP自身の寄生容量が増加する。この寄生容量によって、高速化が制限されてしまう課題がある [8]。

他にも、集積回路製造プロセスでは製造条件の揺らぎが必ず発生し、最終的に素子の電気特性のばらつきとして現れるが、製造プロセスの微細化によって、製造ばらつきが回路性能に与える影響は相対的に増大してしまう [9]。同一ADCを複数並列動作させることで高速化を図るタイムインタリーブ手法は、各ADC間に特性ばらつきがあると、エイリアスと呼ばれる不要な高調波が発生してしまい、実効的な分解能が劣化してしまう課題がある [10]。

以上のとおり、製造プロセスの微細化によってデジタル回路の高性能化が図られる一方、大部分をアナログ回路で構成される高速ADCでは、従来の回路技術では

1.3 本論文の構成

は十分に大きくする必要があり、また、OPAMP の非理想的な過渡応答に起因した誤差も発生する。スイッチと容量から構成されるスイッチトキャパシタ回路において、OPAMP は、入力信号に依存して負荷容量を充放電する。この充放電時間は、OPAMP の有限帯域積幅およびスルーレートで定まる。この帯域積幅やスルーレートが不十分だと、定常状態からの誤差であるセトリング誤差が増加し、ADC の分解能が劣化する。本章では、所望の ADC の分解能を実現するうえで必要な直流利得や利得帯域積幅を定量的に算出し、設計指針を明確化する。上述の OPAMP の諸特性が、半導体プロセスの微細化に伴う電源電圧低下やトランジスタの固有利得低下によって、従来の OPAMP の回路構成では実現困難となる課題について述べ、これを解決するアイデアについて述べる。2 つ目に、タイムインタリーブ手法における誤差要因について解析する。タイムインタリーブ手法は、同一の ADC を複数並列動作させることで動作速度を向上する手法であるが、各 ADC 間に特性ばらつきがあると、エイリアスと呼ばれる高調波信号が発生して実効分解能が劣化してしまう。特性ばらつきの主要因は、A/D 変換利得と、サンプルタイミングのミスマッチである。このミスマッチによる分解能劣化量を定量的に算出し、これを解決するアイデアについて述べる。

第 3 章では、高速 ADC の 1 つであるパイプライン型 ADC の高分解能化技術について述べる。パイプライン型 ADC に用いる OPAMP は、ADC の速度及び分解能を決定する非常に重要な要素回路であるが、半導体製造プロセスの微細化に伴う電源電圧低下及び固有利得低下によって、従来の OPAMP 回路技術では十分な性能の維持が困難となっている。これを解決する従来手法の 1 つとして、主となる OPAMP と並列に副となる OPAMP を備えることによって、直流利得を向上する手法が提案されている。しかしながら従来手法は、主 OPAMP と副 OPAMP とのあいだの利得ミスマッチによって、利得向上量が劣化する課題があった。そこで、主 OPAMP の有限利得によって発生する誤差電圧を、副 OPAMP によって検出して増幅し、主 OPAMP 出力から減じることで、主および副 OPAMP の利得ミスマッチ依存性を低減しつつ、利得及び出力信号振幅範囲を向上する手法を考案し、65nm プロセスを用いて OPAMP の設計、回路シミュレーションを行って提案技術の有効性を確認した。主および副 OPAMP の直流利得を 40dB とし、 3σ のバラツキを想定した場合、従来および提案手法による等価的な利得向上量はそれぞれ 11dB と 26dB となり、従来と比べて 13dB 向上できることを確認した。ADC に適用した場合、達成できる実効分解能を見積もると、従来および提案手法はそれぞれ 8.5 ビットと 11 ビット程度となり、提案手法によって 2 ビット以上の改善効果が得られる見込みを得た。

第 4 章では、高速 ADC の 1 つであるタイムインタリーブ型 ADC の高分解能化技術について述べる。タイムインタリーブ手法は、任意の ADC を複数並列動作させることによって、ADC の動作速度を等価的に向上する手法として近年盛んに研究開

1.3 本論文の構成

発が行われている。しかしながら複数の ADC 間にサンプリングタイミングのミスマッチがあると、エイリアスと呼ばれる高調波信号が発生して実効分解能が劣化してしまう課題がある。従来では、個々の ADC に縦続に接続した適応フィルタを用いてサンプルタイミングのミスマッチを補正する手法が多く提案されているが、フィルタ係数を保持するための大規模な LUT(Look Up Table) が必要であり、かつ ADC のダイナミックレンジと同等のフィルタ信号語長が必要であって大規模な面積を占有してしまう課題があった。そこで、アダマール変換と微分フィルタ利用することで、小面積に実現可能なタイムインタリーブ型 ADC 向けデジタル補正技術を考案した。10ビット4タイムインタリーブ型 ADC において、65nm プロセスを想定して従来および提案手法ともに同一面積で実装した場合、従来手法と比べて実効分解能が3.6ビット向上することをシミュレーションで確認した。

第5章では、本論文で提案した高速 ADC の1つであるパイプライン型 ADC 向け OPAMP 並列化技術、及び ADC の並列化技術であるタイムインタリーブ型 ADC 向け高精度デジタル補正技術の新規性及び有効性についてまとめる。本論文で提案した技術は、今後のさらなる半導体製造プロセスの微細化に対して、高速 ADC の高分解能化に貢献できることを示す。

第2章 高速 A/D 変換器の動作原理と、誤差要因の解析

2.1 概要

無線通信規格の伝送速度の向上は著しく、今後のさらなる速度向上を実現するためには、無線アナログ信号をデジタル信号に変換する ADC の高速化は必要不可欠である。高速 ADC は大きく、フラッシュ型 ADC とパイプライン型 ADC がある。フラッシュ型 ADC は、量子化器を複数備えて一度に動作させることで、低分解能ながら超高速動作を可能にする。パイプライン型 ADC は、OPAMP を用いてパイプライン処理を行い、高速かつ高分解能を両立する。さらに、ADC そのものを複数に備えて並列動作させることで高速化を実現するタイムインタリーブ手法がある。

本章ではまず、上記高速 ADC の基礎的な動作原理や回路アーキテクチャについて解説する。次いで、ADC を構成する要素回路の非理想要因が A/D 変換性能に及ぼす影響を考察し、所望の性能を実現するために必要な要素回路の所要性能を明らかにする。さらに、微細プロセスを用いて実現する場合の課題を明確化し、これを解決するアイデアについて述べる。

2.2 フラッシュ型 A/D 変換器

図 2.1 に、一般的なフラッシュ型 ADC の回路ブロック図を示す。N ビットの分解能を実現するために、 $2^N - 1$ 個の電圧比較器と、 2^N 個の等しい抵抗値 R の抵抗ラダー回路、N ビットの論理出力を生成するエンコーダとで構成されている。抵抗ラダー回路によって、正側参照電圧 V_{refp} と負側参照電圧 V_{refm} の間を、 $2^N - 1$ 個の等間隔な電圧に分割する。各電圧比較器では、これらの分割された参照電圧とアナログ入力電圧を比較する。その結果、例えば k 番目以下の比較器出力が“1”、(k+1) 番目以上の比較器出力が“0”の場合、アナログ入力電圧は、k 番目と (k+1) 番目の参照電圧の間にあると判別できる。比較器群 $2^N - 1$ ビットの出力データは、下から (1,1,1,,,1,1,0,,,0,0) となり、水銀体温計の振る舞いと似ていることから、温度計符

2.2 フラッシュ型 A/D 変換器

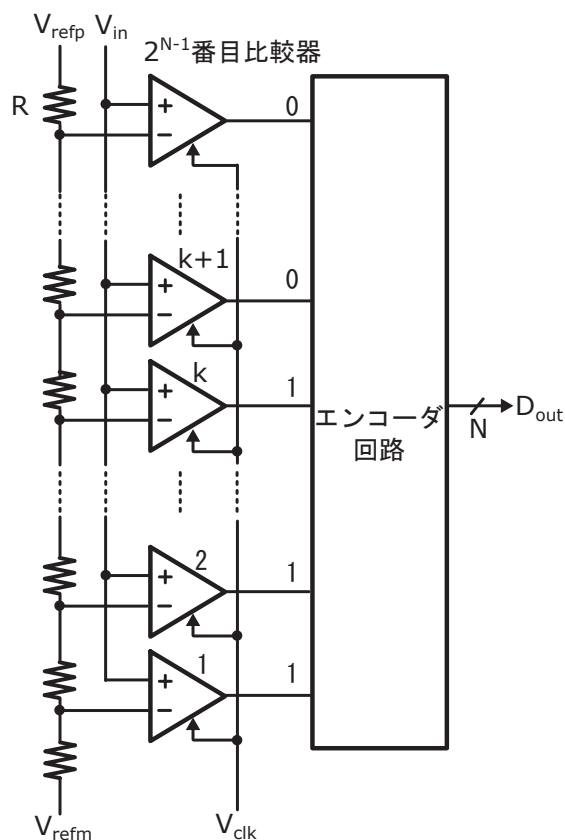


図 2.1: フラッシュ型 ADC の回路ブロック図

号と呼ばれる。この結果はエンコーダへ送られて、 N ビットの 2 進符号に変換されて出力される。

フラッシュ型 ADC の特徴は、すべての比較器が共通のクロック信号 V_{clk} によって同時に動作することである。1 クロックで N ビットの A/D 変換を行うため、比較器が実現できる動作速度の上限まで ADC の動作速度を向上でき、高速動作に適している。図 1.2 で示したとおり、1GHz 以上のサンプリング周波数を実現できるため、チャンネル帯域幅が GHz 以上の IEEE 802.11ad 用途に好適である。しかしながら一方、分解能を上げると、必要となる比較器の数が指数関数的に増大するため、消費電力とチップ面積も指数関数的に増大してしまう。そのため実際には、図 1.2 から分かるとおり、約 6 ビット前後以下で使用されることがほとんどである。さらなる高分解能化を実現するためには、大きく 2 つの方法が考えられる。1 つは、フラッシュ型 ADC をタイムインタリーブ化してさらに高速化し、オーバーサンプリングの効果で等価的に分解能を向上する方法である。もう 1 つは、フラッシュ型より低速な

2.3 パイプライン型 A/D 変換器

がら、高分解能化に適した SAR 型やパイプライン型 ADC をタイムインタリーブ化して、高速かつ高分解能を両立する方法である。いずれも、今後の研究課題として今現在盛んに研究開発されている A/D 変換手法である。どちらにせよ、今後さらなる高速かつ高分解能を両立する非常に重要な技術の 1 つは、タイムインタリーブ手法であると言える。

2.3 パイプライン型 A/D 変換器

2.3.1 回路アーキテクチャと動作原理

図 2.2 に、一般的なパイプライン型 ADC の回路ブロック図を示す。パイプライン型 ADC は、1 段あたり n ビットの A/D 変換を行う基本演算回路を縦続接続して、パイプライン的な動作を行うことによって必要な分解能を得る方式である。各基本演算回路は、入力信号をサンプリング (標本化) するサンプルアンドホールド (S/H) 回路と、1~4 ビット程度の低分解能なサブ ADC と、スイッチトキャパシタ型の MDAC (Multiplying Digital-to-Analog Converter) 回路で構成されている。MDAC は S/H 回路出力とサブ ADC 出力を D/A 変換した信号との差分を増幅し、次段に

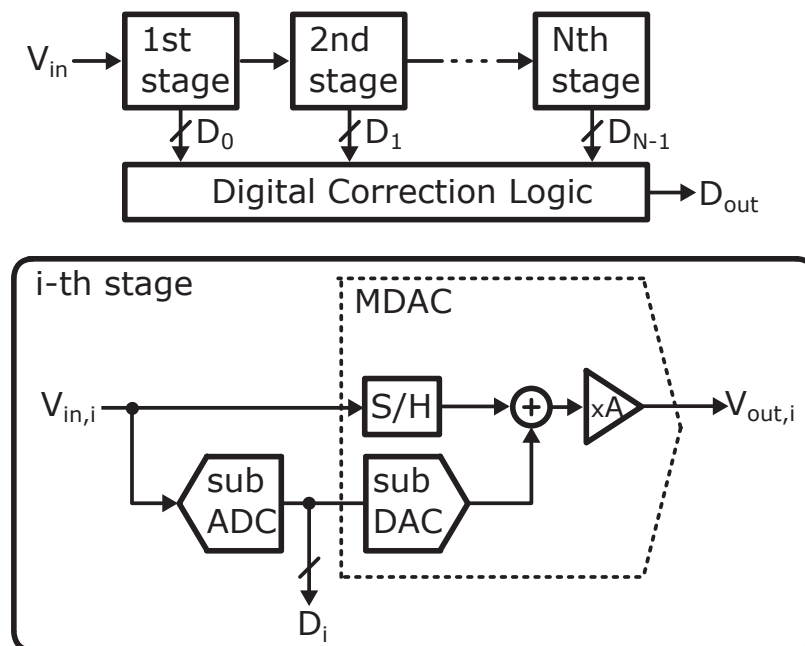


図 2.2: パイプライン ADC の回路ブロック図

2.3 パイプライン型 A/D 変換器

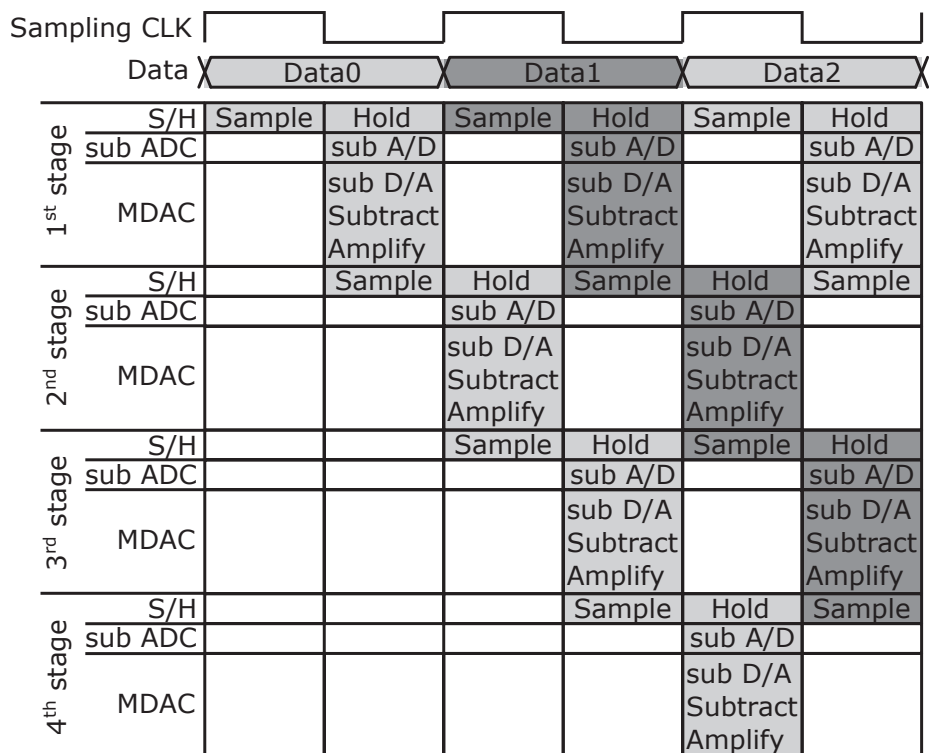


図 2.3: パイプライン ADC のタイミングチャート

伝達する。各基本演算回路のデジタル出力 D_i は、デジタル補正回路 (Digital Correction Logic) によって合成されて、最終的なデジタル信号出力を得る。1 段あたり n ビットの出力が得られることから、基本演算を N 段縦続接続することにより、 $N \times n$ ビットの分解能を実現する。

図 2.3 に、パイプライン型 ADC のタイミングチャートを示す。パイプライン動作は、偶数段ステージが、奇数段ステージと逆のタイミングで信号処理を行うことによって実現される。例えば CLK=High のとき、奇数段ステージでは、S/H 回路によって入力信号をサンプリングする。CLK=Low のとき、S/H 回路は、サンプリングした入力信号をホールド (保持) する。サブ ADC によってホールド信号を A/D 変換し、MDAC によって A/D 変換出力を D/A 変換する。S/H 回路によってホールドされている入力信号は、D/A 変換信号と加減算して、任意の増幅率で増幅して出力される。増幅された信号は、偶数段の S/H 回路によってサンプリングされる。この一連の動作を、偶数段と奇数段が逆のタイミングで交互に行うことによってパイプライン動作を実現する。入力信号に対するデジタル値は、サンプリングクロック周期で出力され、初段の基本演算回路で A/D 変換されたコードは最上位ビット (Most

2.3 パイプライン型 A/D 変換器

Significant Bit :MSB) となり、最終段のコードは最下位ビット (Least Significant Bit :LSB) となる。2進アルゴリズムの場合、すなわちサブ ADC の分解能が1ビットの場合、パイプライン段数が N とすると、A/D 変換値 $D = [D_0, D_1, \dots, D_{N-1}]$ となる。ここで、 D_0 は最上位ビット、 D_{N-1} は最下位ビットである。すべての段で異なる入力信号を同時に処理できることから、ADC 全体の変換速度は、1段あたりの A/D 変換に要する時間 (スループット) に依存する。

パイプライン型 ADC は、高分解能な A/D 変換器の設計において、分解能上昇に伴って指数関数的に比較器の数が増加するフラッシュ型と比べて、比較器の数を大幅に削減でき、低電力かつ小面積設計に有利である。また、低分解能な ADC の縦続接続によって高分解能 ADC を構成することで、1段あたりのスループットを高くできるため、高速な ADC が実現できる。さらに、冗長ビットを利用したエラー訂正技術 [11] を導入することで、サブ ADC に使われる比較器の DC オフセット電圧が、パイプライン型 ADC の分解能に与える影響を大幅に緩和できる。これにより、低消費電力かつ小面積なサブ ADC を実現できる。

次に、パイプライン型 ADC の動作原理について解説する。基本演算回路のデジタル出力のビット数や増幅率は、パイプライン型 ADC の性能に応じて任意に設定できる。ここでは簡単のため、1ビットデジタル出力、増幅率2倍の場合について説明する。図2.4に、2進パイプライン型 ADC における各段の量子化の過程を示す。入力信号は、 $-V_{ref}$ から $+V_{ref}$ の値と仮定する。各基本演算回路に入力されたアナ

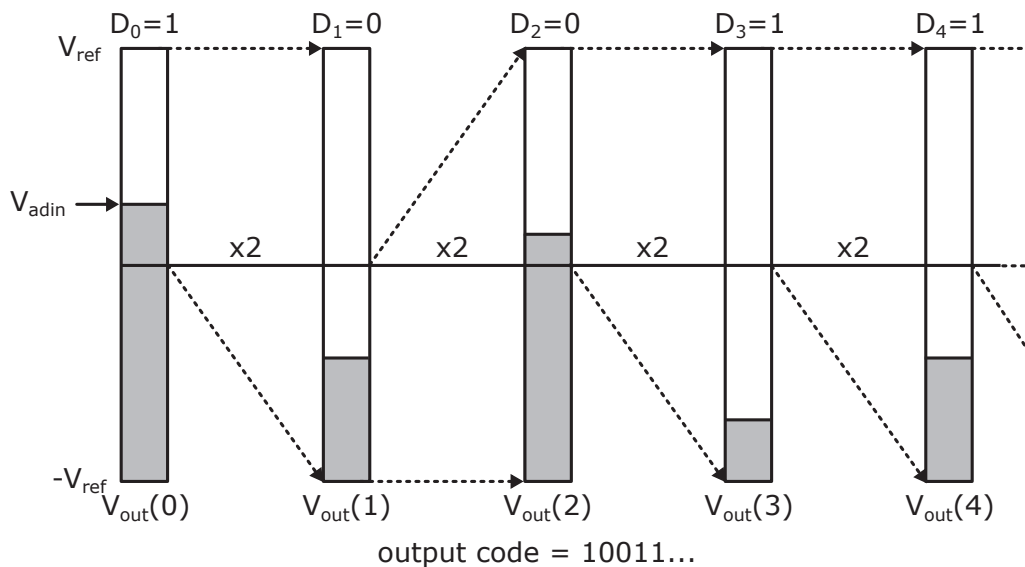


図 2.4: 1bit 2倍 MDAC の伝達特性

2.3 パイプライン型 A/D 変換器

ログ信号 V_{in} はまず、1ビット サブ ADC と MDAC の S/H 回路によってサンプリングされる。1ビット サブ ADC によって、デジタル出力 D を得る。1bit/stage の 2進アルゴリズムでは、入力信号 V_{in} に対してゼロを基準に大小比較を行う。即ち、

$$D = \begin{cases} 0, & (\text{if } V_{in} < 0) \\ 1, & (\text{if } V_{in} \geq 0) \end{cases} \quad (2.1)$$

となる。ここで、 V_{in} は基本演算回路の入力電圧である。初段の判定結果は、パイプライン型 ADC の MSB となる。基本演算回路では、アナログ入力信号 V_{in} を 2 倍にし、サブ ADC の判定結果 D により決定されるサブ DAC 出力を用いて加減算が行われる。D/A 変換値は、サブ ADC 出力コードが 1 ならば $-V_{ref}$ を出力し、0 ならば V_{ref} を出力する。これより、理想的な基本演算回路のアナログ出力電圧 V_{out} は以下となる。

$$V_{out} = \begin{cases} 2V_{in} - V_{ref}, & (\text{if } D = 1) \\ 2V_{in} + V_{ref}, & (\text{if } D = 0) \end{cases} \quad (2.2)$$

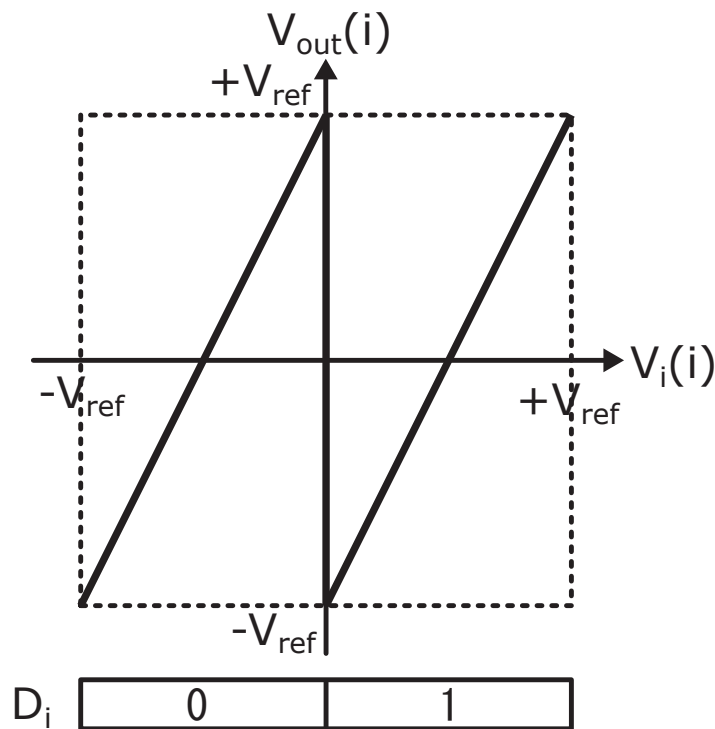


図 2.5: 1bit/stage 基本演算回路の入出力伝達特性

2.3 パイプライン型 A/D 変換器

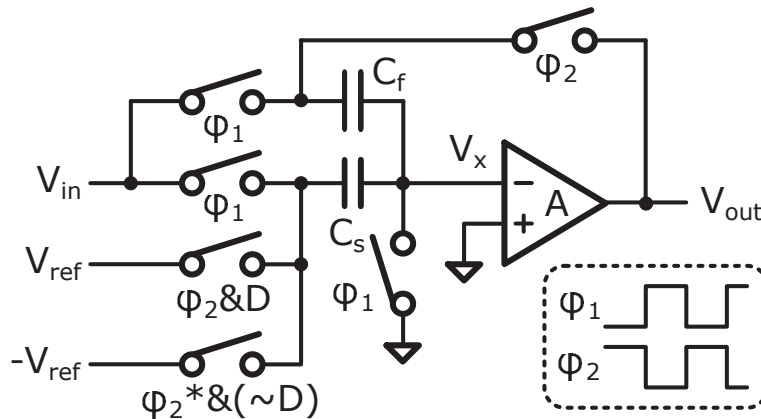


図 2.6: 1bit/stage MDAC をスイッチトキャパシタ回路で実現した場合の回路ブロック図

この入出力伝達特性は図 2.5 のようになる。入力電圧がゼロより大きい場合、入力電圧を 2 倍にし、参照電圧 V_{ref} を減算して出力する。一方入力電圧がゼロより小さい場合、入力電圧を 2 倍にし、参照電圧 V_{ref} を加算して出力する。入力信号を増幅することによって、後段のサブ A/D 変換器の量子化誤差や基本演算回路の増幅誤差を等価的に低減する。増幅した入力信号を参照電圧と加減算することによって、出力信号のダイナミックレンジを拡大せずに後段に伝達することができる。

図 2.6 に、1bit/stage MDAC をスイッチトキャパシタ回路で実現した場合の回路ブロック図を示す。簡単のため、シングルエンド構成を示している。MDAC は、OPAMP とスイッチ、容量を用いて実現され、アナログ信号を前段から後段の変換ステージへ必要な精度で増幅して伝達する。スイッチ群に供給されるクロック位相 ϕ_1 と ϕ_2 は、お互いに逆位相のクロック信号であり、High 期間が重ならないノンオーバーラップクロックで実現される。図 2.6 において、 $\phi_1 = \text{High}$ の時はサンプルフェーズとして動作する。前段のステージから入力信号 V_{in} が容量 C_s 、 C_f にサンプルされる。 $\phi_2 = \text{High}$ の時は、増幅フェーズとして動作する。このとき、容量 C_s の一端の電圧には参照電圧 $+V_{ref}$ もしくは $-V_{ref}$ が入力される。これは、サブ ADC の変換結果 D に基づいて接続される。 $D = 1$ のとき、容量 C_s は $+V_{ref}$ に接続され、 $D = 0$ のとき、容量 C_s は $-V_{ref}$ に接続される。これによって、サブ ADC で変換されたデジタル信号を D/A 変換している。一方、容量 C_f の一端は OPAMP の出力に接続されて負帰還回路を構成し、残余アナログ信号が増幅される。このときの伝達特性は以下で表される。

2.3 パイプライン型 A/D 変換器

$$V_{out} = \begin{cases} \frac{C_f + C_s}{C_f} V_{in} - \frac{C_s}{C_f} V_{ref}, & (\text{if } D = 1) \\ \frac{C_f + C_s}{C_f} V_{in} + \frac{C_s}{C_f} V_{ref}. & (\text{if } D = 0) \end{cases} \quad (2.3)$$

ここで、帰還係数 $\beta = C_f / (C_s + C_f)$ とすると、

$$V_{out} = \begin{cases} \frac{1}{\beta} (V_{in} - (1 - \beta)V_{ref}), & (\text{if } D = 1) \\ \frac{1}{\beta} (V_{in} + (1 - \beta)V_{ref}), & (\text{if } D = 0) \end{cases} \quad (2.4)$$

となる。ここで、帰還係数 $\beta = 1/2$ とすると、式 (2.2) と等しくなる。

2.3.2 演算増幅器の誤差要因とその解析

パイプライン型 ADC は、基本演算回路を複数縦続接続してパイプライン的に動作させることによって、高速動作と高分解能化を両立可能な ADC として広く利用されている。しかしながら一方、残差増幅に利用する演算増幅器 OPAMP の非理想的動作に起因した分解能の劣化や、高速化に伴う OPAMP の消費電力増加が課題として挙げられる。本節では、OPAMP の非理想要因が ADC に及ぼす影響について解説する。

2.3.2.1 有限直流利得による A/D 変換器非直線性誤差

OPAMP の直流利得は、理想的には無限大だが、実際には有限の値しか取り得えない。OPAMP の直流利得を A と置くと、式 (2.4) の V_{out} は以下ようになる。

$$V_{out} = \frac{1}{\beta} \cdot \frac{1}{1 + \frac{1}{\beta A}} (V_{in} \mp (1 - \beta)V_{ref}). \quad (2.5)$$

即ち、理想的には $1/\beta$ 倍の利得が、OPAMP の有限利得 A によって低下してしまう。図 2.7 に、OPAMP が有限利得を持つ場合の 1bit/stage MDAC の伝達特性を示す。点線は、OPAMP の利得が理想的に無限大の場合、実線は有限利得の場合である。有限利得の場合、入力電圧が十分増幅されずに、出力電圧 V_{out} がフルスケール $\pm V_{ref}$ まで到達できない様子が見られる。これによって、各ステージ間で非線形な誤差が発

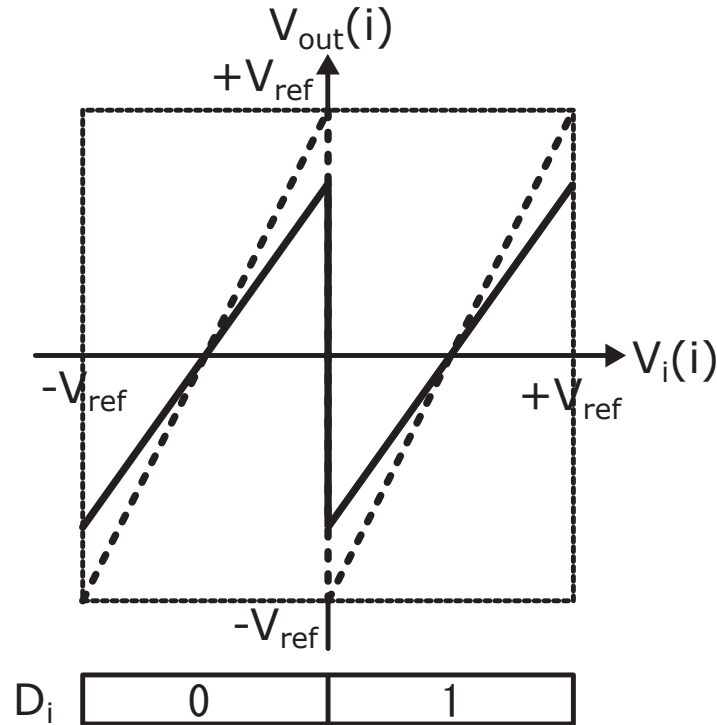


図 2.7: 1bit/stage MDAC の伝達特性

生じて、ADC の分解能を劣化する。このため、OPAMP の直流利得 A は十分大きくする必要がある。

次に、パイプライン型 ADC において、任意の分解能を達成するために必要な OPAMP の直流利得を概算する。式 (2.5) において、出力電圧 $V_{out} = \pm V_{ref}$ 近傍において出力誤差電圧が最大となり、そのときの入力電圧は $V_{in} = 0$, もしくは $\pm V_{ref}$ のときである。例えば $V_{in} = V_{ref}$ のとき、式 (2.5) は以下ようになる。

$$V_{out} = \frac{1}{1 + \frac{1}{\beta A}} V_{ref} \approx \left(1 - \frac{1}{\beta A}\right) V_{ref}, \quad (2.6)$$

ここで、第 1 項 V_{ref} は理想的な出力電圧、第 2 項 $V_{ref}/(\beta A)$ は有限利得による出力誤差電圧である。この誤差電圧が、後段 ADC の LSB の 2^X 分の 1 以下となる電圧を考える。ADC トータルの分解能を N 、初段 MDAC の分解能を M とすると、

$$\frac{1}{\beta A} V_{ref} \leq \frac{2V_{ref}}{2^{N-M+X}},$$

2.3 パイプライン型 A/D 変換器

$$\rightarrow A[dB] \geq 6(N - M + X - 1) - 20\log\beta, \quad (2.7)$$

となる。例えば ADC トータルの分解能 $N = 10$ ビット、初段 MDAC の分解能 $M = 1$ ビット、帰還係数 $\beta = 1/2$ 、算定基準を $1/2\text{LSB}$ とすると、初段 MDAC に用いる OPAMP の所要利得 $A = 60\text{dB}$ と概算できる。

2.3.2.2 有限利得帯域幅積によるセトリング誤差

OPAMP は、前節の有限利得による誤差に加えて、非理想的な過渡応答に起因した誤差も発生する。図 2.8 に、図 2.6 に示した MDAC の時間応答特性波形の例を示す。時刻 0 において、 $\phi_1 = \text{Low}$ 、 $\phi_2 = \text{High}$ となってサンプルフェーズから増幅フェーズに変化すると、図 2.8(a) に示す OPAMP の入力端子 V_x は、入力電圧に応じた初期電圧 V_{x0} に推移する。そのあと、OPAMP と容量から成る負帰還回路によって、入力端子 V_x が差動ゼロに漸近し、図 2.8(b) に示す出力電圧 V_{out} は、式 (2.4) に示した電圧 V_{of} に収束する。この収束時間は、ADC のサンプル周期の約 $1/2$ 程度の時間 t_s までに収束する必要がある。収束速度は、主に OPAMP の信号帯域幅、および出力可能な電流値と負荷容量の比で定まるスルーレートで定まる。OPAMP の帯域幅やスルーレートが不十分だと、図 2.8(c) に示すとおり、定常状態からの誤差であるセトリング誤差 V_{serr} が増加し、ADC の分解能が劣化してしまう。従って、所望の分解能を得るためには、セトリング誤差が十分に小さくなるように OPAMP を設計する必要がある。

次に、任意の ADC のサンプリング周波数を実現するために要求される OPAMP の信号帯域幅を概算する。ここでは簡単のため、スルーレートの影響は無視し、OPAMP の信号帯域でのみ応答すると仮定する。また OPAMP は、直流利得 A_0 と極 ω_{p1} から成る 1 次遅れ要素の特性を持つと仮定する。

$$A(s) = \frac{A_0}{1 + \frac{s}{\omega_{p1}}}. \quad (2.8)$$

1 次遅れ要素の OPAMP と、帰還係数 β から成る負帰還回路の閉ループ伝達特性は以下となる。

$$A_{closed}(s) = \frac{A(s)}{1 + \beta A(s)} = \frac{1}{\beta} \cdot \frac{1}{1 + \frac{1}{\beta A_0}} \cdot \frac{1}{1 + \frac{s}{A_0 \omega_p (\beta + 1/A_0)}}, \quad (2.9)$$

ここで、利得帯域積幅 $\omega_{BW} = A_0 \omega_p$ であり、OPAMP の直流利得 $A_0 = \infty$ とすると、以下の式となる。

2.3 パイプライン型 A/D 変換器

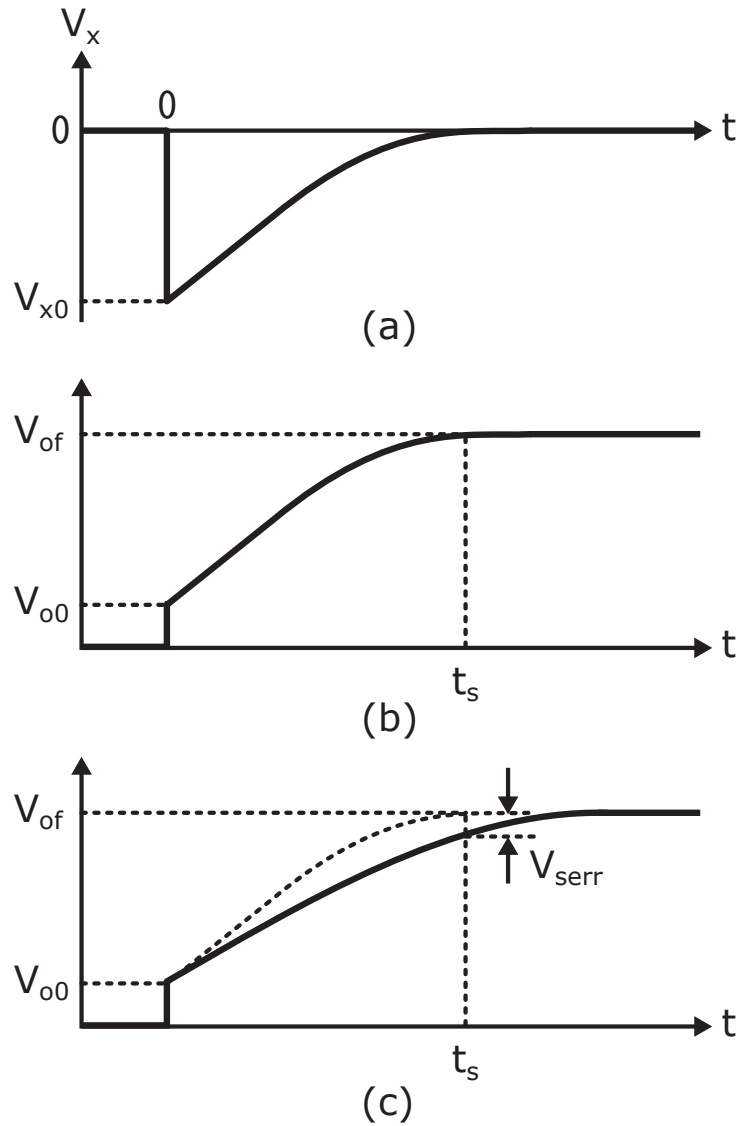


図 2.8: MDAC の過渡応答特性、(a)OPAMP 入力端子の過渡応答、(b)OPAMP 帯域幅が十分であるときの MDAC 出力端子の過渡応答、(c)OPAMP 帯域幅が不十分であるときの MDAC 出力端子の過渡応答

$$A_{closed}(s) = \frac{1}{\beta} \cdot \frac{1}{1 + \frac{s}{\beta\omega_{BW}}} \quad (2.10)$$

上記負帰還回路に、直流電圧 V_{in} のステップ信号を入力したときの出力電圧は、式

2.3 パイプライン型 A/D 変換器

(2.10) の逆ラプラス変換によって求めると、以下のようになる。

$$V_{out} = \frac{1}{\beta} \left(1 - e^{-\beta\omega_{BW}t}\right) V_{in}, \quad (2.11)$$

ここで、第1項は理想出力電圧、第2項は誤差電圧である。出力電圧の理想値 $V_{in}/\beta = V_{ref}$ とすると、誤差電圧が後段 ADC の LSB の 2^X 分の1以下となる電圧は、

$$\begin{aligned} -V_{ref} \cdot e^{-\beta\omega_{BW}t} &\leq \frac{2V_{ref}}{2^{N-M+X}}, \\ \rightarrow \omega_{BW} &> \frac{\ln(2)(N - M + X - 1)}{\beta t}, \end{aligned} \quad (2.12)$$

となる。ここで、 N は ADC トータルの分解能、 M は MDAC の分解能である。例えば、ADC トータルの分解能 $N=10$ 、MDAC の分解能 $M=1$ 、帰還係数 $\beta = 1/2$ 、算定基準を $1/2\text{LSB}$ とすると、サンプリング周波数 500MHz のとき、 $1/2$ の周期で収束するために必要な利得帯域積幅 f_{BW} は約 2.0GHz となる。

2.3.3 プロセス微細化による演算増幅器の設計課題

前節で述べたとおり、OPAMP の直流利得は高いほどステージ間の非線形な誤差が低減し、ADC の分解能劣化を抑えることができる。しかしながら実際には、半導体プロセスの微細化によって直流利得が低下し、ADC の分解能が劣化してしまう課題がある。これは、微細化による MOSFET の固有利得の低下と、電源電圧低下による従来の OPAMP 利得向上技術の限界の大きく2つが要因がある。MOSFET の固有利得は、以下の式で表される [12]。

$$g_m r_o = \frac{2I_D}{V_{ov}} \cdot \frac{V_A}{I_D} = \frac{2V_A}{V_{ov}} \propto \frac{1}{L}, \quad (2.13)$$

ここで、 g_m は MOSFET のトランスコンダクタンス、 I_D は MOSFET に流れるドレイン電流、 $V_{ov} = V_{gs} - V_{th}$ はオーバードライブ電圧、 V_{gs} はゲート・ソース間電圧、 V_{th} は閾値電圧、 V_A はアーリー電圧である。式中、オーバードライブ電圧 V_{ov} は、MOSFET に電流を流す際にゲート電極に閾値 V_{th} よりさらに余分に印可する電圧のことで、MOSFET の動作領域を逸脱しないように、閾値バラツキより十分大きな値に設定することが一般的である。即ち固有利得を決める唯一の変数はアーリー電圧 V_A であるが、これは MOSFET のチャネル長 L に反比例する [12]。即ち固有利得は、チャネル長 L に反比例するため、プロセスの微細化に伴って減少してしまう。

2.3 パイプライン型 A/D 変換器

OPAMP の直流利得は、OPAMP の出力電圧によっても変動する。一般に、出力電位が電源電圧 V_{DD} やグラウンド電位 V_{SS} に近づくにつれて、OPAMP の直流利得は低下する傾向にある。即ち、OPAMP の直流利得は、出力電圧依存性がある。これは、OPAMP の出力段を構成するトランジスタのドレイン・ソース間電圧が低下して飽和領域から逸脱し、出力インピーダンスが低下することが原因である。従って、出力信号振幅範囲は、直流利得が十分確保できる範囲に限定して使用する必要がある。しかしながら図 1.3 に示したとおり、プロセスの微細化に伴って電源電圧が低下すると、出力信号振幅範囲が大きく制限されて、回路内部で扱える信号電力が低下してしまう。図 2.9 に、テレスコピックカスコード OPAMP において、電源電圧低下による出力信号振幅範囲が制限されるイメージ図を示す。テレスコピックカスコード OPAMP は、トランジスタを縦積みすることで利得を向上する回路構成であるが、各トランジスタにそれぞれオーバードライブ電圧が掛かるため、出力信号範囲は狭くなる傾向にある。微細化によって電源電圧が低下すると、その傾向はより顕著となる。出力信号振幅範囲が制限されると、信号電力が低下して S/N 比が劣化してしまう。S/N 比を保つためには、比例して雑音電力も低減しなければならない。パイプライン型 ADC で発生する熱雑音 kT/C は、サンプル容量に反比例する [8]。例えば出力振幅が半分になると、信号電力は $1/4$ 倍になるため、 kT/C 雑音も $1/4$ 倍に下げなければならない、容量値を 4 倍に大きくする必要がある。このとき、動作

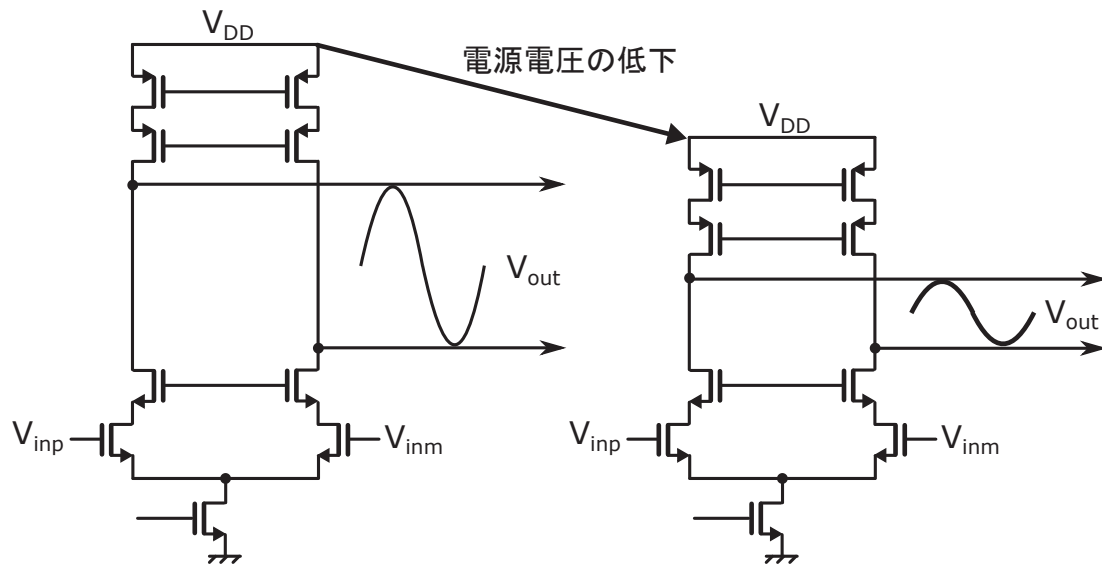


図 2.9: テレスコピックカスコード OPAMP において、電源電圧低下による出力信号振幅範囲低下のイメージ図

2.3 パイプライン型 A/D 変換器

速度を一定に保つためには、容量への充放電速度を4倍にする必要があり、そのため OPAMP の消費電力が4倍にする。オーバードライブ電圧 V_{ov} を一定に保ちながら消費電力を4倍にするには、MOSFET のチャンネル幅 W を大きくする必要がある。チャンネル幅 W が大きくなると、MOS デバイスのゲートとチャンネル間の酸化膜容量や、ゲートポリとソース・ドレイン間のオーバーラップ容量が増大する。そのため、大きな負荷容量を駆動するために OPAMP の消費電力が増大すると、OPAMP 自身の寄生容量が増大して、信号帯域が制約される現象が生じる。図 2.10 に、OPAMP 入力端子の寄生容量を C_{pi} 、出力端子の寄生容量を C_{po} としたときのスイッチトキャパシタ 2 倍回路を示す。閉ループの利得帯域積幅は以下の式で表される。

$$GBW_{closed} = \frac{g_m}{2\pi} \cdot \frac{\beta}{C_L} = \frac{I_d}{\pi V_{ov}} \cdot \frac{\beta}{C_L}, \quad (2.14)$$

ここで、 C_L は OPAMP が駆動する実効的な負荷容量、 I_d は OPAMP の消費電流である。図 2.10 は 2 倍の場合であるが、一般化して 2^N 倍のスイッチトキャパシタ回路を考えると、寄生容量を含む帰還係数 β は以下の式であわされる。

$$\beta = \frac{C_f}{(2^N - 1)C_s + C_{pi} + C_f}, \quad (2.15)$$

また、実効的な負荷容量 C_L は以下の式となる。

$$C_L = C_o + C_{po} + \frac{C_f \left((2^N - 1)C_s + C_{pi} \right)}{(2^N - 1)C_s + C_{pi} + C_f}. \quad (2.16)$$

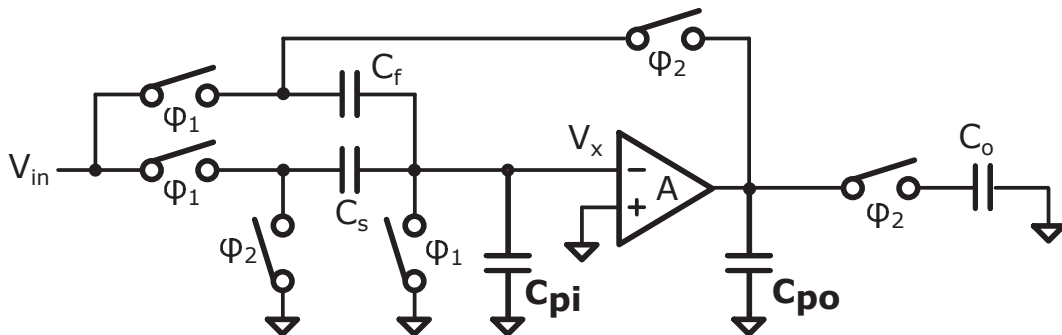


図 2.10: 寄生容量を考慮したスイッチトキャパシタ 2 倍回路

2.3 パイプライン型 A/D 変換器

式より、OPAMP 入力端の寄生容量 C_{pi} が増加するにつれて、帰還係数 β が低減することが分かる。式 (2.15) および式 (2.16) を用いて式 (2.14) を書き換えると、以下のようなになる。

$$GBW_{closed} = \frac{I_d}{\pi V_{ov}} \cdot \frac{1}{(2^N - 1)(C_s + \alpha_{pi} I_d) + \frac{C_o + \alpha_{po} I_d}{\beta}}, \quad (2.17)$$

ここで、 $C_{pi} = \alpha_{pi} I_d$ 、 $C_{po} = \alpha_{po} I_d$ である。例えば、65nmCMOS プロセスを想定した場合、オーバードライブ電圧 $V_{ov} = 200\text{mV}$ 、 $a_{pi} = 5e^{-11}$ 、 $a_{po} = 1.0e^{-10}$ 、容量 $C_s = C_f = C_o = 1\text{pF}$ と仮定すると、電流 I_D と利得帯域積幅 GBW の関係を図 2.11 に示す。消費電流が小さい場合、消費電流の増加に比例して GBW は向上する。しかしながら消費電流が 10mA 程度近くになると、寄生容量が増大して GBW 改善量が飽和する。消費電流 20mA において GBW 2.9GHz 程度を達成し、そのあとは消費電流の増加に伴い GBW は逆に低下する。以上の考察から、OPAMP 単独の高速化は限界があることが分かる。即ち ADC 単体の高速化には限界があり、さらなる高速化のために、タイムインタリーブ手法の研究開発が活発になってきている。

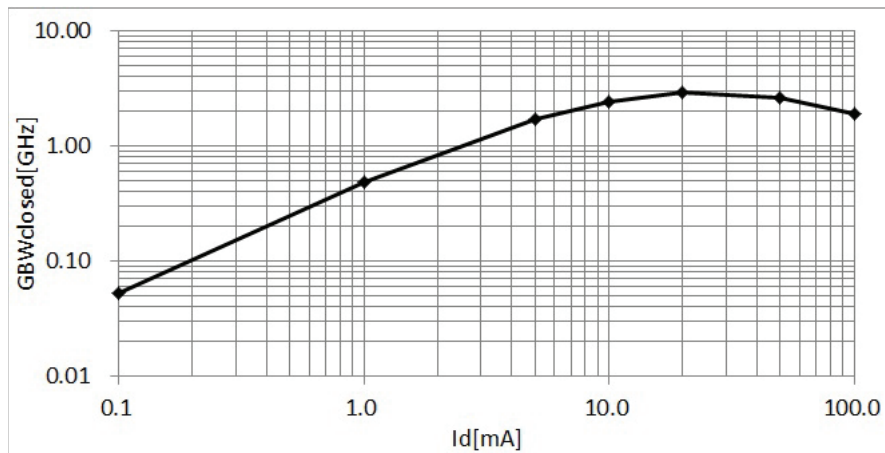


図 2.11: 電流と GBW の関係

2.4 タイムインタリーブ A/D 変換器

タイムインタリーブ (TI) 手法は、同一の ADC を複数備えて並列動作させることによって、単一の ADC だけでは達成できない超高速なサンプリング周波数を実現できる ADC 高速化手法である [13]。無線通信規格の伝送速度の著しい向上に伴い、タイムインタリーブ化によって ADC の高速化を図る研究開発が盛んに行われてきている。例えば前節で解説したとおり、パイプライン型 ADC は、微細化によって信号電力が低下して動作速度の向上が制約されてしまうため、さらなる高速化のために、タイムインタリーブ手法を適用したパイプライン型 ADC の研究開発が行われている [1]。タイムインタリーブ手法の適用はパイプライン型 ADC に限らず、電力効率に優れた SAR 型 ADC や、フラッシュ型 ADC に適用して超高速サンプリングを実現する ADC などが学会で発表されている。

2.4.1 回路アーキテクチャと動作原理

図 2.12 に、M チャンネル TI (MTI)-ADC のブロック図を示す。回路は、M 個の ADC、ADC の前段回路であって各 ADC 間のアイソレーションを成すバッファ回路、アナログ入力信号をサンプリングするスイッチ、クロック信号 CK_{MUX} を分周する分周器、および各 ADC のデジタル出力を切り替えて出力するマルチプレクサで構成される。MTI-ADC では、それぞれの ADC の動作速度は同じであるが、信号をサ

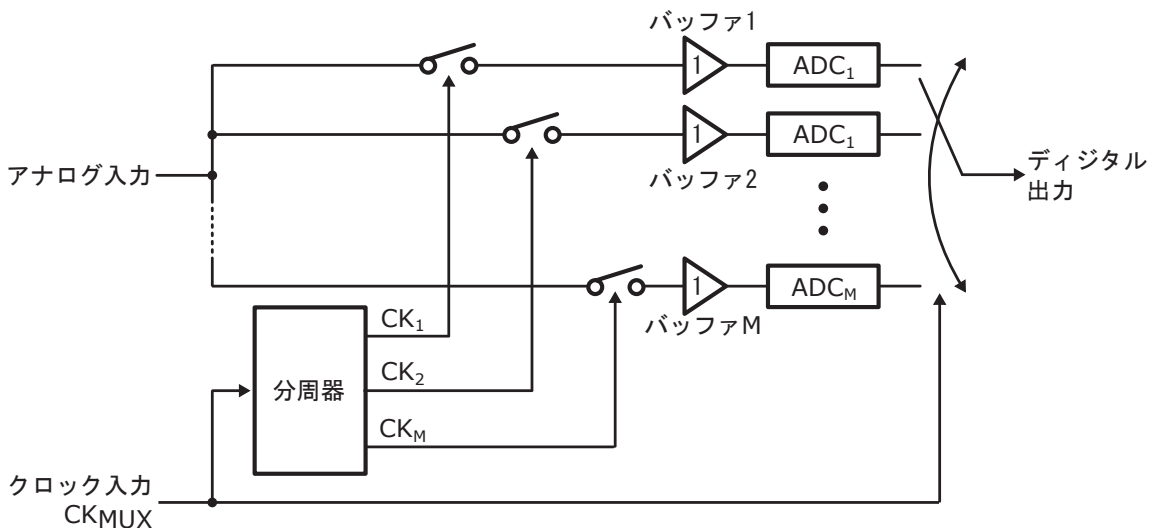


図 2.12: M チャンネル TI-ADC の構成

2.4 タイムインタリーブ A/D 変換器

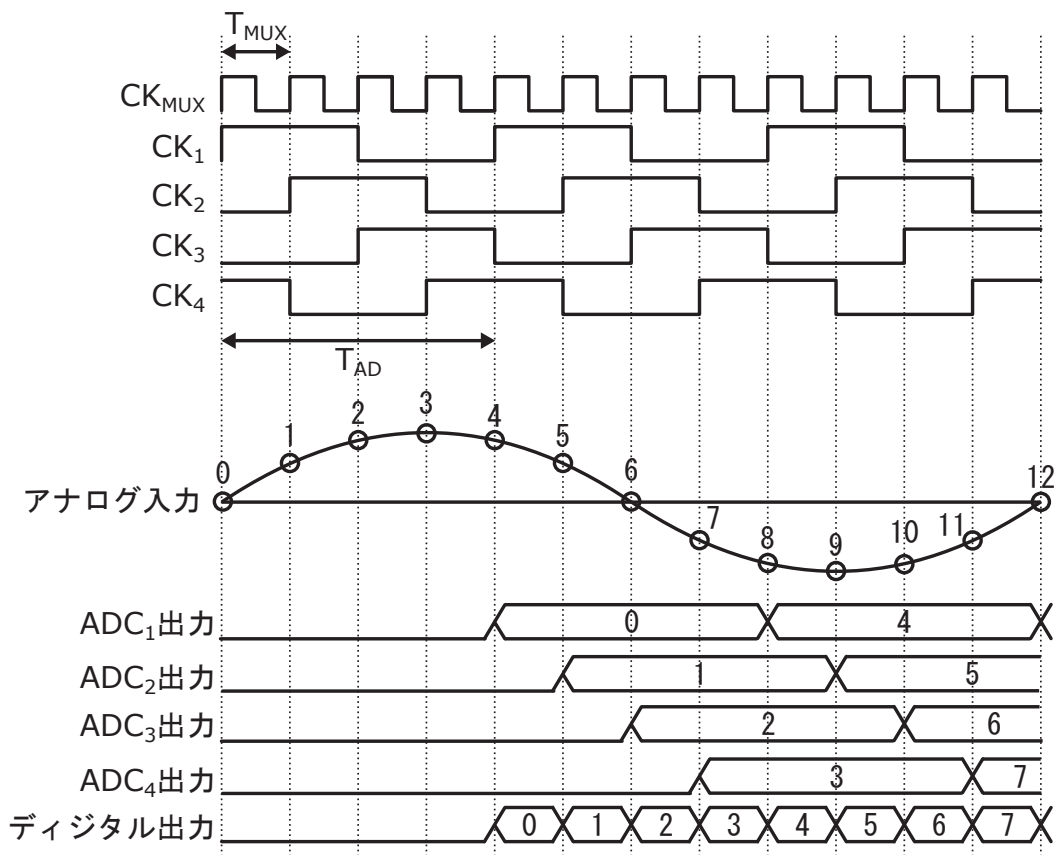


図 2.13: 4TI-ADC のタイミングチャート

サンプリングするタイミングをずらすことで、ADC 単体の M 倍の動作速度が実現できる。回路の動作原理を図 2.13 に示す。図は、4TI-ADC の例である。各 ADC は同じサンプリング周期 T_{AD} で動作しているが、 ADC_2 は、 ADC_1 に対してサンプリングタイミングを T_{MUX} 時間ずらしている。各 ADC の出力は、マルチプレクサにより T_{MUX} ごとに切り替えられ、デジタル出力信号として出力される。これにより、4TI-ADC の動作周波数は等価的に $1/T_{MUX}$ になる。

しかしながら実際には、半導体製造時のばらつきによって、各 ADC 間の A/D 変換利得やサンプリングタイミングにミスマッチが生じて、TI-ADC の性能が劣化してしまう課題がある。次節において、ミスマッチが及ぼす影響を数学的に解説する。

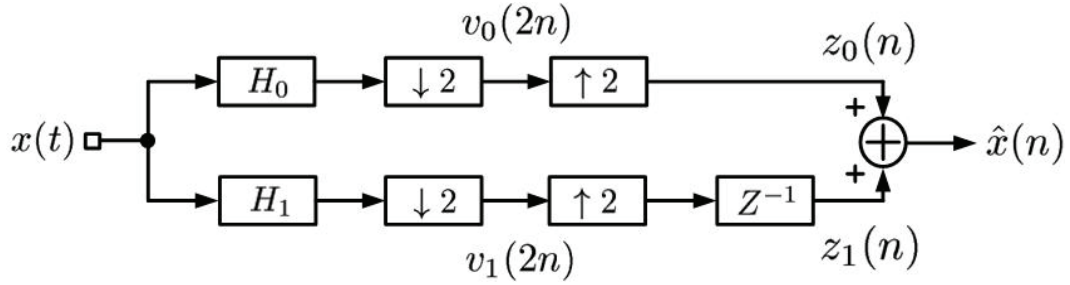


図 2.14: 2TI-ADC のブロック図

2.4.2 A/D 変換利得及びサンプリング時間誤差の影響解析

図 2.14 に、2TI-ADC のブロック図を示す。簡単のため、量子化ノイズは無視する。 $H_k(j\omega)$ ($k = 0, 1$) は、各チャンネルの周波数特性を示し、 $-\pi < \omega \leq \pi$ である。遅延素子は $z^{-1} = e^{-j\omega}$ である。各チャンネルの mismatches の合計はゼロと仮定する。 $H_0(j\omega)$ と $H_1(j\omega)$ は利得 mismatch とサンプル時間 mismatch を有するとする。これらのチャンネルの特性は以下の式で表される。

$$\begin{aligned} H_0(j\omega) &= (1 + \Delta_{g0})e^{j\omega\Delta_{t0}}, \\ H_1(j\omega) &= (1 + \Delta_{g1})e^{j\omega(1+\Delta_{t1})}, \end{aligned} \quad (2.18)$$

ここで、 Δ_{gk} と Δ_{tk} はそれぞれ、 k 番目のチャンネルの利得およびサンプル時間誤差であり、 $(\Delta_{g0} + \Delta_{g1}) = (\Delta_{t0} + \Delta_{t1}) = 0$ とする。ダウンサンプルされた信号 $v_k(2n)$ の離散時間フーリエ変換 (DFT) は以下の式で表される。

$$\begin{bmatrix} V_0(j2\omega) \\ V_1(j2\omega) \end{bmatrix} = \frac{1}{2} \begin{bmatrix} H_0(j\omega) & H_0(j(\omega - \pi)) \\ H_1(j\omega) & H_1(j(\omega - \pi)) \end{bmatrix} \begin{bmatrix} X(j\omega) \\ X(j(\omega - \pi)) \end{bmatrix}, \quad (2.19)$$

ここで、 $X(j\omega)$ はアナログ信号 $x(n)$ の DFT (図 2.15(a))、 $X(j(\omega - \pi))$ はエイリアス信号である [10]。出力信号 $\hat{x}(n)$ の DFT は、

$$\begin{aligned} \hat{X}(j\omega) &= Z_0(j\omega) + Z_1(j\omega) = V_0(j2\omega) + e^{-j\omega}V_1(j2\omega) \\ &= \frac{1}{2} \{ (1 + \Delta_{g0})e^{j\omega\Delta_{t0}} + (1 + \Delta_{g1})e^{j\omega\Delta_{t1}} \} X(j\omega) \\ &\quad + \frac{1}{2} \{ (1 + \Delta_{g0})e^{j(\omega-\pi)\Delta_{t0}} - (1 + \Delta_{g1})e^{j(\omega-\pi)\Delta_{t1}} \} \\ &\quad X(j(\omega - \pi)), \end{aligned} \quad (2.20)$$

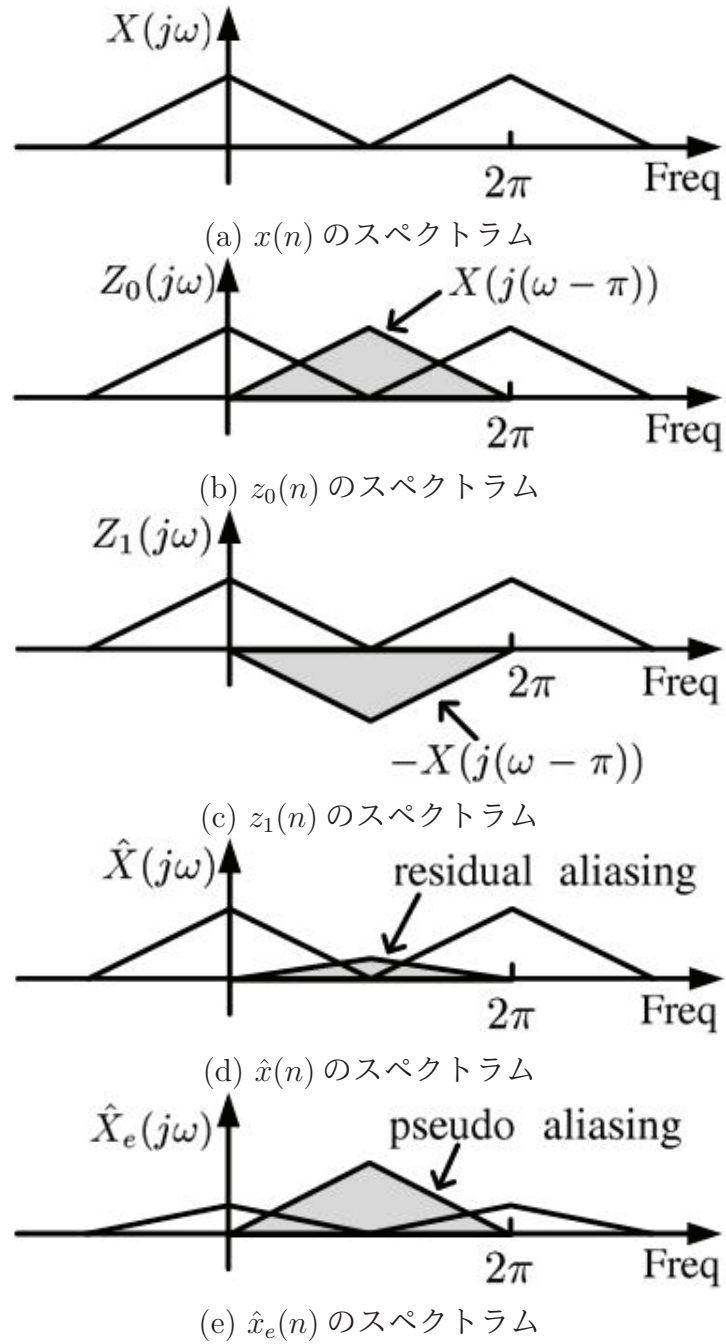


図 2.15: $x(n)$, $z_0(n)$, $z_1(n)$, $\hat{x}(n)$ および $\hat{x}_e(n)$ のスペクトラム

2.4 タイムインタリーブ A/D 変換器

となる。ここで、 $Z_i(j\omega)$ ($i = 0, 1$) は各チャネルの出力信号である。 $\Delta_{g0} = \Delta_{g1}$ かつ $\Delta_{t0} = \Delta_{t1}$ のとき、図 2.15(b)-(c) に示すように、各チャネルのエイリアス信号 $Z_0(j\omega)$ と $Z_1(j\omega)$ は同電力かつ逆位相であるため、出力で足し合わせると完全にキャンセルされる。しかしながら実際には、 $\Delta_{g0} \neq \Delta_{g1}$ または $\Delta_{t0} \neq \Delta_{t1}$ である場合、図 2.15(d) に示すとおり、エイリアス信号は残留して ADC の実効分解能が劣化する。 Δ_{gk} と Δ_{tk} は 1 より十分小さいと仮定すると、式 (2.20) は以下のように簡単化できる。

$$\hat{X}(j\omega) \approx X(j\omega) + \frac{1}{2}\{(\Delta_{g0} - \Delta_{g1}) + j(\omega - \pi)(\Delta_{t0} - \Delta_{t1})\}X(j(\omega - \pi)), \quad (2.21)$$

ここで、2次項と3次項はそれぞれ、利得ミスマッチおよびサンプリングタイミングのミスマッチによって残留したエイリアス信号である。 $j(\omega - \pi)$ は、サンプリングタイミングのミスマッチによるエイリアス信号は微分関数であることを示唆している。式より、エイリアス信号の大きさは、ミスマッチ量に比例することが分かる。例えば利得ミスマッチを 1%、すなわち $(\Delta_{g0} - \Delta_{g1}) = 0.01$ としたとき、所望信号と比較したエイリアス信号のダイナミックレンジは、 $20\log_{10}(|(\Delta_{g0} - \Delta_{g1})/2|) = -46\text{dB}$ となる。これは、実効分解能 8 ビット程度の相当する。10 ビットを達成するためには、ミスマッチを約 0.15% 以下に抑えなければならない。

2.4.3 プロセス微細化によるタイムインタリーブ A/D 変換器の設計課題

半導体製造プロセスでは、製造条件の揺らぎが必ず発生する。この揺らぎは、素子の形状や物性的な条件に影響を与え、最終的に素子の電気特性のばらつきとして現れる。製造された回路の全数量の中に占める、所定の性能を達成する良品の比率を歩留まりと呼ぶ。回路性能がばらつきと歩留まりが低下し、一定数の良品を製造するためにより多く製造する必要が生じて、製造コストが増大する。

表 2.1 MOSFET チャネル長の製造ばらつき指針 (ITRS ロードマップより)

Lmin[nm]	3 σ L[nm]
65	4.46
40	2.81
28	2

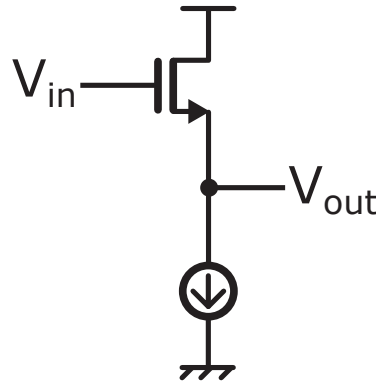


図 2.16: バッファ回路に用いられるソースフォロワ回路

半導体ロードマップによると、製造プロセスは今後ますます微細化されることが予想されている。その一方で、製造ばらつきについても増大が予測されている。統計的な変動成分である製造ばらつきは、製造時のガウス雑音に起因する成分で、正規分布となる。表 2.1 に、ITRS ロードマップによる MOSFET チャンネル長の製造ばらつき指針を示す。表中、 L_{min} は製造可能な最小のゲート長、 $3\sigma L$ はゲート長の 3σ のばらつきを示す。ここで、 σ は標準偏差を意味し、正規分布において、平均値 $\mu \pm 3\sigma$ までの出現確立が全体の約 99.7% を占めることから、 $\mu \pm 3\sigma$ を統計的な最良値、最悪値として用いる場合が多い。例えば $L_{min}=65\text{nm}$ の場合、 3σ の L ばらつきは 4.46nm である。

タイムインタリーブ型 ADC において、MOSFET のゲート長 L がばらつくと、各 ADC のバッファ利得やサンプリングタイミングがばらついて、実効分解能が劣化する。例えば ADC 前段のバッファ回路は、各 ADC 間のアイソレーションを確保するために挿入され、ソースフォロワ回路などで実現される [14]。図 2.16 に示した一般的なソースフォロワ回路の伝達特性は、以下の式で表される。

$$\frac{V_{out}}{V_{in}} = \frac{1}{1 + 1/(g_m r_o)} \approx 1 - \frac{1}{g_m r_o}, \quad (2.22)$$

ここで、 g_m は NMOS トランジスタのトランスコンダクタンス、 r_o は NMOS トランジスタの出力抵抗であり、電流源の出力抵抗は無限大、かつトランジスタの基板バイアス効果は無視している。式より、 $g_m r_o$ が大きいほど、利得 V_{out}/V_{in} は 1 に漸近する。トランジスタの出力抵抗 r_o は、トランジスタのゲート長 L に比例する。表 2.1 より、例えば $L_{min}=65\text{nm}$ の場合、ゲート長 L の 3σ バラツキは $4.46/65 \times 100 = 6.9\%$ である。即ち式 (2.22) の第 2 項は 3σ で 6.9% ばらつき、その分ソースフォロワの利得がばらつくことになる。一方前節で述べたとおり、10 ビット分解能を達成する

2.5 まとめと、課題解決のアイデア

ために要求される利得ミスマッチは0.15%以下であり、実際のばらつきより一桁以上小さいばらつき量が要求される。即ち微細プロセスにおける特性ばらつきを考慮すると、タイムインタリーブ型ADCで十分な実効分解能を達成することは困難であることが分かる。実際に、図1.2に示したタイムインタリーブ型ADCは、各ADC間のミスマッチによる誤差は無視した性能となっているものがほとんどであり、ばらつきを考慮したタイムインタリーブADCの高分解能化は、今後さらなる高速化を実現するうえで最重要課題の1つである。

2.5 まとめと、課題解決のアイデア

本章では、高速ADCの回路アーキテクチャおよび動作原理について解説した。高速ADCは大きく、フラッシュ型とパイプライン型に大別される。また、任意のADCを複数並列動作させて高速化を図るタイムインタリーブ手法がある。まずは、IEEE 802.11acに好適なパイプライン型に着目し、パイプラインA/D変換を実現するうえで非常に重要な回路要素であるOPAMPの誤差要因がADCの性能に及ぼす影響を解析した。OPAMPの有限直流利得の誤差が各基本演算回路の間で非線形な誤差が発生して、ADCの分解能を劣化する。所望のADCの分解能を実現するうえで必要な直流利得を定量的に算出し、設計指針を明確化した。例えば10ビットADCにおける1bit/stage初段MDACのOPAMP所要利得は約60dBである。また、OPAMPの非理想的な過渡応答に起因した誤差も発生する。OPAMPによって負荷容量を充放電する時間は、OPAMPの有限帯域積幅およびスルーレートで定まる。この帯域積幅やスルーレートが不十分だと、定常状態からの誤差であるセトリング誤差が増加し、ADCの分解能が劣化する。例えば10ビット、500MS/sのADCを実現するために必要な1bit/stage初段MDACに用いるOPAMPの所要利得帯域積幅は約2.0GHzである。さらに本章では、半導体プロセスの微細化によるOPAMP設計課題について述べた。プロセスの微細化に伴って電源電圧やトランジスタの固有利得が低下し、従来のOPAMPの回路構成では高利得かつ高速な特性を実現することが困難となっている。電源電圧低下によって出力信号振幅範囲が低下してS/N比が劣化する。S/N比を一定にするためには雑音も比例して下げる必要があって、サンプリング容量が増大する。増大した容量を駆動するために、OPAMPの消費電力が増大する。OPAMPのトランジスタサイズが大きくなって、OPAMP自身の寄生容量によって信号帯域が制約されてしまう。即ち微細化によって、より高分解能かつ高速な特性を両立するADCの実現は困難となっている。

次に、タイムインタリーブ手法における誤差要因について解析した。タイムインタリーブ手法は、同一のADCを複数並列動作させることで動作速度を向上する手

2.5 まとめと、課題解決のアイデア

法であるが、各 ADC 間に特性ばらつきがあると、エイリアス信号が発生して実効分解能が劣化してしまう。特性ばらつきの主要因は、A/D 変換利得と、サンプルタイミングのミスマッチであり、このミスマッチによる分解能劣化量を定量的に算出した。また、半導体プロセスの微細化によりミスマッチ量が増加し、65nm プロセスの特性ばらつきでは 10 ビット分解能を達成することが困難であることを述べた。

本論文では、今後さらなるプロセス微細化に伴う上述の課題を解決しえる回路技術確立することを目的とする。課題を大別すると、(1) パイプライン型 ADC に用いる OPAMP について、微細化による利得低下、(2) タイムインタリーブ型 ADC において、微細化による製造ばらつき増加によって、チャンネル間ミスマッチが増大して実効分解能が劣化する、の 2 つである。第 3 章において、(1) を解決するために、OPAMP の並列化による高利得化を実現する手法を提案する。従来の OPAMP 並列化技術は、タイムインタリーブ型 ADC と同様に、並列間のミスマッチによって実効的な利得が低下する課題があった。そこで本論文では、並列間ミスマッチによって性能が劣化せずに、高速かつ高分解能化を実現できる並列化技術を提案する。(2) については、第 4 章において、タイムインタリーブ型 ADC 向けデジタル補正技術を提案する。従来のデジタル補正技術は、大規模な適応フィルタが必要であって実際に実装することが困難であった。そこで本論文では、疑似エイリアス信号を利用した小面積かつ高精度なデジタル補正技術を提案する。いずれも、シミュレーションによって提案技術の有効性を実証し、微細化の課題を克服して高速 ADC の高分解能化を達成できることを示す。

第3章 パイプライン型 A/D 変換器の 高分解能化技術

3.1 概要

パイプライン型 ADC は、OPAMP を用いてパイプライン処理を行い、高速かつ高分解能を両立する。第2章で述べたとおり、OPAMP において高い直線性や SN 比を得るために、高い直流利得や広い出力信号範囲が要求される。しかしながら半導体プロセスの微細化に伴う電源電圧の低下やトランジスタの固有利得低下によって、従来の OPAMP 回路では十分な性能の維持が困難となってきた。例えばテレスコピックカスコード OPAMP は、複数のトランジスタをカスコード接続することによって出力抵抗を向上して高利得を達成するが、出力信号振幅範囲が低下するため、微細化による低電源電圧化によって回路内部で扱える信号電力が低下して十分な S/N 比が得られなくなってきた。S/N 比を保つためには、比例して雑音電力も下げなければならない。ADC で発生する熱雑音 kT/C は、サンプリング容量 C に反比例する。出力振幅が半分になると、信号電力は $1/4$ 倍になるため、 kT/C 雑音も $1/4$ 倍に下げなければならない。容量 C を 4 倍に大きくする必要がある。動作速度を一定に保つためには、容量への充放電速度を 4 倍にする必要があり、OPAMP の消費電力が増大する。OPAMP の速度を向上すると、回路規模が増加して自分自身の寄生容量が増加する。消費電力が多いほど、この寄生容量によって速度が制限されて、高速化が制約されてしまう課題がある。OPAMP を 2 段縦続した 2 段 OPAMP は、1 段目において高利得、2 段目において広い出力信号振幅範囲を実現する増幅回路を適用することによって、高利得と広い出力信号振幅範囲を両立可能な回路構成である。しかしながら、増幅回路縦続接続することによって複数の極とゼロ点が存在し、閉ループ時の安定性が劣化する。安定性を補償するために補償技術が必要となり、OPAMP の帯域を低下させてしまう。

上記欠点を解決しつつ利得を向上する技術として、スイッチトキャパシタ回路において、Correlated double sampling(CDS) 技術 [15] や Correlated levelshifting(CLS) 技術 [16] が提案されている。これらの技術は、レベルシフト容量を利用することによって、追加の増幅回路なく利得を向上できるため、2 段増幅回路の課題を解決し

3.1 概要

る有力な回路技術である。しかしながら実際には、出力信号を検出するための追加のクロックフェーズが必要となるため、サンプリング周波数が低下してしまう。さらに、レベルシフト容量は出力負荷を増加させてしまい、ループ帯域が低下する課題がある。

CDS や CLS の課題を解決可能な技術として、並列型 OPAMP 技術が提案されている [17]- [19]。この技術は、主となる OPAMP と並列に副 OPAMP を備えることで、追加のクロックや容量無く主 OPAMP の直流利得を向上できる。そのため、高速化に適した利得向上手法であると言える。しかしながら従来技術では、主 OPAMP と副 OPAMP とのあいだに利得ミスマッチがあると、直流利得の向上量が劣化する課題がある。ミスマッチを低減するために大きなサイズのトランジスタを利用すると、その寄生容量によって信号帯域が低下してしまい、高速化を妨げてしまう。そこで本章では、主 OPAMP と副 OPAMP とのあいだの利得ミスマッチに低感度な並列型 OPAMP 技術を提案する。提案技術は、利得向上量が OPAMP 間の利得ミスマッチに依存しないため、大きなサイズのトランジスタを利用する必要がなく信号帯域を向上できる。また、主 OPAMP は広い出力信号振幅範囲、副 OPAMP は高い直流利得を実現する増幅回路を適用することによって、高い直流利得と広い出力信号振幅範囲の両立が可能である。さらには、テレスコピックカスコード OPAMP や 2 段 OPAMP、シングルエンドまたは差動構成など様々な OPAMP を提案技術に適用できる。これによって OPAMP 設計の自由度が拡大し、微細化プロセスにおいても様々な性能を有する OPAMP が設計可能となる。

本章では、まず従来の並列化利得向上手法について解説し、主 OPAMP と副 OPAMP とのあいだに利得ミスマッチがあると利得向上量が低下することを導出する。次いで、提案する利得ミスマッチに低感度な並列化利得向上手法の回路構成および動作原理について解説する。数学的に低感度の理由を導出し、利得ミスマッチと利得向上量の関係と従来手法と比べて優位であることを定量的に示す。スイッチトキャパシタ回路への適用方法を示し、雑音解析結果について述べる。65nmCMOS プロセスを用いて設計し、回路シミュレーションによって提案手法の有効性を実証する。

3.2 従来の並列型 OPAMP の利得向上手法

図 3.1 に、従来の並列型 OPAMP のブロック図を示す [17]。簡単のため、半回路で示している。従来回路は、主増幅回路、副増幅回路とカップリングトランスコンダクタンスから成る。主増幅回路と副増幅回路はそれぞれ、入力インピーダンス Z_i 、帰還インピーダンス Z_f 、トランスコンダクタンス g_m および出力抵抗 r_{o1} 、 r_{o2} から成り、トランスコンダクタンスと出力抵抗が OPAMP の構成要素である。主増幅回路と副増幅回路は、帰還係数 $\beta = Z_i/Z_f$ を持つ負帰還回路である。副増幅回路の仮想接地点は、カップリングトランスコンダクタンスを介して主増幅回路の出力端に接続される。

利得向上は、主増幅回路とカップリングトランスコンダクタンスの出力電流を加算することによって実現される。カップリングトランスコンダクタンスの出力電流量は、副増幅回路によって決まり、 r_{o1} に流れる電流の大部分を供給する。これにより、出力電圧は理想値に大きく漸近する。このため主増幅回路のトランスコンダクタンスが供給する電流量は小さくなり、出力電圧をより理想値に漸近させる。主増幅回路のトランスコンダクタンスが供給する電流が小さいということは、主増幅回路のトランスコンダクタンスの入力電圧の変化量は小さく、即ち実効的な開ループ利得が向上することを意味する。インピーダンス Z_i および Z_f を容量と仮定し、その初期電荷をゼロとすると、出力電圧の低周波成分を 2 次テイラー展開した結果は以下の式となる。

$$\begin{aligned}
 V_{ut} &= -\frac{Z_f}{Z_i} \left(1 - \frac{Z_i + Z_f}{Z_i} \left(\frac{1}{g_m r_{o1}} - \frac{1}{g_m r_{o2}} \right) - \left(\frac{Z_i + Z_f}{Z_i} \right)^2 \frac{1}{g_m^2 r_{o1} r_{o2}} \right) V_{in} \\
 &= -\frac{V_{in}}{\beta} \left(1 - \left(1 + \frac{1}{\beta} \right) \left(\frac{1}{A_1} - \frac{1}{A_2} \right) - \left(1 + \frac{1}{\beta} \right)^2 \frac{1}{A_1 \cdot A_2} \right) \\
 &= -\frac{V_{in}}{\beta} (1 - (\epsilon_1 - \epsilon_2) - \epsilon_1 \epsilon_2), \tag{3.1}
 \end{aligned}$$

ここで、 $A_1 = g_m r_{o1}$ および $A_2 = g_m r_{o2}$ は低周波の開ループ利得である。式 (3.1) より、 A_1 および A_2 の有限利得によって以下の誤差 ϵ_1 および ϵ_2 が発生することが分かる。

$$\epsilon_1 = \frac{1 + 1/\beta}{A_1}, \tag{3.2}$$

$$\epsilon_2 = \frac{1 + 1/\beta}{A_2}. \tag{3.3}$$

3.2 従来の並列型 OPAMP の利得向上手法

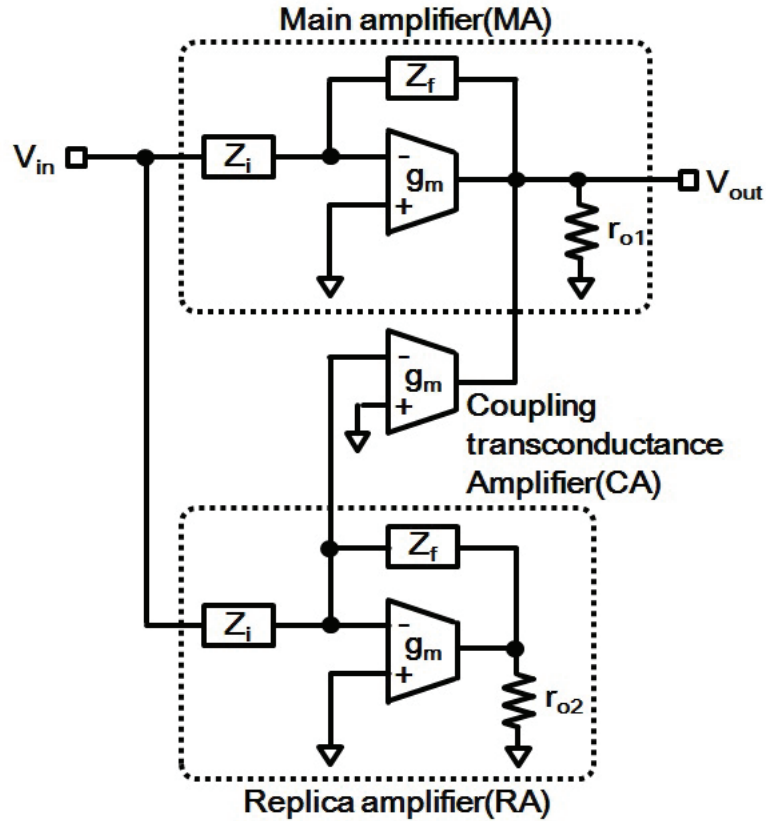


図 3.1: 従来の並列型 OPAMP のブロック図 [17]

式 (3.1) において、 A_1 および A_2 が完全等しい場合、誤差項 $\epsilon_1 - \epsilon_2$ はキャンセルすることができる。しかしながら実際には、第 2 章で述べたとおり、半導体製造条件の揺らぎによって、素子の電気特性がばらつく。即ち OPAMP の直流利得 A_1 及び A_2 にミスマッチが生じて誤差項が完全にキャンセルできず、実効的な利得が低下する。さらに、従来回路の構造上、出力抵抗 r_{o1} と r_{o2} のマッチングは本質的に困難である。なぜなら、出力抵抗 r_{o1} は主増幅回路のトランスコンダクタンスとカップリングトランスコンダクタンスの出力抵抗の並列であるのに対し、出力抵抗 r_{o2} は副増幅回路のトランスコンダクタンスの出力抵抗のみで決定されるため、構造の違いにより完全にマッチングさせることが困難である。

3.3 利得ミスマッチに低感度な並列型 OPAMP 利得向上技術

3.3.1 OPAMP の有限利得の影響

提案する並列型 OPAMP のブロック図を図 3.2 に示す [20]。回路は、主増幅回路、副増幅回路、カップリングインピーダンスおよび加算器から成る。提案回路では、副増幅回路の仮想接地点がカップリングインピーダンスを介して主増幅回路の出力端 V_{m1} に接続される。また、主増幅回路の出力と副増幅回路の出力 V_{m2} は、加算器にて加算されて出力される。加算器の精度は、実効的な利得に影響する。スイッチトキャパシタ回路における加算器の実現方法を 3.3.2 節で説明する。

提案回路のキーアイデアは、主増幅回路の有限利得による誤差電圧を、副増幅回路を用いて検出・増幅して出力することである。主増幅回路の出力電圧と、検出された誤差電圧を加減算することによって、誤差電圧が抑圧された出力電圧を得ることができる。具体的には、主増幅回路の OPAMP（主 OPAMP）の出力電流は、主

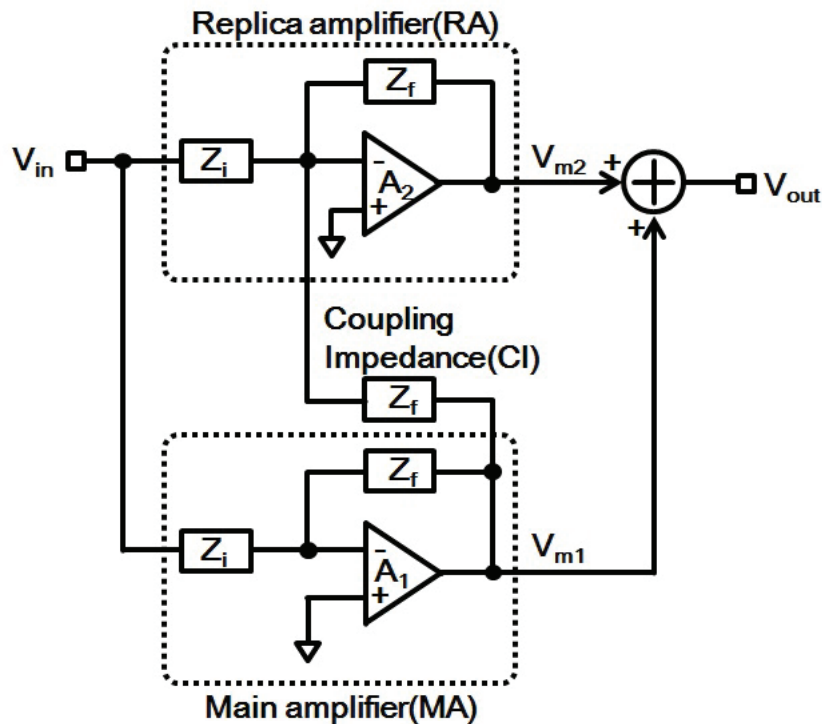


図 3.2: 利得ミスマッチに低感度な並列型 OPAMP のブロック図

3.3 利得ミスマッチに低感度な並列型 OPAMP 利得向上技術

増幅回路の帰還インピーダンス Z_f に供給されると同時にカップリングインピーダンスに供給されて、副増幅回路に伝達される。副増幅回路の入力インピーダンスに流れる電流の大部分はカップリングインピーダンスに流れ、その電流量は主増幅回路の利得に依存する。カップリングインピーダンスに流れない微小電流が、副増幅回路の帰還インピーダンスを介して出力に供給されて微小電圧を生成する。提案する回路の理論を説明するため、出力電圧 V_{m1} と V_{m2} を計算すると以下の式となる。

$$\begin{aligned}
 V_{m1} &= -\frac{Z_f}{Z_i} \left(1 - \frac{Z_i + Z_f}{Z_i A_1} + \left(\frac{Z_i + Z_f}{Z_i A_1} \right)^2 \right) V_{in} \\
 &= -\frac{V_{in}}{\beta} \left(1 - \left(1 + \frac{1}{\beta} \right) \frac{1}{A_1} + \left(1 + \frac{1}{\beta} \right)^2 \frac{1}{A_1^2} \right) \\
 &= -\frac{V_{in}}{\beta} (1 - \epsilon_1 + \epsilon_1^2), \tag{3.4}
 \end{aligned}$$

$$\begin{aligned}
 V_{m2} &= -\frac{Z_f}{Z_i} \left(\frac{Z_i + Z_f}{Z_i A_1} - \left(\frac{Z_i + Z_f}{Z_i A_1} \right)^2 - \frac{(Z_i + Z_f)(2Z_i + Z_f)}{Z_i^2 A_1 A_2} \right) V_{in} \\
 &= -\frac{V_{in}}{\beta} \left(\left(1 + \frac{1}{\beta} \right) \frac{1}{A_1} - \left(1 + \frac{1}{\beta} \right)^2 \frac{1}{A_1^2} - \left(1 + \frac{1}{\beta} \right) \left(2 + \frac{1}{\beta} \right) \frac{1}{A_1 A_2} \right) \\
 &= -\frac{V_{in}}{\beta} (\epsilon_1 - \epsilon_1^2 - \epsilon_1 \epsilon_2'), \tag{3.5}
 \end{aligned}$$

ここで、 $\epsilon_2' = (2 + 1/\beta)/A_2$ である。上式から、式 (3.4) の誤差項 ($\epsilon_1 - \epsilon_1^2$) は、式 (3.5) の誤差項の一部と値が等しく符号が異なることが分かる。そのため、それぞれの出力を加算することで主増幅回路の誤差項を除去することができ、最終的に以下の出力電圧が得られる。

$$V_{out} = -\frac{V_{in}}{\beta} (1 - \epsilon_1 \epsilon_2'). \tag{3.6}$$

ここで、加算器は理想としている。式 (3.1) と (3.6) を比較すると、提案回路は誤差項 ($\epsilon_1 - \epsilon_2$) を含まないことが分かる。即ち提案回路は、主増幅回路と副増幅回路の利得ミスマッチに依存せず高い実効利得が得られると考えられる。従来回路と提案回路において、利得ミスマッチと実効利得の関係をプロットした図を図 3.3 に示す。主増幅回路と副増幅回路の利得はそれぞれ 40dB とし、横軸は利得ミスマッチ量、縦軸は実効利得である。従来回路では、25dB の利得向上量が得られるミスマッ

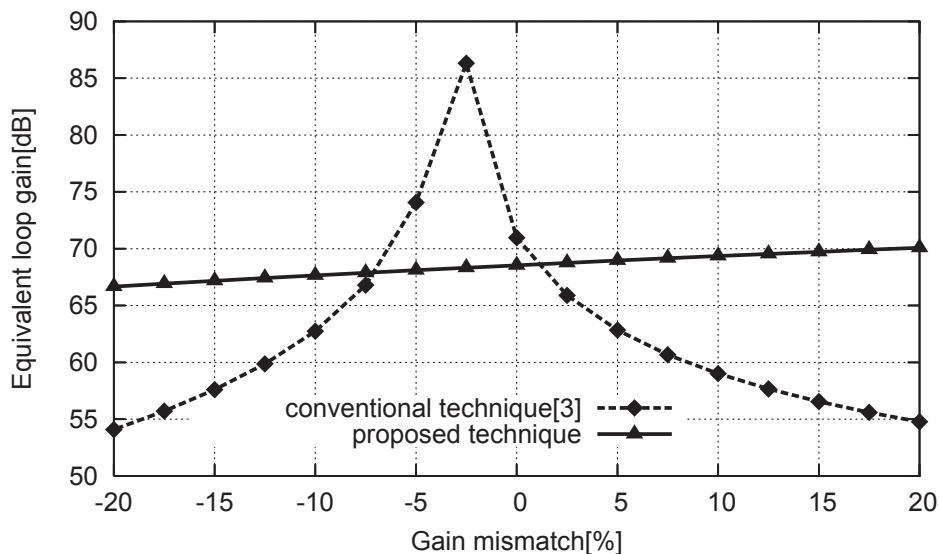


図 3.3: 実効利得と利得ミスマッチの関係

チ許容量は $\pm 5\%$ 以下に限られることが分かる。これは、OPAMP の利得バラツキが $\pm 0.45\text{dB}$ 程度しか許容できないことを意味する。一方提案回路では、利得ミスマッチが $\pm 20\%$ 以上変動しても 25dB 以上の利得向上量が維持できることが分かる。以上の結果から、提案回路は利得ミスマッチの感度を大幅に低減可能であると言える。65nmCMOS プロセスを想定した場合、後述するとおり (図 3.12(a))、 40dB 程度の OPAMP の利得バラツキは、 1σ で約 8.5% である。一般的に、半導体回路設計において保証すべきバラツキの目安は 3σ 以上であることから、約 25.5% 以上の利得バラツキを想定する必要がある。このとき、従来および提案技術による等価的な利得向上量はそれぞれ 11dB と 26dB となり、従来と比べて提案手法は 13dB 利得を向上できることがわかる。ADC の分解能に換算すると、式 (2.7) より、1 ビットあたり 6dB 程度に相当するため、分解能に換算して約 2 ビット以上の改善効果が得られる見込みである。その結果、従来技術では分解能 8.5 ビット程度しか得られないが、提案技術では 11 ビット程度を実現できる。

さらに、提案回路は利得マッチングが不要のため、主増幅回路と副増幅回路には異なる OPAMP を適用することができる。例えば、副増幅回路にはテレスコピックカスコード OPAMP のような高利得な OPAMP を適用する。これは、副増幅回路は誤差電圧のみ出力するため、広い出力信号振幅範囲が不要のためである。一方、信号の主成分を出力する主増幅回路には、基本ソース接地増幅回路などを適用して、広い出力信号振幅範囲を確保する。これにより、2 段 OPAMP と同様に高い直流利得

3.3 利得ミスマッチに低感度な並列型 OPAMP 利得向上技術

と広い出力信号振幅範囲を両立できる。また、主増幅回路と副増幅回路それぞれに2段 OPAMP を適用することも可能である。このように、提案技術は利得ミスマッチの影響がないため、主増幅回路と副増幅回路には異なる様々な OPAMP 回路を適用できる。これによって OPAMP 設計の自由度が拡大し、微細化プロセスにおいても様々な性能を有する OPAMP が設計可能となる。

3.3.2 スイッチトキャパシタ回路への適用

図 3.4 に、単一の負帰還から成る一般的なスイッチトキャパシタ 2 倍増幅回路の半回路ブロック図を示す。図 2.6 との違いは、 $\pm V_{ref}$ の代わりにグラウンドとして、 V_{ref} との加減算演算を省略していること、帰還容量 $C_f = C_s$ として 2 倍増幅に限定していること、負荷容量 C_L と周りのスイッチ群を備える点である。2.3.1 節で解説したとおり、 $\phi_1 = \text{High}$ のサンプリングフェーズにおいて、入力信号 V_{in} を 2 つのサンプリング容量 C_s に充電する。 $\phi_2 = \text{High}$ の増幅フェーズにおいて、一方のサンプリング容量の一端を OPAMP 出力に接続し、他方のサンプリング容量の一端をグラウンドノードに接続して負帰還を形成する。また、OPAMP 出力を負荷容量 C_L にも接続して、負帰還回路によって 2 倍に増幅された入力電圧 $2V_{in}$ が負荷容量に充電される。パイプライン型 ADC において、負荷容量は次段のサンプリング容量であり、次の $\phi_1 = \text{High}$ となるフェーズで次段に転送される。

図 3.5 に、提案する並列型 OPAMP 技術を、スイッチトキャパシタ 2 倍増幅回路に適用した半回路のブロック図を示す。図 3.4 に示す一般的なスイッチトキャパシタ 2 倍増幅回路のサンプリング容量値 C_s と等しくするため、提案回路の主および副増幅回路のサンプリング容量は $C_s/2$ としている。それに合わせて、カップリング容

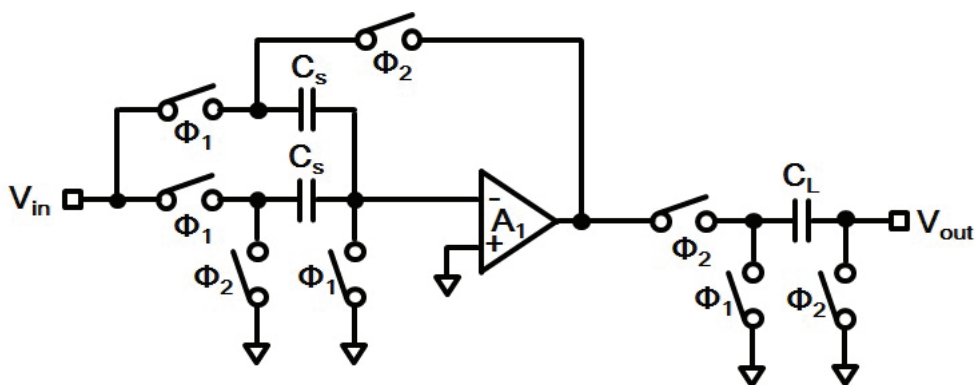


図 3.4: 単一負帰還から成る一般的なスイッチトキャパシタ 2 倍回路

3.3 利得ミスマッチに低感度な並列型 OPAMP 利得向上技術

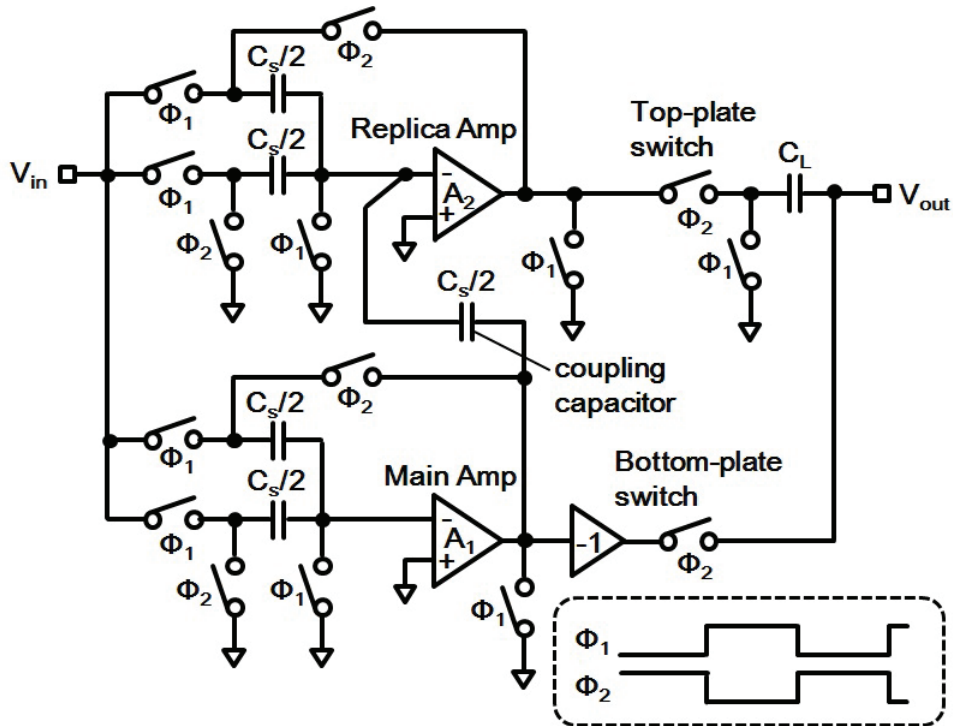


図 3.5: スイッチトキャパシタ 2 倍回路に提案技術を適用したブロック図

量もまた、 $C_s/2$ としている。提案する並列型 OPAMP 技術では、主 OPAMP 出力と副 OPAMP 出力を加算する必要がある。スイッチトキャパシタ回路において、この加算演算は、主 OPAMP と副 OPAMP の出力を同時に負荷容量 C_L に接続して充電することで、高精度かつ容易に実現できる [21]。このとき、主 OPAMP の出力信号を反転する反転増幅器が必要となるが、実際には図 3.6 に示すとおり、完全差動回路で実現した場合、主 OPAMP 差動出力の正負を反転 (クロスカップル) して負荷容量に接続することによって、追加の素子が必要なく反転増幅回路の機能を実現できる。

3.3 利得ミスマッチに低感度な並列型 OPAMP 利得向上技術

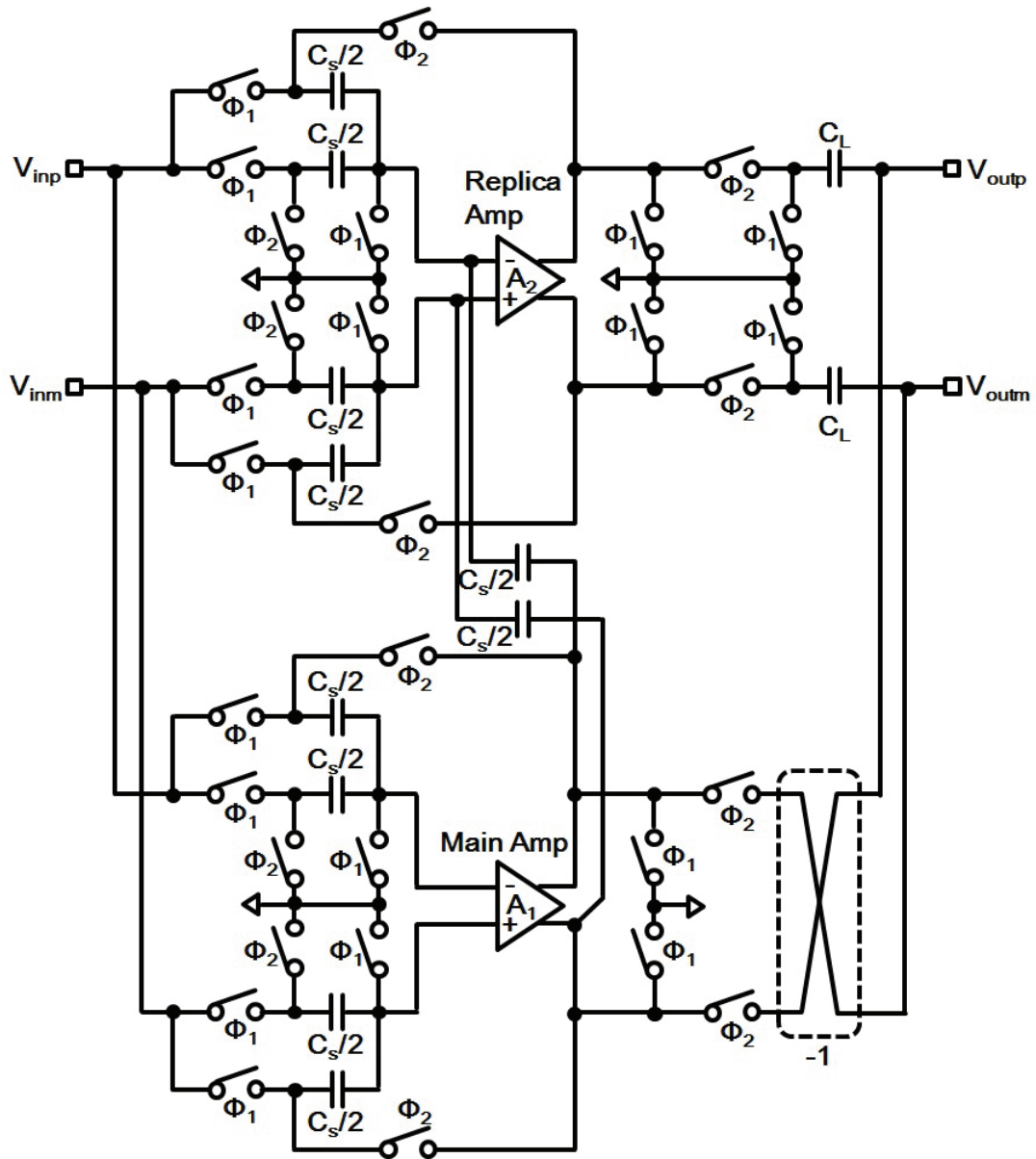


図 3.6: 図 3.5 の完全作動構成

3.3.3 雑音解析

本節では、図 3.5 に示したスイッチトキャパシタ 2 倍回路に適用した提案回路の雑音解析を行う。雑音は大きく、OPAMP の雑音と MOS トランジスタスイッチの雑音に分けられる [8]。レプリカアンプの雑音解析のための等価回路を図 3.7 に示す。出力雑音は、レプリカアンプの雑音源から出力端子までの伝達関数より計算することができる。

$$\overline{V_{out,in2}^2} = \overline{i_{n2}^2} \int_{f=0}^{\infty} |H_{in2}(f)|^2 df, \quad (3.7)$$

ここで、 $\overline{i_{n2}^2}$ はレプリカアンプの雑音電流源、 $|H_{in2}(f)|$ は雑音電流源からアンプ出力 V_{out} までの伝達関数である。一方、飽和領域における MOS トランジスタ熱雑音の雑音電力密度 (PSD: Power Spectrum Density) は、以下の式で表される。

$$\overline{i_{n2}^2} = \frac{8}{3} kT g_{m2}, \quad (3.8)$$

ここで、 k はボルツマン定数、 T は絶対温度、 g_{m2} は飽和領域における MOS トランジスタのトランスコンダクタンスである。伝達関数は以下のように計算される。

$$H_{in2}(s) = \frac{9sC_s + 6g_{m1}}{11s^2C_s^2 + (8g_{m1} + 3g_{m2})sC_s + 2g_{m1}g_{m2}},$$

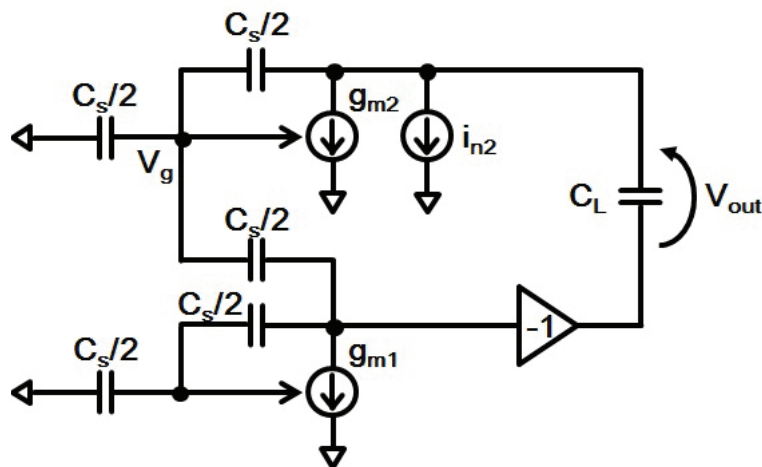


図 3.7: レプリカアンプ雑音解析モデル ($\phi_2 = High$)

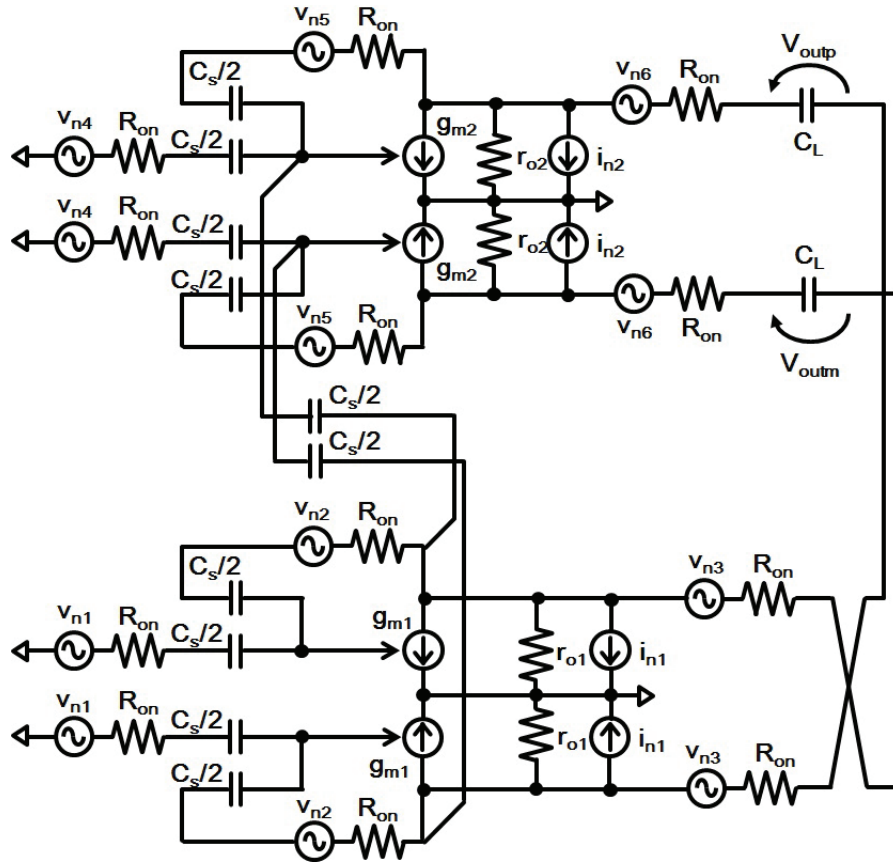


図 3.8: 完全な雑音解析モデル ($\phi_2 = High$)

$$\int_{f=0}^{\infty} |H_{in2}(f)|^2 df \approx \frac{0.576}{g_{m2}C_s}, \quad (3.9)$$

ここでは簡単のため、 $g_{m1} = g_{m2}$ かつ $C_L = C_s$ とする。式 (3.7)、(3.8) および (3.9) より、出力端における雑音は以下ようになる。

$$\overline{V_{out,in2}^2} \approx \frac{8}{3} kT g_{m2} \frac{0.576}{g_{m2}C_s} \approx 1.537 \frac{kT}{C_s}. \quad (3.10)$$

他の雑音も同様に算出することができる。提案手法では、レプリカアンプの雑音が、他の雑音に比べて1桁以上大きく、支配的である。一方、図3.4に示した一般的な単一負帰還回路のOPAMPの雑音は $8kT/(9C_s)$ である [8]。提案手法は単一負帰還回路と比べて、サンプル容量が半分で、かつ帰還係数 $V_g/V_{out} = 1/3$ (V_g はトラン

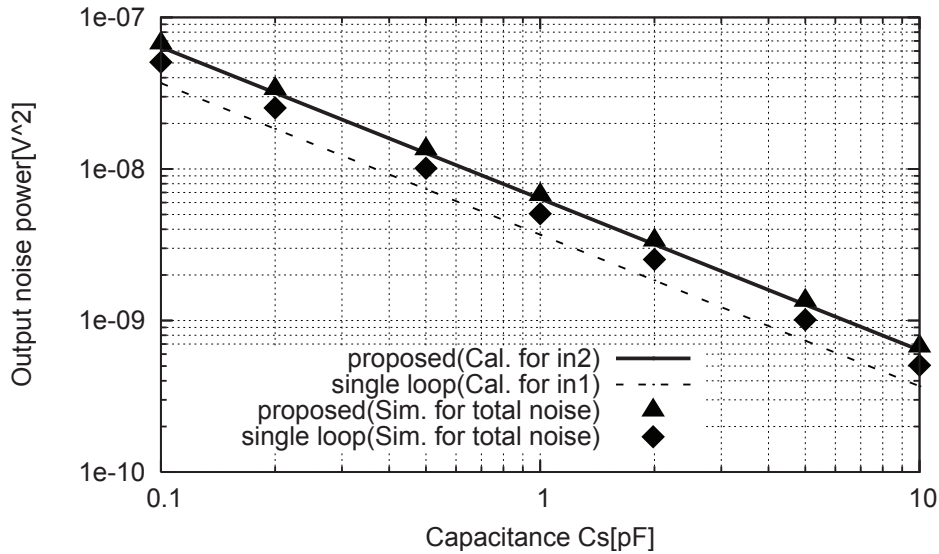


図 3.9: サンプル容量と出力雑音の関係

スコンダクタンス g_{m2} の入力電圧) と小さいため、雑音量は大きくなる。しかしながら提案手法は、出力信号振幅範囲が拡大できるため、後で述べるとおり、最終的な SN 比は向上できる。

上記の雑音解析内容を、図 3.8 に示す完全な雑音解析モデルについて、SPICE シミュレーションを用いて検証する。スイッチとして動作する MOS トランジスタは抵抗領域で動作し、その熱雑音は以下となる。

$$\overline{v_{nx}^2} = 4kTR_{on}, \quad (3.11)$$

ここで、 R_{on} は MOS トランジスタスイッチのオン抵抗である。図 3.9 に、サンプル容量 C_s と出力雑音電力の関係を示す。なお、 $C_L = C_s$ 、 $g_{m1} = g_{m2}$ かつ $r_{oi} = \infty$ である。図から、計算結果とシミュレーション結果は良く一致していることが分かる。また、提案手法の出力雑音は、一般的な単一負帰還回路の出力雑音と比べて若干大きいことがわかる。 $C_s = 1pF$ において、提案手法および一般的な単一負帰還回路の出力雑音はそれぞれ、 $6.73e^{-9}V^2$ と $5.06e^{-9}V^2$ である。一方、出力信号振幅範囲は、提案手法のほうが広い出力範囲を実現できる。例えば一般的な単一負帰還回路において、図 3.10(b) のテレスコピックカスコード型 OPAMP を利用した場合、電源電圧 1.2V、オーバードライブ電圧 150mV と仮定すると、差動出力信号振幅範囲は 900mV となる。一方提案回路では、出力信号振幅は主増幅回路で決まる。主増

3.4 シミュレーション

幅回路において図 3.10(a) の基本ソース接地増幅回路を利用し、副増幅回路においてテレスコピックカスコード型 OPAMP を利用した場合、差動出力信号振幅は 1.5V となる。このとき、提案回路と一般的な単一負帰還回路の SN 比はそれぞれ 72.4dB と 69.7dB となる。即ち提案回路は、一般的な単一負帰還回路と同等のテレスコピックカスコード型 OPAMP と利用しながら出力信号振幅範囲を拡大でき、より良好な SN 比を実現できる。

3.4 シミュレーション

提案回路を 65nmCMOS プロセスを用いて設計し、回路シミュレーションによって有効性を確認する。電源電圧は 1.2V である。基本ソース接地増幅回路、テレスコピックカスコード OPAMP、ミラー補償を備える 2 段 OPAMP のブロック図を図 3.10、周波数特性を図 3.11 に示す。このときの負荷は 1.5pF である。消費電流はいずれも 600uA で設計している。基本ソース接地増幅回路、テレスコピック型 OPAMP および 2 段 OPAMP のユニティゲイン周波数はそれぞれ、501.2MHz、432.5MHz および 165.5MHz であり、位相余裕はそれぞれ、92.5°、86.8° および 59.5° である。2 段 OPAMP は高利得と広い出力信号振幅範囲を両立できる回路構成であるが、複数の極とゼロ点を補償するため、1 段 OPAMP と比べて信号帯域が大きく制約される。

図 3.12 には、スイッチトキャパシタ 2 倍増幅回路において、モンテカルロシミュレーションを 100 回行ったときの OPAMP 実効利得のヒストグラムを示す。図中、(a) は、図 3.4 に示した単一負帰還から成るスイッチトキャパシタ 2 倍回路の OPAMP にテレスコピックカスコード OPAMP を適用した場合の実効利得 (なお、シミュレーションでは完全差動構成としている)、(b) は、図 3.6 に示した提案する OPAMP 並列化技術を適用したスイッチトキャパシタ 2 倍回路の実効利得を示す。ここで、主 OPAMP には基本ソース接地増幅回路、副増幅回路にはテレスコピックカスコード OPAMP を適用した場合である。また、スイッチは理想とし、容量 $C_s = C_L = 1\text{pF}$ としている。単一負帰還回路で使用する OPAMP の消費電流 600uA と同等にするため、提案回路における主および副 OPAMP の消費電流はそれぞれ 300uA とし、合計 600uA となるように、図 3.11 の特性を実現する回路をスケールダウンして適用している。図 3.12 を見ると、(a) のテレスコピックカスコード OPAMP 単体と、(b) の提案する増幅回路の利得バラツキの最大幅はそれぞれ、3.11dB と 3.42dB であり、同程度の利得ばらつき量であると言える。これより、提案回路の利得ミスマッチは、利得ミスマッチの影響が十分小さいことが分かる。

図 3.13 に、各 OPAMP における実効利得と出力信号振幅の関係を示す。前述のとおり、提案回路では主および副 OPAMP 合計の消費電流を 600uA とし、テレスコ

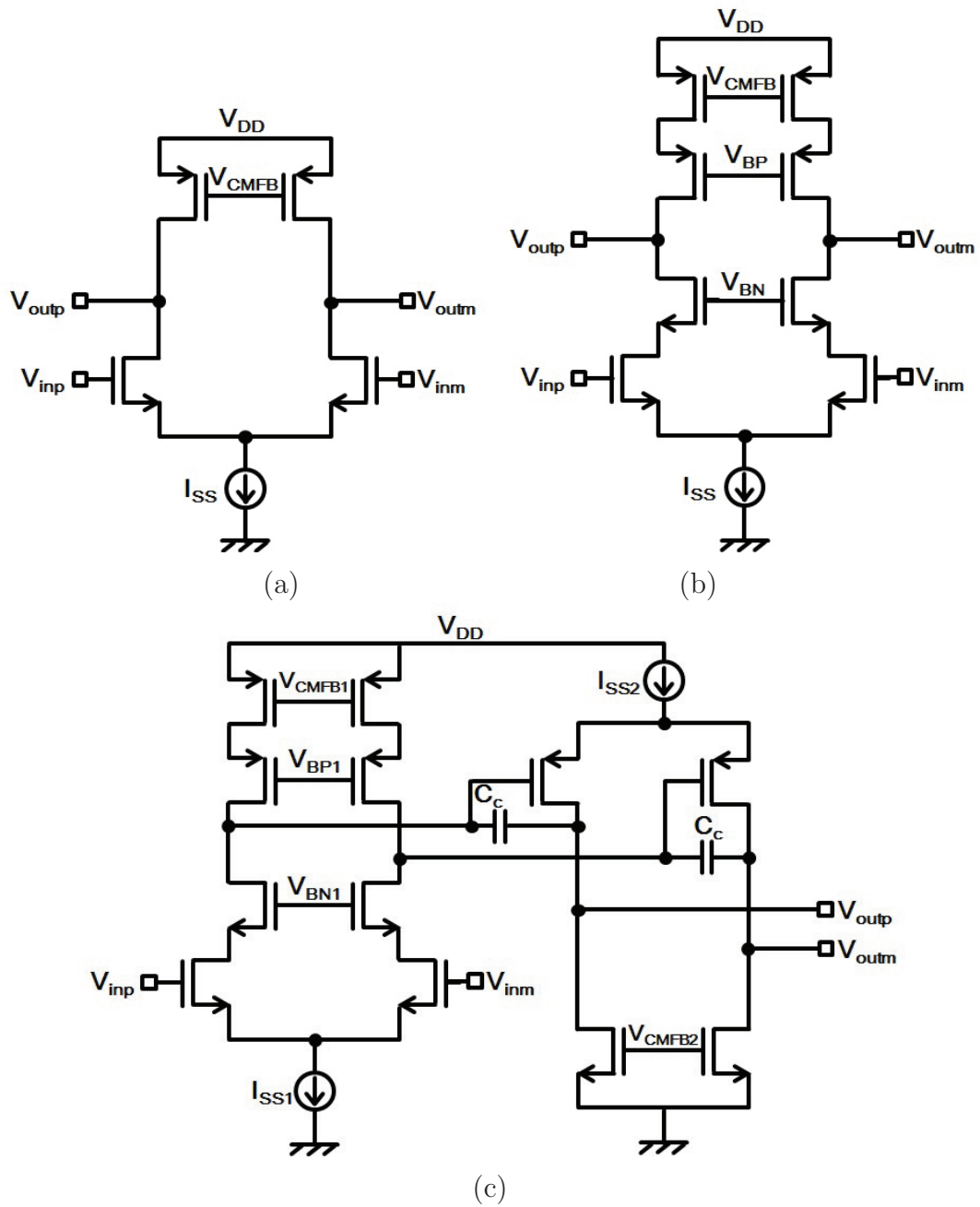


図 3.10: OPAMP 構成 (a) 基本ソース接地増幅回路 (b) テレスコピックカスコード OPAMP (c) 2 段 OPAMP

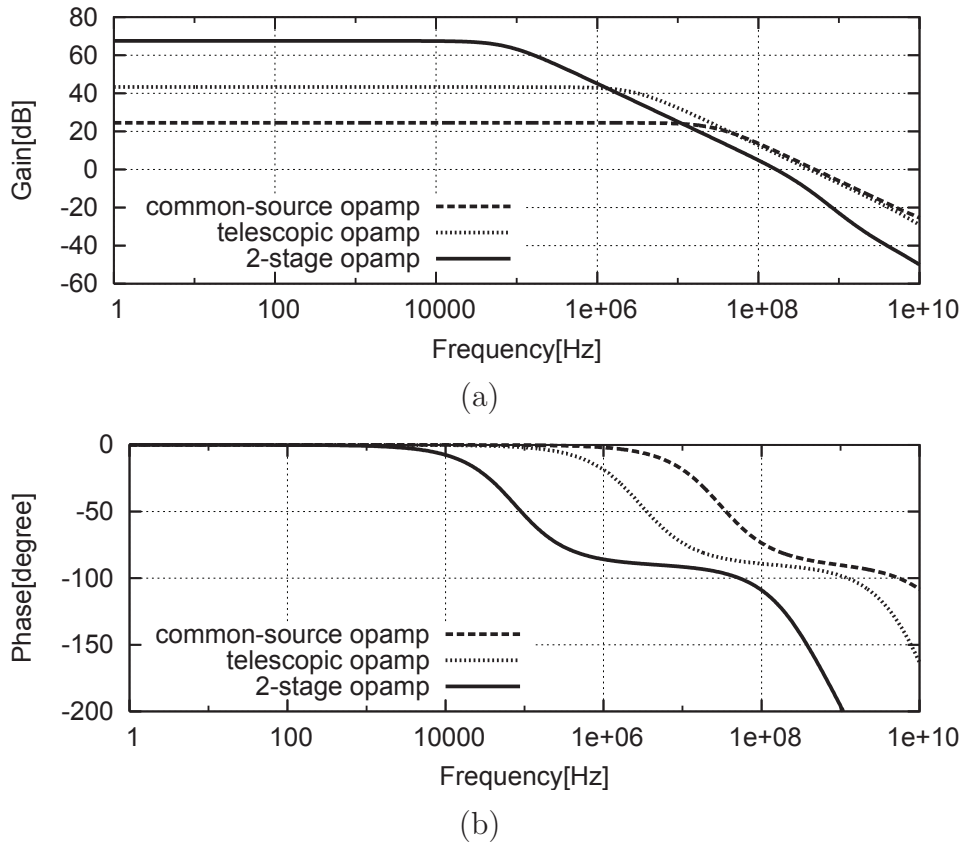


図 3.11: 周波数特性 (a) 利得 (b) 位相特性

ピックカスコード OPAMP および 2 段 OPAMP の消費電流と等しくして比較する。図 3.4 に示した単一負帰還から成るスイッチトキャパシタ 2 倍回路に、テレスコピックカスコード OPAMP を適用した場合 (telescopic opamp)、同じく単一負帰還から成るスイッチトキャパシタ 2 倍回路に、2 段 OPAMP を適用した場合 (2-stage opamp)、図 3.6 に示した提案するスイッチトキャパシタ 2 倍回路の主 OPAMP に基本ソース接地増幅回路、副 OPAMP にテレスコピックカスコード OPAMP を適用した場合 (proposed(common-source+telescopic))、提案回路の主 OPAMP 及び副 OPAMP ともにテレスコピックカスコード OPAMP を適用した場合 (proposed(telescopic+telescopic))、提案回路の主 OPAMP に 2 段 OPAMP、副 OPAMP にテレスコピックカスコード OPAMP を適用した場合 (proposed(2-stage+telescopic)) を示す。単一負帰還から成るスイッチトキャパシタ 2 倍回路に、テレスコピックカスコード OPAMP を適用した場合と、提案回路の主 OPAMP に基本ソース接地増幅回路、副 OPAMP にテレスコピックカスコード OPAMP を適用した場合を比較すると、並列化によって利得

3.4 シミュレーション

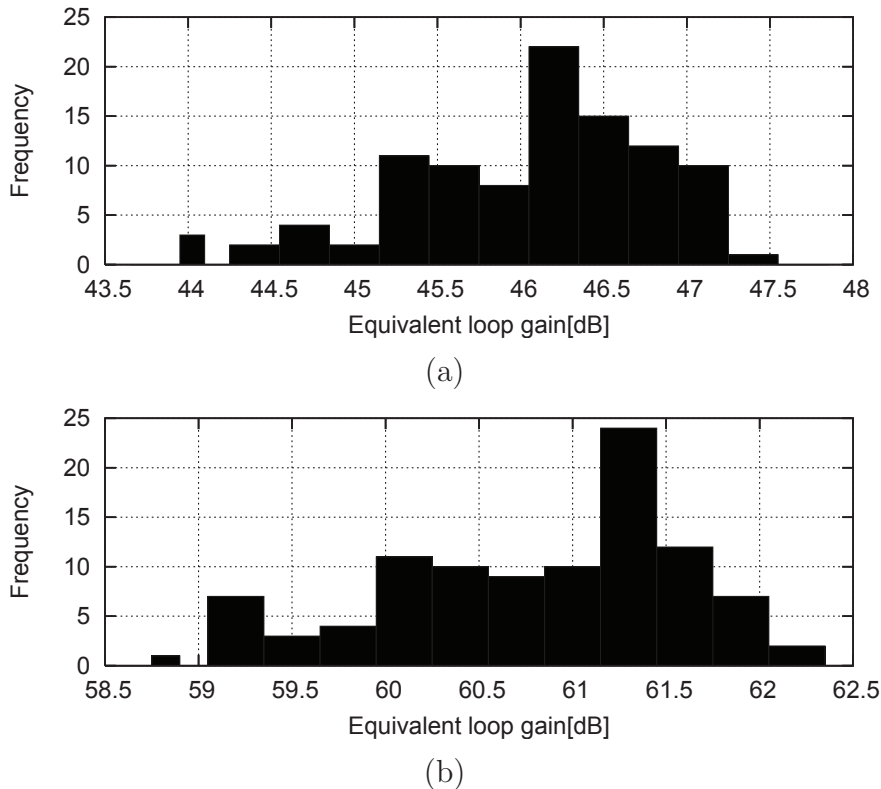


図 3.12: モンテカルロシミュレーション 100 回実施時の実効利得のヒストグラム (a) テレスコピック型 OPAMP 単体 (b) 提案する並列型 OPAMP(主 OPAMP に完全差動増幅器、副 OPAMP にテレスコピックカスコード OPAMP を適用した場合)

が 15.5dB 利得が向上して、約 60dB 程度の実効利得が得られることが分かる。さらに、利得が 1dB 低下する出力信号振幅範囲を比較すると、単一負帰還回路の場合は $\pm 230\text{mV}$ 、提案回路は $\pm 600\text{mV}$ であり、出力信号振幅範囲が約 2.6 倍に拡大できることが分かる。3.3.3 章の雑音解析より、S/N 比に換算すると約 6.0dB の改善、ADC 分解能に換算すると約 1bit の改善に相当する。

また、主および副 OPAMP とともにテレスコピック形を適用した場合 (proposed(telescopic+telescopic))、利得向上量は 32.8dB となる。さらに、主増幅回路に 2 段 OPAMP を適用 (proposed(2-stage+telescopic)) することによって、100dB 近い利得を実現しつつ非常に広い出力信号振幅範囲が達成できることが分かる。

図 3.14 に、提案回路における主増幅回路と副増幅回路出力のセトリング特性を示す。なお、主 OPAMP には基本ソース接地増幅回路、副 OPAMP にはテレスコピックカスコード OPAMP を適用し、入力信号振幅は 200mV、時刻ゼロにおいてサンプル

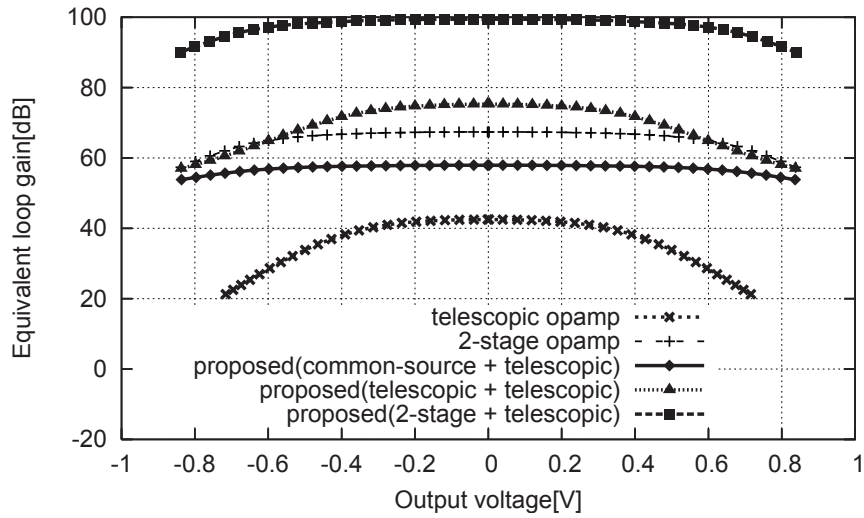


図 3.13: 実効利得と出力信号振幅範囲の関係

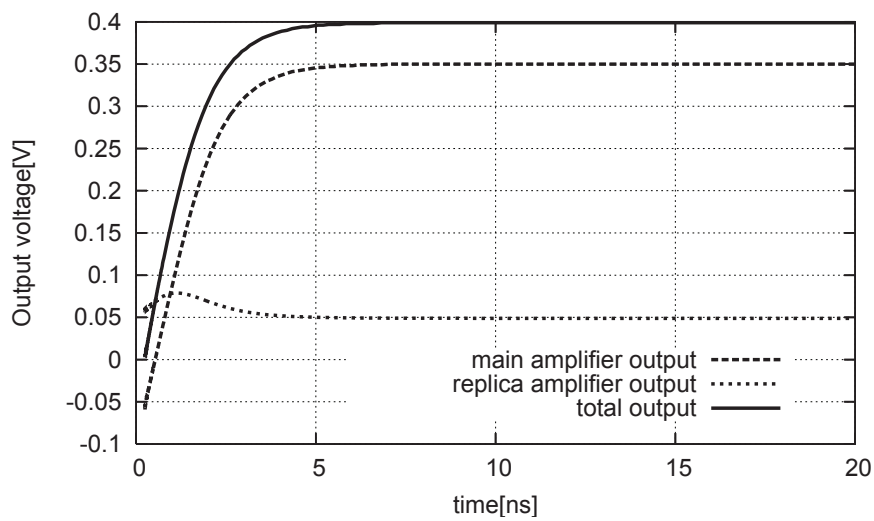


図 3.14: 提案回路出力のセトリング特性

リングフェーズから増幅フェーズに切り替わるとする。主増幅回路は信号の主成分を増幅するため、0.35V 程度の高い電圧に収束する様子が分かる。一方副増幅回路は、誤差電圧を増幅するため、0.05V 程度の低い電圧に収束する様子が分かる。これにより、負荷容量の両端に現れるトータルの出力電圧は、主増幅回路出力と副増幅回路の出力が加算された 0.4V 程度に収束する様子が分かる。

3.4 シミュレーション

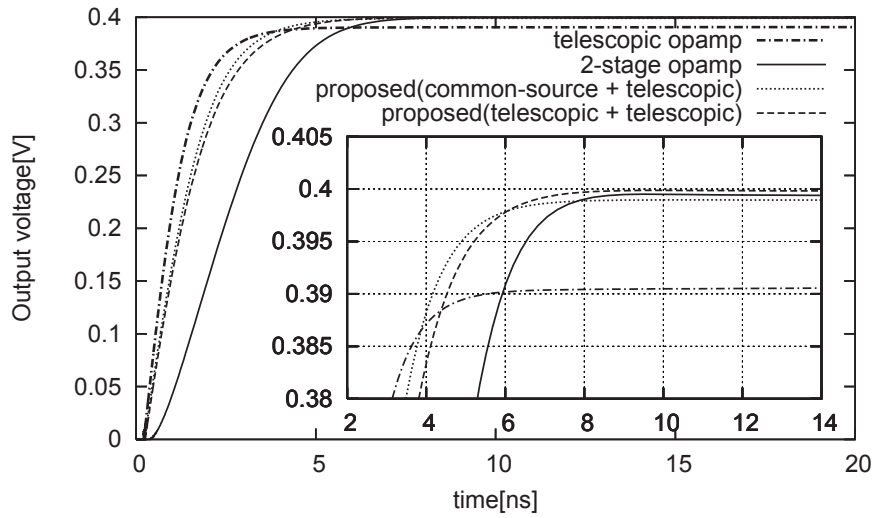


図 3.15: セトリング特性比較

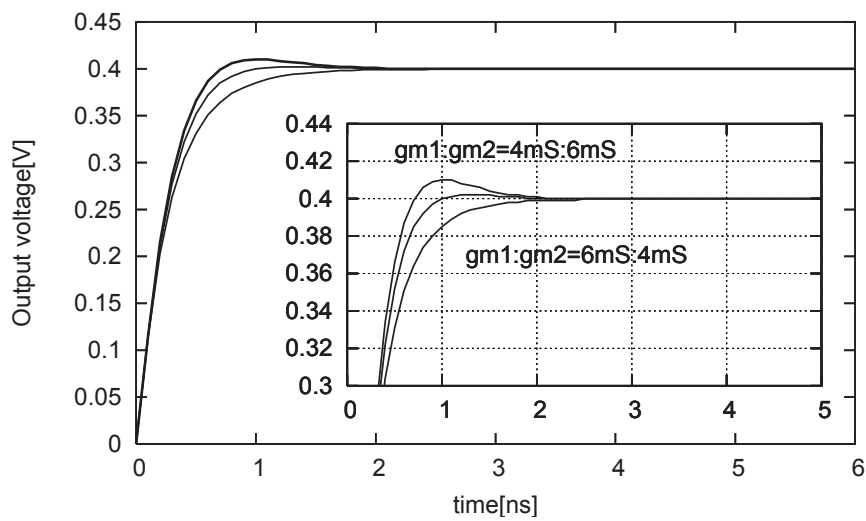


図 3.16: 主 OPAMP のトランスコンダクタンス g_{m1} 及び副 OPAMP のトランスコンダクタンス g_{m2} と、セトリング特性の関係

図 3.15 に、各 OPAMP のセトリング特性の比較波形を示す。単一負帰還回路において、テレスコピックカスコード OPAMP を適用した場合 (telescopic opamp)、2 段 OPAMP を適用した場合 (2-stage opamp) と、提案回路において、主 OPAMP にソース接地増幅回路、副 OPAMP にテレスコピックカスコード OPAMP を適用した場合

3.4 シミュレーション

(proposed(common-source + telescopic)), 主・副 OPAMP とともにテレスコピックカスコード OPAMP を適用した場合 (proposed(telescopic + telescopic)) を示す。最終出力電圧の 0.1 % 内に収束するセトリング時間はそれぞれ、5.36ns、8.0ns、6.6ns および 7.0ns である。並列化によるセトリング時間の増加は約 20~30 % 程度であり、2 段 OPAMP と比較すると短い時間でセトリングできる。増幅フェーズの時間はサンプリング周期の 1/2 と仮定すると、主 OPAMP にソース接地増幅回路、副 OPAMP にテレスコピックカスコード OPAMP を適用した並列型 OPAMP は、 $1/6.6\text{ns}/2 = \text{約 } 80\text{MHz}$ のサンプリング周波数を実現できる見込みである。

図 3.16 に、提案回路における主 OPAMP のトランスコンダクタンス g_{m1} と副 OPAMP のトランスコンダクタンス g_{m2} と、セトリング特性の関係を示す。各 OPAMP は理想素子で実現し、直流利得は 40dB とする。セトリング特性は、 $(g_{m1}, g_{m2}) = (4 \text{ mS}, 6 \text{ mS}), (5 \text{ mS}, 5 \text{ mS})$ 及び $(6 \text{ mS}, 7 \text{ mS})$ の場合とプロットしている。これより、最も良いセトリング特性は $g_{m1} \approx g_{m2}$ のときであることが分かる。0.1 % に収束するセトリング時間は、 $g_{m1} = 4 \text{ mS}$ において 2.17 ns、 $g_{m1} = 5 \text{ mS}$ において 2.1 ns、 $g_{m1} = 6 \text{ mS}$ において 2.35 ns である。トランスコンダクタンスが $\pm 20\%$ ばらついた場合のセトリング時間のばらつきはそれぞれ、12% と 3.0 % 程度である。

3.5 まとめ

本章では、OPAMP 利得ミスマッチに低感度な並列型 OPAMP 利得向上手法を提案した。高速 ADC の 1 つであるパイプライン型 ADC は、OPAMP によってパイプライン処理を実現し、OPAMP の利得が高いほど高分解能、信号帯域が高いほど高いサンプリング周波数を実現できる。しかしながら第 2 章で示したとおり、今後のさらなる半導体プロセス微細化によって電源電圧の低下や MOSFET の固有利得が低下し、従来の OPAMP 構成では高い直流利得や広い出力信号振幅範囲などの十分な性能の維持が困難となってきた。この課題を解決する手法として、主となる OPAMP と並列に副 OPAMP を備えることで、信号帯域の低下なく直流利得を向上できる並列型 OPAMP 利得向上手法が提案されているが、主となる OPAMP と並列に備えた副 OPAMP とのあいだに利得ミスマッチがあると、利得向上量が劣化する課題があった。そこで、主 OPAMP の有限利得によって発生する誤差電圧を、副 OPAMP によって検出して増幅し、主 OPAMP 出力に誤差電圧を加算することで、主および副 OPAMP の利得ミスマッチ依存性を低減しつつ、等価的に利得を向上する手法を考案した。

提案手法の効果を確認するため、65nm プロセスを用いて OPAMP の設計、回路シミュレーションを行った。主 OPAMP に基本ソース接地増幅回路および副 OPAMP にテレスコピックカスコード OPAMP を適用した提案回路は、単一のテレスコピックカスコード OPAMP と比較して同等の利得バラツキを実現しつつ、直流利得を 15.5dB 改善し、かつ出力信号振幅範囲を 2.6 倍に拡大できることを確認した。並列化によるセトリング時間の増加は約 20~30 % 程度であり、本設計では、80MHz 程度のサンプリング周波数を実現できる見込みである。

また、主および副 OPAMP の直流利得を 40dB と仮定し、従来の並列化技術とばらつき感度を比較すると、 3σ のバラツキを想定した場合、従来および提案技術による等価的な利得向上量はそれぞれ 11dB と 26dB となり、従来と比べて 13dB 向上できることを確認した。ADC に適用した場合、達成できる実効分解能を見積もると、従来および提案手法はそれぞれ 8.5 ビットと 11 ビット程度となり、提案手法によって 2 ビット以上の改善効果が得られる見込みを得た。以上より、提案した OPAMP 並列化技術は、半導体プロセス技術の微細化による電源電圧の低下やトランジスタの固有利得低下の課題を克服し、高速 ADC であるパイプライン型 ADC の高分解能化を実現する有力な技術であることを実証した。

第4章 タイムインタリーブ型 A/D 変換器の小面積高分解能デジタル補正技術

4.1 概要

パイプライン型 ADC は、パイプライン処理に用いる OPAMP の高速化によって、高いサンプリング周波数を実現することができる。しかしながら実際には、高速化のために OPAMP 回路規模が大きくなり、OPAMP 自身の寄生容量によって信号帯域が制約されてしまう。即ち、OPAMP の高速化によるサンプリング周波数の向上には限界がある。そこで、OPAMP の制約なく ADC の高速化を実現する手法として、複数の ADC を並列動作させて高速化を図るタイムインタリーブ手法が注目されている [13]。具体的には、M 個の ADC を並え列動作させることで、M 倍のサンプリング速度を実現する技術であり、タイムインタリーブ手法を適用したタイムインタリーブ型 ADC (TI-ADC) に関する学会発表が多くなってきている。しかしながら実際には、第 2 章で述べたとおり、半導体製造時のばらつきによって、各 ADC 間の A/D 変換利得やサンプリングタイミングにミスマッチが生じて、TI-ADC の性能が劣化してしまう課題がある [10]。

この課題に対し、アナログ回路またはデジタル回路を用いて誤差を補正する手法が複数提案されている。アナログ回路を用いる手法 [22]- [24] では、各 ADC に供給するクロックバッファのインバータチェーンの段数を変えることで、ADC 間のサンプル時間誤差を補正する。補正部はインバータのみで実現できるため小面積化に適する一方、インバータが有する熱雑音やバラツキ特性が補正精度を制限してしまう。デジタル回路による補正手法は、アナログ補正の欠点を解決する有力な手段である。すべてデジタル回路で実現するため、微細 CMOS プロセスに適し、プロセス変更に伴う再設計も不要であるため、設計コストの面でも有利である。

デジタル補正技術では、個々のチャンネルに縦続に接続した適応フィルタを用いて補正する手法が多く提案されている [25]- [27]。本手法は、フィルタの係数を算出するための大規模な LUT (Look Up Table) が必要となる。加えて、適応フィルタの信

号語長は、ADCのダイナミックレンジと同等以上にする必要があるため、大規模な面積を占有してしまう課題がある。本章では、アダマール変換を利用することで、小面積かつ高分解能化を実現可能なデジタル補正技術を提案する。サンプリングタイミングのミスマッチによって生じたエイリアス信号から、アダマール変換を用いて生成した疑似エイリアス信号を減じることで、サンプリングタイミングのズレを等価的に補正する。追加のアナログ回路が不要で、かつ従来のデジタル補正回路と比較して小面積かつ高分解能化が実現可能である。

4.2 疑似エイリアス信号を用いた小面積・高精度デジタル補正技術

図 4.1 に、提案する 2TI-ADC 向け誤差補正回路のブロック図を示す [28]。疑似エイリアス信号生成部、エイリアス減算部と誤差推定部から成る。入力信号 $z_0(n)$ 及び $z_1(n)$ は、図 2.14 に示すとおり、サブ ADC の出力である。特徴は、従来の適応フィルタの代わりに疑似エイリアス信号生成回路を備えることで、小面積かつ高精度を実現する点である。疑似エイリアス信号生成回路によって生成された疑似エイリアス信号 $\hat{x}_e(n)$ は、エイリアス信号と同一の周波数成分を持つ。誤差推定部は、補正回路出力 $y(n)$ に残留するエイリアス信号が抑圧されるように、適応的に係数 α を更新する。エイリアス減算部において、TI-ADC 出力 $\hat{x}(n)$ と、係数 α が乗じられた疑似エイリアス信号 $\alpha\hat{x}_e(n)$ を減算することで、TI-ADC 出力 $\hat{x}(n)$ に残留したエイリアス信号をキャンセルして出力する。誤差によって残留するエイリアス信号のダイナミックレンジは、所望波に比べて十分小さいため、補正回路のダイナミックレンジを削減でき、小面積に実装できる。

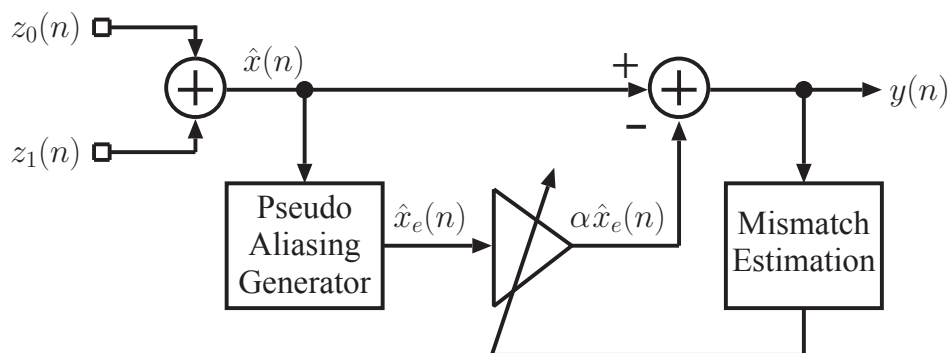


図 4.1: 提案する補正回路ブロック図

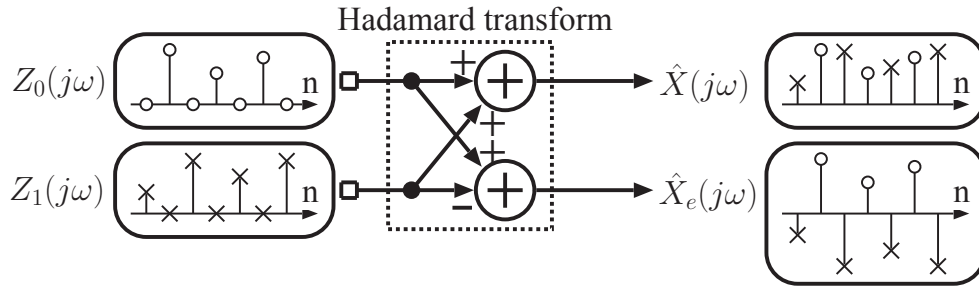


図 4.2: 疑似エイリアス信号生成方法

4.2.1 疑似エイリアス信号生成部

図 4.2 に、疑似エイリアス信号生成の概略図を示す。キーアイデアは、直交変換を利用することによって、所望波とエイリアス信号を分離して出力することである。とくに、直交変換の一種であるアダマール変換は、1 と -1 のみの係数から成り、ハードウェア量削減の点で非常に有利である。疑似エイリアス信号 $\hat{x}_e(n)$ は、一方の ADC の出力から、もう一方の ADC の出力信号から減じることで得ることができる。疑似エイリアス信号 $\hat{x}_e(n)$ のスペクトラムは図 2.15(e) で表わされる。TI-ADC 出力信号 $\hat{x}(n)$ と、疑似エイリアス信号 $\hat{x}_e(n)$ は以下の式で表わされる。

$$\begin{bmatrix} \hat{X}(j\omega) \\ \hat{X}_e(j\omega) \end{bmatrix} = \mathbf{F} \begin{bmatrix} Z_0(j\omega) \\ Z_1(j\omega) \end{bmatrix}, \mathbf{F} = \begin{bmatrix} 1 & 1 \\ 1 & -1 \end{bmatrix}, \quad (4.1)$$

ここで、 \mathbf{F} は 2×2 のアダマール変換行列である。図 2.15 に、疑似エイリアス信号 $x_e(n)$ のスペクトラム $\hat{X}_e(j\omega)$ を示す。アダマール変換行列を $N \times N$ に拡張することで、 N チャンネルの TI-ADC に適応可能である。

4.2.2 エイリアス減算部

補正回路出力 $y(n)$ は、TI-ADC 出力 $\hat{x}(n)$ から、係数 α を乗じた疑似エイリアス信号 $\hat{x}_e(n)$ を減じることで得る。

$$\begin{aligned} Y(j\omega) &= \hat{X}(j\omega) - \alpha \hat{X}_e(j\omega) \\ &= \frac{1}{2} \{ (1 + \Delta_{g0}) e^{j\omega \Delta t_0} + (1 + \Delta_{g1}) e^{j\omega \Delta t_1} \} \end{aligned}$$

$$\begin{aligned}
 & -\alpha(1 + \Delta_{g0})e^{j\omega\Delta_{t0}} + \alpha(1 + \Delta_{g1})e^{j\omega\Delta_{t1}}\}X(j\omega) \\
 & + \frac{1}{2}\{(1 + \Delta_{g0})e^{j(\omega-\pi)\Delta_{t0}} - (1 + \Delta_{g1})e^{j(\omega-\pi)\Delta_{t1}} \\
 & -\alpha(1 + \Delta_{g0})e^{j(\omega-\pi)\Delta_{t0}} - \alpha(1 + \Delta_{g1})e^{j(\omega-\pi)\Delta_{t1}}\} \\
 & X(j(\omega - \pi)). \tag{4.2}
 \end{aligned}$$

エイリアス信号 $X(j(\omega - \pi))$ を打ち消すように係数 α を算出する。

$$\begin{aligned}
 & (1 + \Delta_{g0})e^{j(\omega-\pi)\Delta_{t0}} - (1 + \Delta_{g1})e^{j(\omega-\pi)\Delta_{t1}} \\
 & -\alpha(1 + \Delta_{g0})e^{j(\omega-\pi)\Delta_{t0}} - \alpha(1 + \Delta_{g1})e^{j(\omega-\pi)\Delta_{t1}} = 0 \\
 \Rightarrow \alpha = & -\frac{(1 + \Delta_{g0})e^{j(\omega-\pi)\Delta_{t0}} - (1 + \Delta_{g1})e^{j(\omega-\pi)\Delta_{t1}}}{(1 + \Delta_{g0})e^{j(\omega-\pi)\Delta_{t0}} + (1 + \Delta_{g1})e^{j(\omega-\pi)\Delta_{t1}}}. \tag{4.3}
 \end{aligned}$$

係数 α が式 (4.3) のとき、エイリアス信号が除去された補正信号を得ることができる。実際のタイムインタリーブ ADC では、 Δ_{gk} および Δ_{tk} ($k = 0, 1$) は 1 より十分小さいと仮定でき、 $\hat{X}_e(j\omega)$ は以下のような簡単な式で表される。

$$\begin{aligned}
 \alpha & \approx \frac{1}{2}\{(\Delta_{g0} - \Delta_{g1}) + j(\omega - \pi)(\Delta_{t0} - \Delta_{t1})\}, \\
 \hat{X}_e(j\omega) & \approx X(j(\omega - \pi)). \tag{4.4}
 \end{aligned}$$

上式中 $\alpha\hat{X}_e(j\omega)$ は、式 (2.21) の 2 次および 3 次の項と等しいことがわかる。 $j(\omega - \pi)$ は、提案する補正技術は疑似エイリアス信号を微分した信号を生成するために固定 FIR フィルタが必要であることを示唆している。 $\alpha\hat{X}_e(j\omega)$ は、以下のように書き換えられる。

$$\begin{aligned}
 \alpha\hat{X}_e(j\omega) & \approx \frac{1}{2}\{(\Delta_{g0} - \Delta_{g1}) + j(\omega - \pi)(\Delta_{t0} - \Delta_{t1})\}\hat{X}_e(j\omega) \\
 & = \frac{1}{2}(\Delta_{g0} - \Delta_{g1})\hat{X}_e(j\omega) + \frac{1}{2}(\Delta_{t0} - \Delta_{t1})\hat{X}'_e(j\omega) \\
 & = \omega_{g1}\hat{X}_e(j\omega) + \omega_{t1}\hat{X}'_e(j\omega), \tag{4.5}
 \end{aligned}$$

ここで、

$$\begin{aligned}
 \hat{X}'_e(j\omega) & = j(\omega - \pi)\hat{X}_e(j\omega), \\
 \omega_{g1} & = (\Delta_{g0} - \Delta_{g1})/2, \\
 \omega_{t1} & = (\Delta_{t0} - \Delta_{t1})/2, \tag{4.6}
 \end{aligned}$$

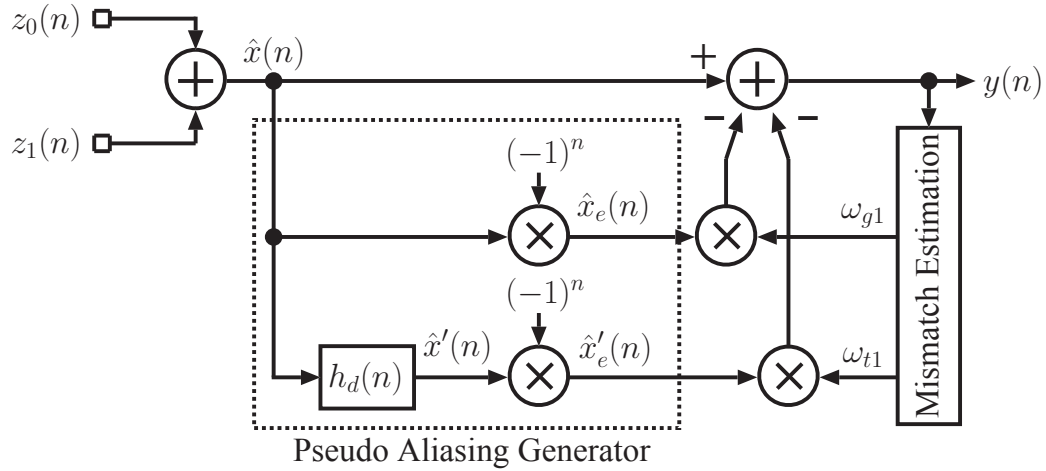


図 4.3: 2 タイムインタリーブ ADC 向け提案補正回路ブロック図

である。式 (4.5) の $\omega_{g1}\hat{X}_e(j\omega)$ と $\omega_{t1}\hat{X}'_e(j\omega)$ はそれぞれ、利得およびサンプリングタ
イミングのミスマッチによるエイリアス信号を示している。

図 4.3 に、式 (4.5) に基づいて実現した 2TI-ADC 向け提案補正回路ブロック図を
示す。アダマール変換によって得られた $\hat{x}(n)$ と $\hat{x}_e(n)$ の関係は、図 4.2 に示すと
おり、 $\hat{x}_e(n) = (-1)^n \hat{x}(n)$ で表される。図 4.3 に示す理想的な離散時間微分フィルタの
伝達関数は、微分値 $j(\omega - \pi)$ に $(-1)^n$ を乗じて $H_d(j\omega) = j\omega$ となる。微分フィルタ
のインパルス応答は、

$$h_d(n) = \begin{cases} \frac{\cos(n\pi)}{n}, & (n \neq 0) \\ 0, & (n = 0) \end{cases} \quad (4.7)$$

上記のフィルタ係数は、実際にはハニング窓などの任意の窓関数を乗じて最終的な
係数を得る。係数 ω_{g1} や ω_{t1} は、後述する誤差検出ブロックによって生成される。

提案する補正技術は、固定係数を持つ FIR 微分フィルタによって実現されるため、
従来の適応 FIR フィルタを実現するために必要であった LUT や係数計算部が不要
である。LUT や係数計算部は、ADC のダイナミックレンジが高いほど回路規模が
増大するため、これが不要となる提案技術は小面積化に有力な技術であると言える。

4.2.3 補正回路のダイナミックレンジ

提案する疑似エイリアス信号を利用した補正技術は、従来の適応フィルタを用い
た補正回路と比べて、回路のハードウェアを大幅に削減することができる。従来の

適応フィルタは、ADCの後段縦続して配置されるため、ADCと同等のダイナミックレンジが要求される。一方提案する疑似エイリアス信号生成回路は、残留したエイリアス信号を模擬すればよい。残留エイリアス信号は、所望信号と比べて十分小さい信号電力であるため、これを模擬する疑似エイリアス信号生成回路のダイナミックレンジを大幅に緩和できる。補正回路によって補正された出力信号 $\hat{X}(j\omega)$ と、係数 α を乗じた疑似エイリアス信号 $\hat{X}_e(j\omega)$ の関係を計算すると、以下のようになる。

$$\left| \frac{\alpha \hat{X}_e(j\omega)}{\hat{X}(j\omega)} \right| \approx |\alpha| = \frac{1}{2}(\Delta_{t0} - \Delta_{t1}) |\omega - \pi|, \quad (4.8)$$

ここで、利得ミスマッチはゼロ、かつ Δ_{tk} ($k = 0, 1$) は1より十分小さいと仮定している。また、補正信号 $\hat{X}(j\omega)$ と疑似エイリアス信号 $\hat{X}_e(j\omega)$ のダイナミックレンジはほぼ等しいと仮定している ($|\hat{X}(j\omega)| \approx |\hat{X}_e(j\omega)|$)。疑似エイリアス信号に係数 α を乗じた信号のダイナミックレンジは、補正信号と比べて十分小さいため、疑似エイリアス信号生成回路で用いる固定FIRフィルタは本質的に小さい面積で実装可能である。例えば、サンプル時間誤差が $(\Delta_{t0} - \Delta_{t1}) = 0.01$ で周波数 $\omega = 0$ (式(4.8)) が最大となる値) のとき、係数 α を乗じた疑似エイリアス信号のダイナミックレンジは $20\log_{10}(|(\omega - \pi)(\Delta_{t0} - \Delta_{t1})/2|) = -36.1\text{dB}$ となる。これは、従来の適応フィルタと比べて、提案手法の固定FIRフィルタの信号語長を約5.0ビット低減できる見積もりである。同様に、提案する利得ミスマッチ補正回路の信号語長も、従来技術に比べて削減することができる。

$$\left| \frac{\alpha \hat{X}_e(j\omega)}{\hat{X}(j\omega)} \right| \approx \frac{1}{2}(\Delta_{g0} - \Delta_{g1}). \quad (4.9)$$

利得ミスマッチが $(\Delta_{g0} - \Delta_{g1}) = 0.01$ のとき、係数 α を乗じた疑似エイリアス信号のダイナミックレンジは $20\log_{10}((\Delta_{g0} - \Delta_{g1})/2) = -46.0\text{dB}$ となり、約7.0ビット低減できることが分かる。

4.2.4 Mチャンネル タイムインタリーブ A/D変換器への適用

提案するタイムインタリーブ型ADC向けデジタル補正技術は、アダマール変換行列を拡張することで任意のチャンネル数に拡張できる。このとき、たとえMチャンネルに拡張した場合であっても、必要なFIRフィルタの数はただ1つで良い。一方従来技術[8]では、 $(M - 1)$ 個の適応FIRフィルタが必要である。即ち提案手法は、チャンネル数が増加するほど、補正回路の回路規模を削減できる。図4.4に、4TI-ADC

4.2 疑似エイリアス信号を用いた小面積・高精度デジタル補正技術

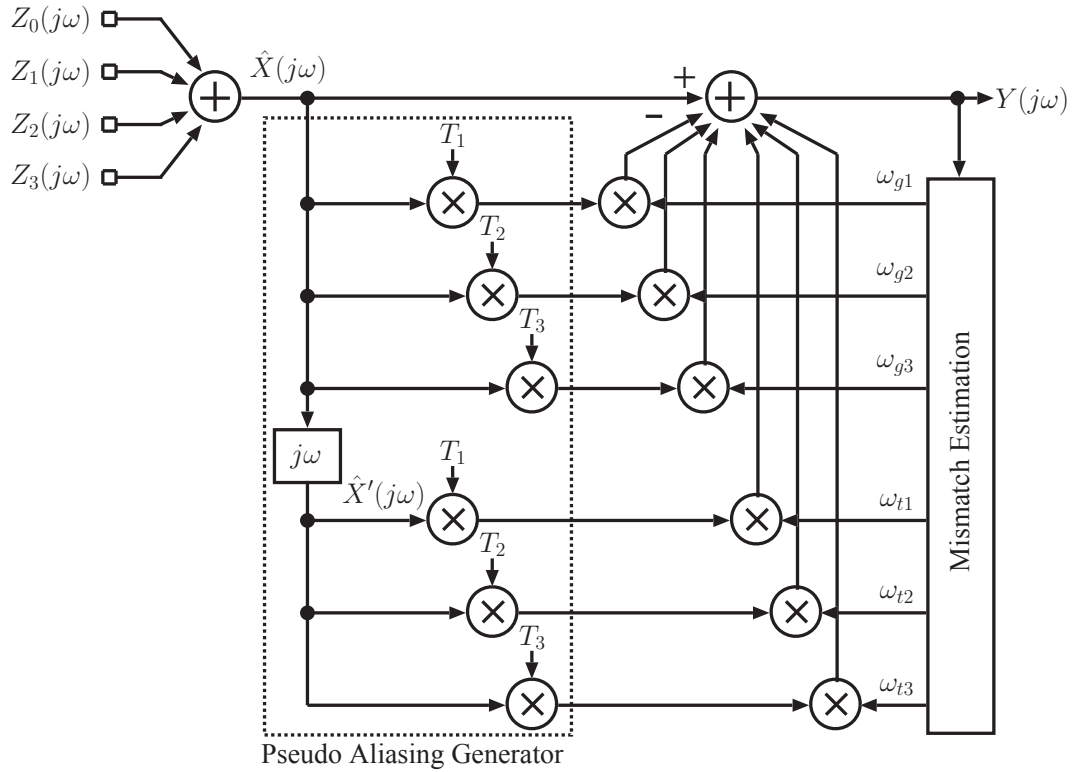


図 4.4: 4 タイムインターリーブ ADC 向け提案デジタル補正回路ブロック図

向け提案デジタル補正回路ブロック図を示す。図において、 T_1 、 T_2 および T_3 はそれぞれ、以下ようになる。

$$\begin{aligned}
 T_1 &= \begin{cases} 1, & (n = 4i) \\ -1, & (n = 4i + 1) \\ 1, & (n = 4i + 2) \\ -1, & (n = 4i + 3) \end{cases} \\
 T_2 &= \begin{cases} 1, & (n = 4i) \\ 1, & (n = 4i + 1) \\ -1, & (n = 4i + 2) \\ -1, & (n = 4i + 3) \end{cases} \\
 T_3 &= \begin{cases} 1, & (n = 4i) \\ -1, & (n = 4i + 1) \\ -1, & (n = 4i + 2) \\ 1, & (n = 4i + 3) \end{cases}
 \end{aligned} \tag{4.10}$$

4.2 疑似エイリアス信号を用いた小面積・高精度デジタル補正技術

ここで、 i は任意の整数である。 T_1 、 T_2 および T_3 はそれぞれ、 $T_0 = (1, 1, 1, 1)$ を除くアダマール変換行列の行ベクトルである。

次に、 M チャンネルに一般化したモデルについて考察する。簡単のため、量子化雑音は無視する。式 (2.18) に示したチャンネルの周波数特性は、以下のように書き換えられる。

$$H_k(j\omega) = (1 + \Delta_{gk})e^{j\omega(k+\Delta_{tk})}, \quad (4.11)$$

ここで、 $k = 0, \dots, M-1$ である。式 (2.19) に示したダウンサンプルされた信号の DFT は、以下のように書き換えられる。

$$V_k(jM\omega) = \frac{1}{M} \sum_{i=0}^{M-1} H_k(j(\omega - \frac{2\pi i}{M}))X(j(\omega - \frac{2\pi i}{M})). \quad (4.12)$$

同様に、式 (2.20) に示した補正信号の DFT は、以下のように書き換えられる。

$$\hat{X}(j\omega) = \sum_{k=0}^{M-1} Z_k(j\omega) = \sum_{k=0}^{M-1} e^{-jk\omega} V_k(jM\omega). \quad (4.13)$$

M チャンネルタイムインタリーブ ADC において、補正された信号と疑似エイリアス信号のスペクトラムは、以下ようになる。

$$\begin{bmatrix} \hat{X}(j\omega) \\ \hat{X}_{e1}(j\omega) \\ \vdots \\ \hat{X}_{e(M-1)}(j\omega) \end{bmatrix} = \mathbf{F} \begin{bmatrix} Z_0(j\omega) \\ Z_1(j\omega) \\ \vdots \\ Z_{M-1}(j\omega) \end{bmatrix}, \quad (4.14)$$

ここで、 \mathbf{F} は M 次のアダマール変換行列である。式 (4.14) の微分信号は以下となる。

$$\begin{bmatrix} \hat{X}'(j\omega) \\ \hat{X}'_{e1}(j\omega) \\ \vdots \\ \hat{X}'_{e(M-1)}(j\omega) \end{bmatrix} = \mathbf{F} \begin{bmatrix} Z'_0(j\omega) \\ Z'_1(j\omega) \\ \vdots \\ Z'_{M-1}(j\omega) \end{bmatrix}, \quad (4.15)$$

ここで、

$$Z'_k(j\omega) = \frac{1}{M} e^{-jk\omega} \sum_{i=0}^{M-1} e^{jk(\omega - \frac{2\pi i}{M})} j(\omega - \frac{2\pi i}{M}) \hat{X}(j(\omega - \frac{2\pi i}{M})). \quad (4.16)$$

補正された出力信号は、以下となる。

$$Y(j\omega) = \hat{X}(j\omega) - \sum_{i=1}^{M-1} w_{gi} \hat{X}_{ei}(j\omega) - \sum_{i=1}^{M-1} w_{ti} \hat{X}'_{ei}(j\omega). \quad (4.17)$$

Δ_{gk} と Δ_{tk} ($k = 0, \dots, M-1$) は 1 より十分小さいと仮定すると、残留エイリアス信号をキャンセルするための係数 w_{gi} と w_{ti} は以下のように計算できる。

$$\begin{bmatrix} w_{g0} \\ w_{g1} \\ \vdots \\ w_{g(M-1)} \end{bmatrix} \approx \frac{1}{M} \mathbf{F} \begin{bmatrix} \Delta_{g0} \\ \Delta_{g1} \\ \vdots \\ \Delta_{g(M-1)} \end{bmatrix}, \quad (4.18)$$

$$\begin{bmatrix} w_{t0} \\ w_{t1} \\ \vdots \\ w_{t(M-1)} \end{bmatrix} \approx \frac{1}{M} \mathbf{F} \begin{bmatrix} \Delta_{t0} \\ \Delta_{t1} \\ \vdots \\ \Delta_{t(M-1)} \end{bmatrix}, \quad (4.19)$$

ここで、各チャンネルの mismatches の合計ゼロであるため、 $w_{g0} = w_{t0} = 0$ である。例えば 4 タイムインタリーブ ADC の場合、各係数は以下のように計算される。

$$\begin{aligned} \omega_{g1} &= \frac{1}{4}(\Delta_{g0} - \Delta_{g1} + \Delta_{g2} - \Delta_{g3}), \\ \omega_{g2} &= \frac{1}{4}(\Delta_{g0} + \Delta_{g1} - \Delta_{g2} - \Delta_{g3}), \\ \omega_{g3} &= \frac{1}{4}(\Delta_{g0} - \Delta_{g1} - \Delta_{g2} + \Delta_{g3}), \\ \omega_{t1} &= \frac{1}{4}(\Delta_{t0} - \Delta_{t1} + \Delta_{t2} - \Delta_{t3}), \\ \omega_{t2} &= \frac{1}{4}(\Delta_{t0} + \Delta_{t1} - \Delta_{t2} - \Delta_{t3}), \\ \omega_{t3} &= \frac{1}{4}(\Delta_{t0} - \Delta_{t1} - \Delta_{t2} + \Delta_{t3}). \end{aligned} \quad (4.20)$$

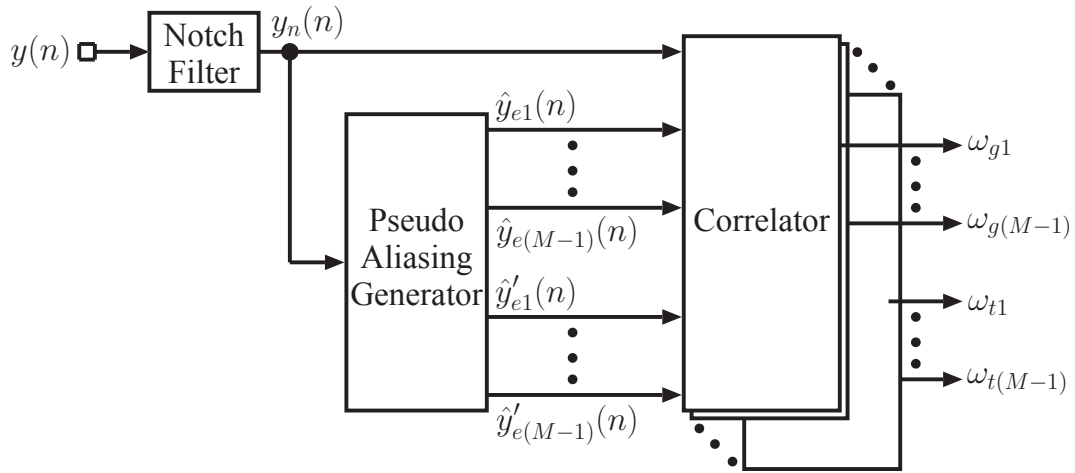


図 4.5: M チャンネルタイムインタリーブ ADC における誤差推定部

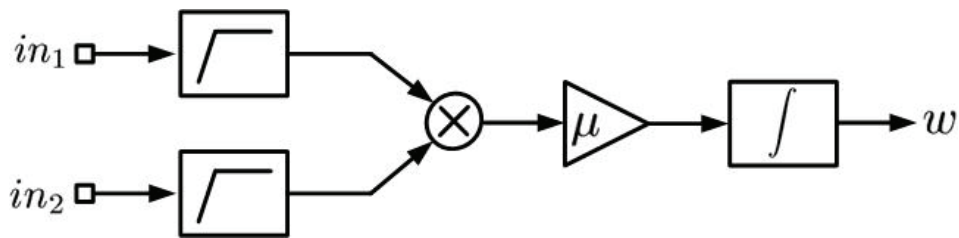


図 4.6: 相関器

4.2.5 誤差推定部

ADC 間の mismatches は、補正回出力 $y(n)$ と、 $y(n)$ から生成した疑似エイリアス信号 $\hat{y}_e(n)$ の相関を算出することで推定する。アダマール変換の出力結果は直交すべきであるため、相関結果はゼロとなるはずである。しかしながら ADC 間に mismatches がある場合、完全に直交せず、mismatches 量に比例した相関量が発生する。これをフィードバックによって、相関がゼロとなるように制御する。

図 4.5 に、提案する誤差推定部のブロック図を示す。誤差推定部は、疑似エイリアス信号生成部と、相関器とノッチフィルタを備える。誤差推定部は、従来文献 [25] と同等の制約を持つ。即ちノッチフィルタは、 $k\pi/M$ における推定誤差を防ぐために必要とされる。なお、 $k = 1, \dots, M-1$ である。疑似エイリアス信号生成回路は、疑似エイリアス信号 $y_{ek}(n)$ と $y'_{ek}(n)$ を生成する。 $y'_{ek}(n)$ は、 $y_{ek}(n)$ を微分した信号である。

図 4.6 は、相関器の回路ブロック図を示す。相関器は、ノッチフィルタ出力 $y_n(n)$ と疑似エイリアス信号 $y_{ek}(n)$ および $y'_{ek}(n)$ との間の相関値を計算する。入力信号の DC 値は相関値に誤差を重畳するため、DC オフセットキャンセラによって相関算出前に予め除去しておく必要がある。補正出力信号にエイリアス信号が残留しているあいだ、相関値がゼロとなるように負帰還が働いて、残留エイリアスを除去する。

式 (4.18) および (4.19) の係数は、適応相関アルゴリズムによって適応的に更新される。

$$w_{gk}(n+1) = w_{gk}(n) + \mu_{gk}(y_n(n)\hat{y}_{ek}(n)), \quad (4.21)$$

$$w_{tk}(n+1) = w_{tk}(n) + \mu_{tk}(y_n(n)\hat{y}'_{ek}(n)), \quad (4.22)$$

ここで、 $k = 1, \dots, M-1$ である。また μ_g と μ_t はそれぞれ、 w_g と w_t のステップサイズである。

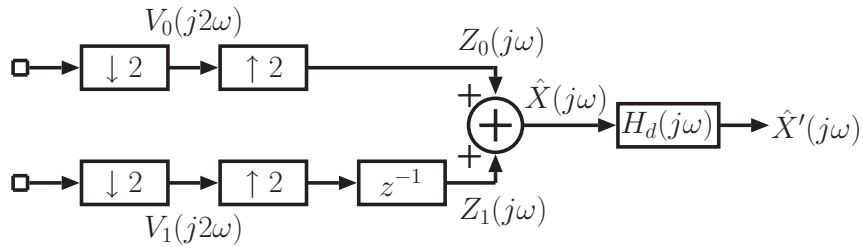
4.2.6 ポリフェーズ化

ADC のサンプル周期 T_s が論理合成ツールの動作保証周期より短い場合、補正回路を論理合成ツールで自動合成するためには、サンプル周期 T_s の M チャンネル倍の周期で動作する各サブ ADC の直後に実装する必要がある。これは、補正回路のポリフェーズ化によって実現される。図 4.7 に、2TI-ADC 向け微分フィルタ $H_d(j\omega)$ のポリフェーズ化手法を示す。図 4.7 (a)-(c) の出力信号 $\hat{X}'(j\omega)$ は、いずれも同等の結果となる。フィルタの伝達特性を $H_d(j\omega) = \sum_{n=-\infty}^{\infty} h_d(n)e^{-j\omega n}$ とすると、以下のように表現できる。

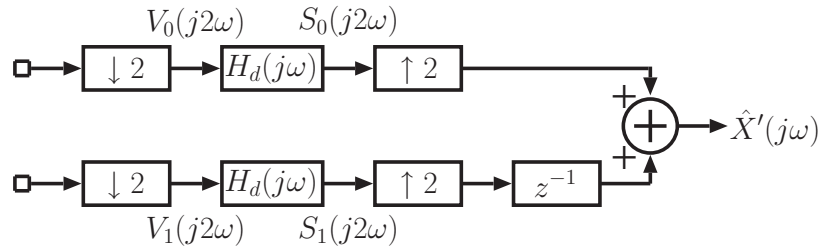
$$\begin{aligned} H_d(j\omega) &= E_0(j2\omega) + e^{-j\omega} E_1(j2\omega), \\ E_0(j2\omega) &= \sum_{n=-\infty}^{\infty} h_d(2n)e^{-j2\omega n}, \\ E_1(j2\omega) &= \sum_{n=-\infty}^{\infty} h_d(2n+1)e^{-j2\omega n}. \end{aligned} \quad (4.23)$$

各サブ ADC 出力において、関数 $e^{-j\omega}$ は、クロスカップル構成によって実現される。

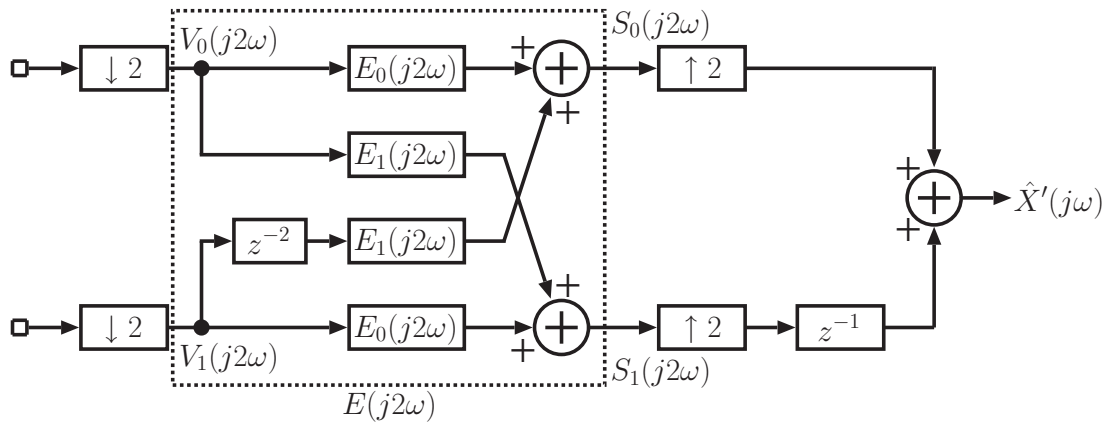
$$\begin{aligned} e^{-j\omega} V_0(j2\omega) &= \mathcal{F}[v_0(2n-1)] = \mathcal{F}[x(2n-1)] \\ &= \mathcal{F}[v_1(2n-2)] = e^{-j2\omega} V_1(j2\omega), \end{aligned} \quad (4.24)$$



(a) 一般的な手法



(b) 分割手法



(c) クロスカップル手法

図 4.7: 2チャンネルタイムインタリーブ ADC 向け微分フィルタ $H_d(j\omega)$ のポリフェーズ化

4.2 疑似エイリアス信号を用いた小面積・高精度デジタル補正技術

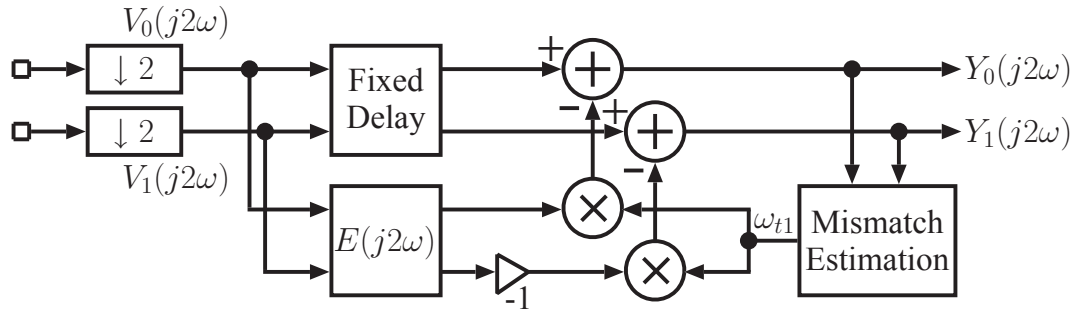


図 4.8: 2 チャンネルタイムインタリーブ ADC 向けサンプル時間誤差補正回路のポリフェーズ構成

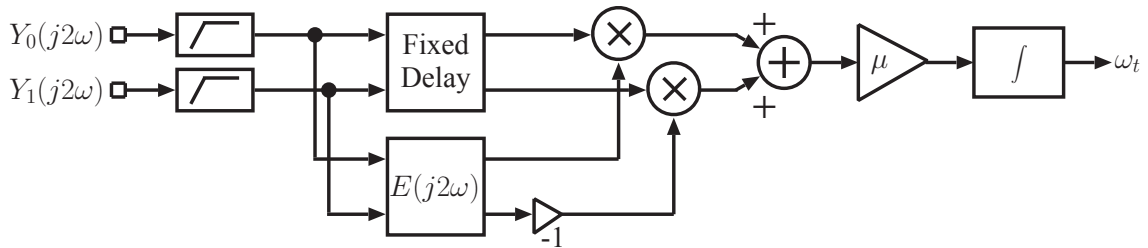


図 4.9: 2 チャンネルタイムインタリーブ ADC 向けサンプル時間誤差推定回路のポリフェーズ構成

$$\begin{aligned}
 e^{-j\omega} V_1(j2\omega) &= \mathcal{F}[v_1(2n-1)] = \mathcal{F}[x(2n)] \\
 &= \mathcal{F}[v_0(2n)] = V_0(j2\omega),
 \end{aligned}
 \tag{4.25}$$

ここで、

$$\begin{aligned}
 v_0(2n) &= x(2n), \\
 v_1(2n) &= x(2n+1),
 \end{aligned}
 \tag{4.26}$$

かつ、簡単のため、利得ミスマッチとサンプル時間ミスマッチはゼロと仮定する。図 4.7(b) および (c) のフィルタ出力信号 $S_k(j\omega)$ ($k = 0, 1$) は、以下のように計算される。

$$\begin{aligned}
 S_0(j2\omega) &= V_0(j2\omega)H_d(j\omega) \\
 &= V_0(j2\omega)\{E_0(j2\omega) + e^{-j\omega}E_1(j2\omega)\}
 \end{aligned}$$

4.3 シミュレーション

$$= V_0(j2\omega)E_0(j2\omega) + e^{-j2\omega}V_1(j2\omega)E_1(j2\omega), \quad (4.27)$$

$$\begin{aligned} S_1(j2\omega) &= V_1(j2\omega)H_d(j\omega) \\ &= V_1(j2\omega)E_0(j2\omega) + V_0(j2\omega)E_1(j2\omega). \end{aligned} \quad (4.28)$$

図 4.8 に、2TI-ADC におけるサンプリングタイミングのミスマッチ補正回路のポリフェーズ構成のブロック図を示す。ここで、 $E(j2\omega)$ は図 4.7 と同じである。図 4.9 には、2TI-ADC におけるサンプリングタイミングのミスマッチ推定部のポリフェーズ構成を示す。ポリフェーズ化は、アダマール変換を拡張することで任意のチャンネル数を実現できる。

4.3 シミュレーション

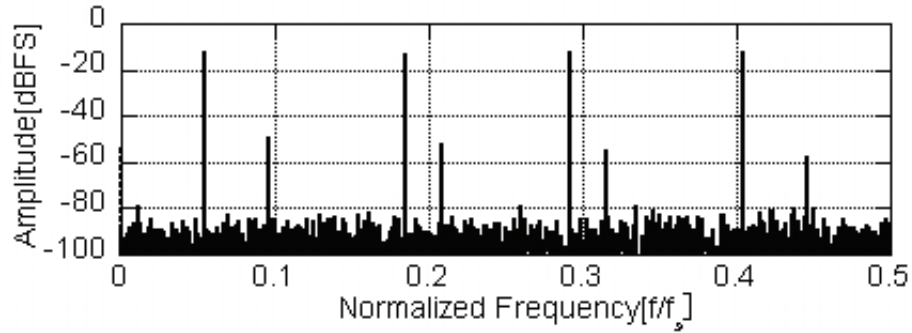
提案手法の効果を C 言語シミュレーションで確認する。ADC の分解能は 10 ビットとし、微分器として 31 タップの FIR フィルタを使用する。有限のタップ数で実現することによる打ち切りの影響を軽減するため、ハニング窓によりタップ係数の補正を行っている。

図 4.10 は、2TI-ADC において、入力信号周波数 $\omega_1 = 0.05f_s, \omega_2 = 0.18f_s, \omega_3 = 0.29f_s, \omega_4 = 0.405f_s$ を入力したときの出力スペクトラムを示す。ここで、利得誤差とサンプリングタイミング誤差 $\Delta_{g0}, \Delta_{g1}, \Delta_{t0}$ および Δ_{t1} はそれぞれ、0、-0.008、0、0.01 であり、ステップサイズは $\mu_g = \mu_t = 2^{-12}$ である。図 4.10(a)、(b) はそれぞれ、補正なし、補正ありの結果を示しており、補正ありではエイリアス信号が抑圧されていることが分かる。図 4.11 は、 w_g および w_t の収束応答を示す。図より、 w_g および w_t はそれぞれ、0.004 および -0.005 に収束する様子が分かる。これは、式 4.6 に示したとおりである。

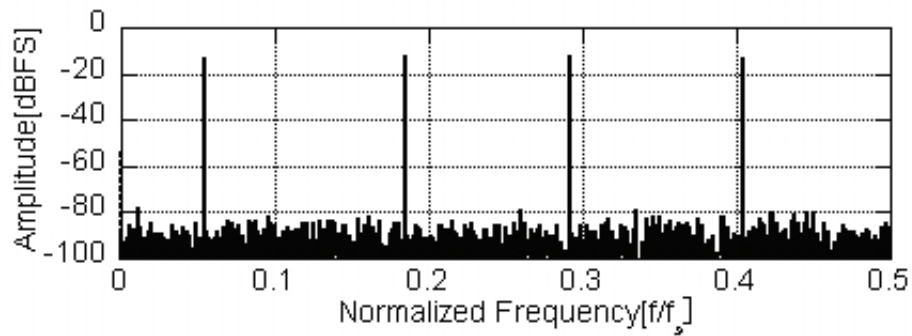
図 4.12 に、8TI-ADC の出力スペクトラムを示す。利得およびサンプリングタイミングミスマッチの補正回路は、ポリフェーズ構成で実装している。利得誤差 Δ_{gk} およびサンプリングタイミング誤差 Δ_{tk} ($k = 0, \dots, 7$) はそれぞれ、0, 0.01, 0.03, -0.01, 0.02, 0, -0.02, 0.04 および、0, 0.01, 0.02, 0, 0.03, 0.02, 0, 0.01 である。図 (a) は補正なし、(b) は補正ありの出力波形であり、補正によってエイリアス信号がキャンセルされている様子が分かる。図 4.13 (a) と (b) にそれぞれ、 w_{gk} および w_{tk} ($k = 1, \dots, 7$) の収束応答を示す。8TI-ADC における補正係数の収束時間は、2TI-ADC の補正係数の収束時間とほぼ同等程度である。

次に、2TI-ADC におけるサンプルタイミングのミスマッチを補正する FIR フィルタについて、従来と提案手法のハードウェア量を比較する。2 チャンネルにおいて、従来および提案手法ともに 1 つの FIR フィルタを使用する。比較方法は、 $\Delta_t = 0.01$ に

4.3 シミュレーション



(a) 補正なしの出力スペクトラム



(b) 補正ありの出力スペクトラム

図 4.10: 2TI-ADC の出力スペクトラム

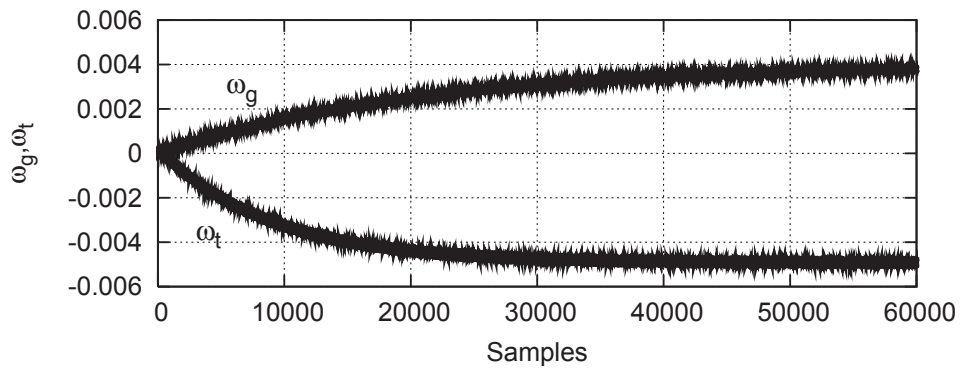
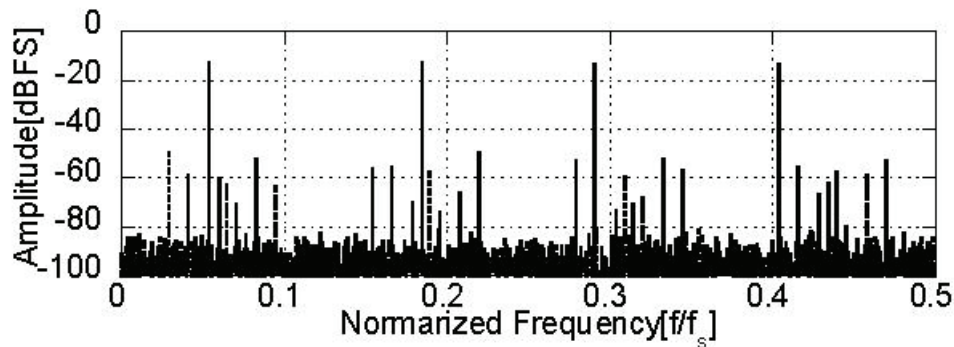
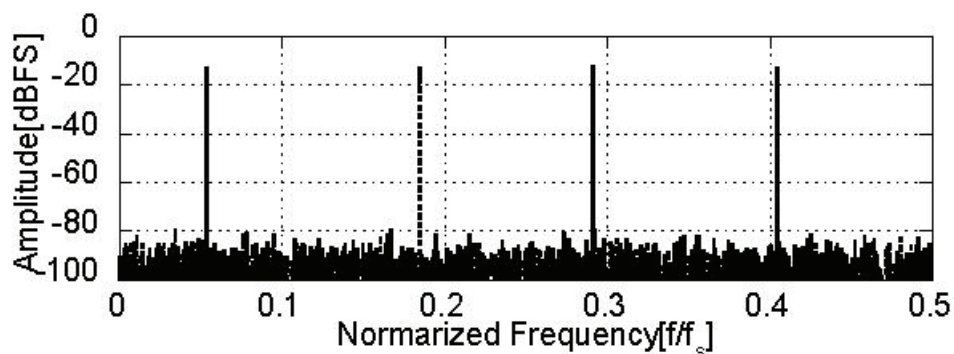


図 4.11: 2TI-ADC における w_g および w_t の収束応答



(a) 補正なしの出力スペクトラム



(b) 補正ありの出力スペクトラム

図 4.12: 8TI-ADC の出力スペクトラム

において SNDR が 0.5dB 劣化する FIR フィルタのハードウェア量を比較する。入力信号は単一正弦波 $\omega = 0.45f_s$ とし、各 ADC の分解能は 10 ビットである。図 4.14 に、SNDR とフィルタタップ数、係数語長および信号語長の関係を示す。表 4.1 は、従来および提案手法の FIR フィルタのハードウェア量を比較した結果を示す。タップ数および係数語長はほぼ等しく、信号語長は 10 ビットから 5 ビットに 50% 削減できることが分かる。また、従来に比べて 1 つの加算器および乗算器が増える一方、大規模な LUT が不要となる。

次に、表 4.1 に示した従来および提案手法の FIR フィルタの実際の回路規模を見積もる。表 4.2 に、従来および提案手法に必要な回路ブロック数 (DFF、Adder および Multiplier) と、それを実現するために必要なゲート数を示す。ゲート数は、2 入力 NAND 素子を 1 ゲートとし、DFF は 6 ゲート、加算器は 9.5 ゲート、乗算器は 11 ゲートとして計算した。例えば 65nm プロセスを想定した場合、1 ゲートの占有面積を $1.5\mu m^2$ として計算すると、従来手法および提案手法の FIR フィルタ占有面積は

4.3 シミュレーション

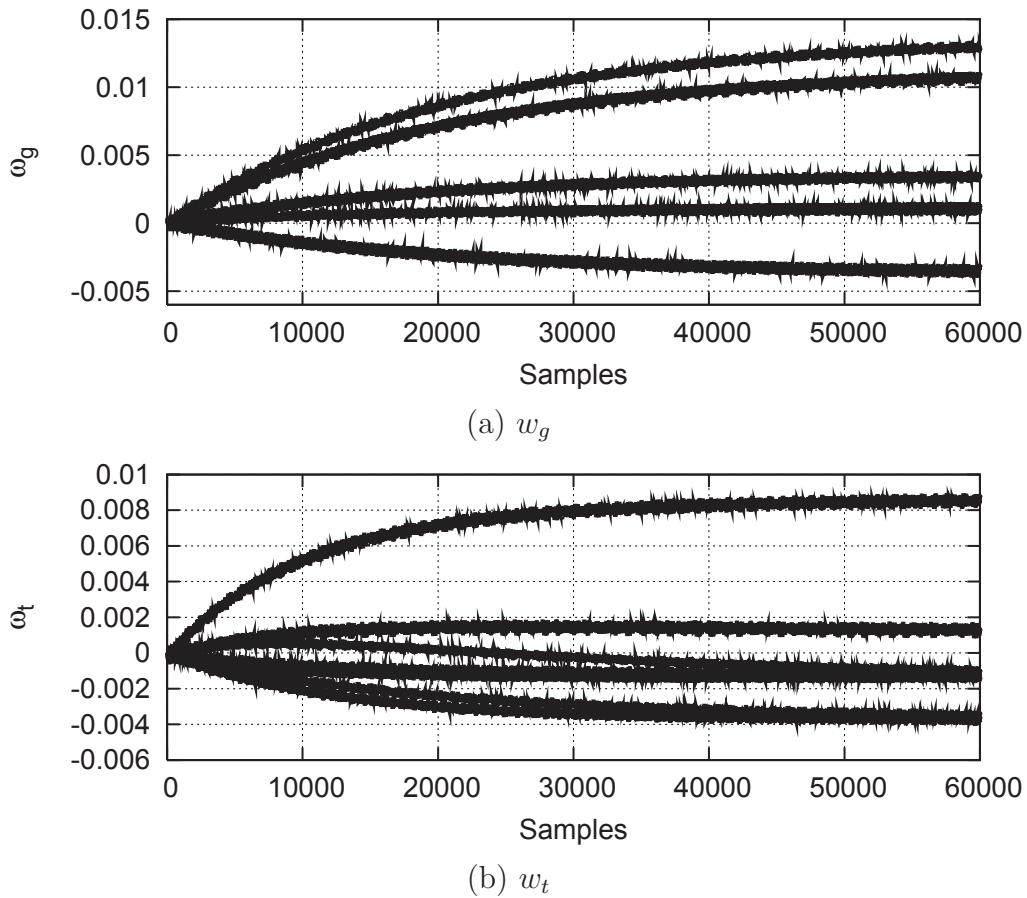
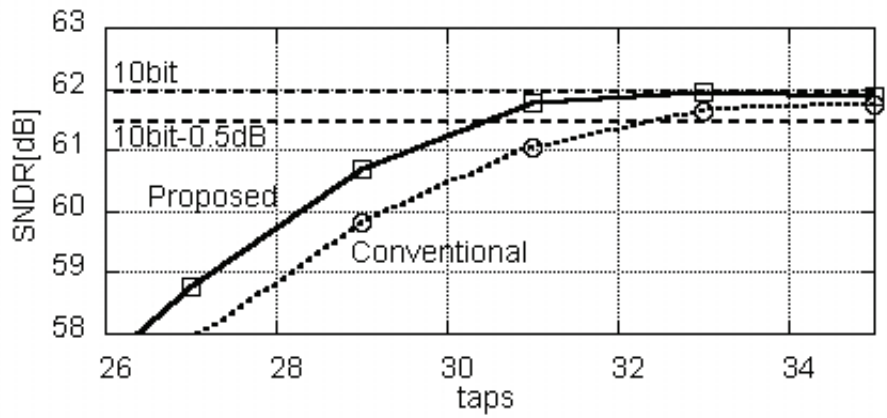


図 4.13: 8TI-ADC における w_g および w_t の収束応答

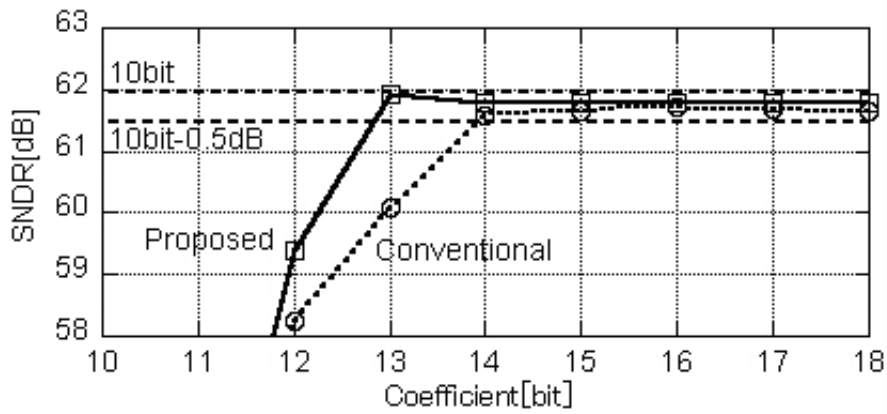
それぞれ、 0.047mm^2 と 0.02mm^2 となる。4 タイムインタリーブの場合、従来手法は 3 個の FIR フィルタが必要となるため、 $0.047 \times 3 = 1.4\text{mm}^2$ となる。一方提案手法はただ 1 つで良いため、占有面積は変わらず 0.02mm^2 となる。表 4.3 に、65nm プロセスを想定した面積見積もりの比較結果を示す。4 タイムインタリーブの場合、FIR フィルタの面積削減量は、従来手法と比べて約 85 % となる。従来手法では、ADC 本体と比べて補正回路の占める面積の割合が大きくなってしまいが、提案手法ではインタリーブ数が増えるほど補正回路の占める割合が減少し、本体 ADC と比べて十分に小さい占有面積で実装できることが分かる。

実際の回路実装では、製造コスト削減の観点から、補正回路の実装面積は制約されることが想定される。65nm プロセスで試作された IEEE 802.11a/b 向け ADC [7] の占有面積は、 0.06mm^2 であり、ADC の誤差補正回路は、ADC 本体の面積より小

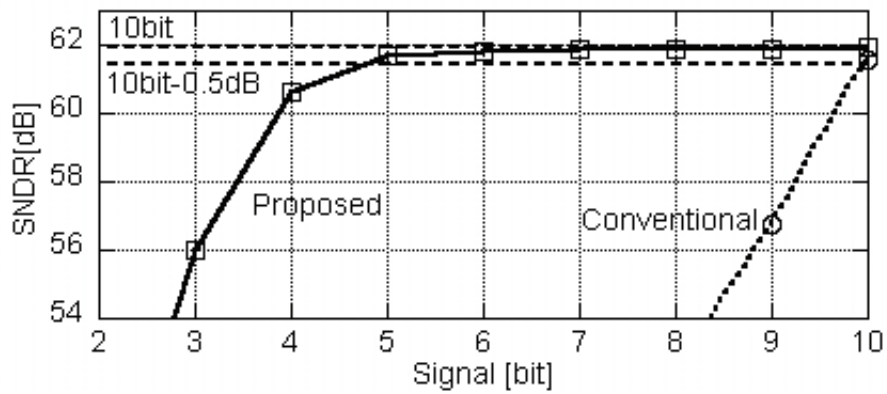
4.3 シミュレーション



(a) SNDR とタップ数の関係



(b) SNDR と係数語長の関係



(c) SNDR と信号語長の関係

図 4.14: フィルタの規模と SNDR の関係

4.3 シミュレーション

表 4.1 補正フィルタのタップ数、係数語長および信号語長の比較

	ADC	Filter			Additional blocks		
	Bits	Taps	Coefficients Bits	Signal Bits	LUT	adder	multiplier
Conventional	10	33	14	10	14b×33×4	nothing	nothing
this work	10	31	13	5	nothing	10b+12b	10b×6b

表 4.2 表 4.1 に示した補正フィルタを実現するために必要な論理素子数の比較

	Num.		gates	
	Conv.	Prop.	Conv.	Prop.
DFF	16	15	960	900
Adder	32	30	304	285
Multiplier	17	16	26180	11440

表 4.3 補正フィルタの面積見積もり

Num. of ADC	Conv.[mm ²]	Prop.[mm ²]
2	0.047	0.02
4	0.14	
8	0.33	

表 4.4 4TI-ADC における実効分解能 (ENOB) の比較

	Conv.	Prop.
FIR Coefficients [bit]	5	13
ENOB [bit]	6.4	10

小さいことが要求され、小さいほど製造コストが削減できる。そこで、従来および提案技術を同一面積で実装した場合に、達成できる実効分解能を比較する。表 4.4 に、従来および提案技術のいて、4TI-ADC 向け補正フィルタの回路規模を 0.02mm^2 とした場合の、フィルタの係数語長と実効分解能 (Effective Number Of Bits :ENOB) を比較した表を示す。従来技術では、フィルタの係数語長が小さく、ENOB が 6.4 ビットである。一方提案技術は、小面積でも高い ENOB 10 ビットを達成でき、従来技術と比べて 3.6 ビットの分解能向上が可能である。

4.4 まとめ

本章では、タイムインタリーブ型 ADC 向け小面積・高分解能デジタル補正技術を提案した。タイムインタリーブ方式は、複数の ADC を複数並列に動作させることによって、ADC の動作速度を等価的に向上する技術として近年広く利用されてきているが、複数の ADC のあいだにサンプリングタイミングや利得のミスマッチがあると、実効分解能が劣化してしまう。従来では、個々の ADC 縦続に接続した適応フィルタを用いてサンプリングタイミングのミスマッチを補正する手法が多く提案されているが、フィルタ係数を算出するための大規模な LUT が必要であり、かつ ADC のダイナミックレンジと同等のフィルタ信号語長が必要であって大規模な面積を占有してしまう課題があった。そこで、アダマール変換行列と微分フィルタ利用することで、ミスマッチによって発生するエイリアスを疑似的に模擬して、これを本信号から減算することによって、エイリアスをキャンセルする手法を提案した。エイリアス信号は、所望信号と比べてダイナミックレンジが小さいため、これを生成する疑似エイリアス信号生成回路のダイナミックレンジを縮小でき、小面積に実装できる。さらに、従来手法は、M タイムインタリーブ時において必要な補正 FIR フィルタの数は M-1 個であるのに対し、提案手法ではインタリーブ数によらずただ 1 つだけ備えればよく、インタリーブ数が多いほど面積削減効果が大きい。10 ビット、2TI-ADC におけるサンプリングタイミングのミスマッチを補正する FIR フィルタについて、従来と提案手法のハードウェア量を比較したところ、フィルタ係数を保持するための大規模な LUT を不要としつつ、信号語長を 50 % 削減できることをシミュレーションで確認した。4TI-ADC において、65nmCMOS プロセスを想定して FIR フィルタの面積を見積もると、従来および提案手法はそれぞれ $1.4mm^2$ と、 $0.02mm^2$ となり、85 % 程度の面積削減量となる。4TI-ADC において、従来技術および提案技術もとに同一の面積 $0.02mm^2$ で実装した場合、従来技術と比べて実効分解能が 3.6 ビット向上する結果を得た。

以上より、ADC の高速化手法であるタイムインタリーブ手法のデジタル補正技術において、提案した疑似エイリアス信号を用いた補正技術は、従来の適応フィルタ技術と比べて十分小さい占有面積で実装でき、今後のさらなる高速かつ高分解能 ADC を実現するうえで非常に有益な技術であることを示した。

第5章 結論

半導体技術ロードマップによると、今後も半導体プロセス製造技術は進展し続け、プロセスの微細化が続くと考えられている。その恩恵によってデジタル論理回路やメモリのさらなる高集積化、高速化かつ低消費電力化が進む一方、アナログ回路は、電源電圧の低下やMOSFETの固有利得低下によって、従来の回路技術では十分な性能の実現が困難となってきている。本論文では、高速無線通信用LSIに用いる高速ADCをモチーフとして、微細プロセスを用いた場合の課題を明確化し、ADCに用いられるOPAMPおよびADCそのものを並列化することによって、高速ADCの高分解能化を実現可能な回路設計技術の確立を目的とした。

第1章では、ADCの役割と重要性について述べ、近年の著名な国際学会で発表されたADCの動向について調査し、様々なADCアーキテクチャについて概説した。本論文のモチーフである高速無線通信用LSIに好適なアーキテクチャは、フラッシュ型ADCやパイプライン型ADCであることを述べた。また、ADCを並列動作させて高速化を図るタイムインタリーブ手法に関する研究が増えていることについて述べた。半導体製造プロセスの進展に伴い、上述した高速ADCの高分解能化が困難であることを示し、本論文の研究の目的を明確化した。

第2章では、高速ADCアーキテクチャおよび動作原理について解説した。上述のとおり、高速ADCは大きく、フラッシュ型ADCと、パイプライン型ADCに大別される。また、任意のADCを複数並列動作させて高速化を図るタイムインタリーブ手法がある。原理解説の次に、高速ADCを構成する要素回路の非理想要因がA/D変換性能に及ぼす影響を解析した。2つ目に、タイムインタリーブ手法における誤差要因について解説した。タイムインタリーブ手法は、同一のADCを複数並列動作させることで動作速度を向上する手法であるが、各ADC間に特性のミスマッチがあると、エイリアス信号が発生して実効分解能が劣化してしまう。特性ばらつきの主要因は、A/D変換利得と、サンプルタイミングのミスマッチであり、このミスマッチ量の影響を数学的に導出した。また、微細半導体プロセスでは、製造時の各素子の特性ばらつきが大きく、高分解能化の妨げになっていることを示した。上述したプロセス微細化に伴う課題を解決し得る回路技術を確立することが、本論文の目的であることを明確化した。

第3章では、微細プロセスによる利得低下を解決可能な並列型 OPAMP 利得向上手法を提案した。高速 ADC の1つであるパイプライン型 ADC は、OPAMP によってパイプライン処理を実現し、OPAMP の利得が高いほど高分解能、信号帯域が高いほど高いサンプリング周波数を実現できる。しかしながら第2章で示したとおり、今後のさらなる半導体プロセス微細化によって電源電圧の低下や MOSFET の固有利得が低下し、従来の OPAMP 構成では高い直流利得や広い出力信号振幅範囲などの十分な性能の維持が困難となってきている。この課題を解決する従来手法として、主となる OPAMP によって構成された負帰還増幅回路と並列に副 OPAMP によって構成された別の負帰還増幅回路を備え、主増幅回路の増幅動作を補助することによって、等価的に利得を向上する手法が提案されているが、主となる OPAMP と並列に備えた副 OPAMP とのあいだに利得ミスマッチがあると、利得向上量が劣化する課題があった。そこで、主増幅回路の有限利得によって発生する誤差電圧を、副増幅回路によって検出して増幅し、主増幅回路から誤差電圧を減じることで、主および副演算増幅器の利得ミスマッチ依存性を低減しつつ、等価的に利得を向上する手法を考案し、その有効性を実証した。65nm プロセスを用いて OPAMP の設計、回路シミュレーションを行った。テレスコピックカスコード OPAMP によって構成された負帰還増幅回路と並列に、基本ソース接地増幅回路によって構成された負帰還回路を備えることで、直流利得を 15.5dB 向上でき、かつ出力信号振幅範囲を 2.6 倍に拡大できることを確認した。ADC に適用した場合、分解能 10 ビット程度を実現できる。並列化によるセトリング時間の増加は、わずか 20~30 % 程度であり、本設計では 80MHz 程度のサンプリング周波数を実現できる見込みを得た。また、主および副 OPAMP の直流利得を 40dB と仮定し、従来の並列化技術とばらつき感度を比較すると、 3σ のバラツキを想定した場合、従来および提案技術による等価的な利得向上量はそれぞれ 11dB と 26dB となり、従来と比べて 13dB 向上できることを確認した。ADC 分解能に換算すると、従来および提案手法はそれぞれ 8.5 ビットと 11 ビット程度となり、提案手法によって 2 ビット以上の改善効果が得られる見込みを得た。提案した OPAMP 並列化技術は、半導体プロセス技術の微細化による電源電圧の低下やトランジスタの固有利得低下の課題を克服し、高速 ADC であるパイプライン型 ADC の高分解能化を実現可能な技術であることを実証した。

第4章では、タイムインタリーブ型 ADC 向け小面積・高分解能デジタル補正技術を提案した。タイムインタリーブ方式は、複数の ADC 間にサンプルタイミングや利得のミスマッチがあると、実効分解能が劣化してしまう。従来では、個々の ADC 縦続に接続した適応フィルタを用いて補正する手法が多く提案されているが、フィルタ係数を算出するための大規模な LUT が必要であり、かつ ADC のダイナミックレンジと同等のフィルタ信号語長が必要であって大規模な面積を占有してしまう課題があった。従来では、個々の ADC 縦続に接続した適応フィルタを用いてサンプル

タイミングのミスマッチを補正する手法が多く提案されているが、フィルタ係数を算出するための大規模な LUT が必要であり、かつ ADC のダイナミックレンジと同等のフィルタ信号語長が必要であって大規模な面積を占有してしまう課題があった。そこで、アダマール変換行列と微分フィルタ利用することで、ミスマッチによって発生するエイリアスを疑似的に模擬して、これを本信号から減算することによって、エイリアスをキャンセルする小面積・高分解能デジタル補正技術を提案した。10 ビット、2TI-ADC におけるサンプル時間誤差を補正する FIR フィルタについてハードウェア量を比較し、LUT が不要で、かつ信号語長を 50 % 削減できることをシミュレーションで確認した。さらに、従来手法は、M タイムインタリーブ時において必要な補正 FIR フィルタの数は M-1 個であるのに対し、提案手法ではインタリーブ数によらずただ 1 つだけ備えればよく、インタリーブ数が多いほど従来からの面積削減量が増大する特徴を持つ。4 タイムインタリーブにおいて、65nm CMOS プロセスを想定して FIR フィルタの面積を見積もると、従来および提案手法はそれぞれ 1.4mm^2 と、 0.02mm^2 となり、85 % 程度の面積削減量となる見込みを得た。4TI-ADC において、従来技術および提案技術ともに同一の占有面積 0.02mm^2 で実装した場合、提案技術は、従来技術と比べて実効分解能が 3.6 ビット向上し、分解能 10 ビットを実現できる結果を得た。以上より、提案した疑似エイリアス信号を用いたデジタル補正技術は、従来技術と比べて十分小さい占有面積で実装でき、ADC の高速化手法であるタイムインタリーブ手法の高分解能化を実現できる有益な技術であることを実証した。

上述のとおり、第 3 章で提案したパイプライン型 ADC 向け OPAMP 並列化技術と、第 4 章で提案したタイムインタリーブ型 ADC 向けデジタル補正技術を組み合わせることによって、65nm プロセスにおいて、4 タイムインタリーブ ADC の場合、ADC の分解能を従来技術と比べて 3 ビット以上向上し、分解能 10 ビット、サンプリング周波数 320MHz 程度の高速かつ高分解能 ADC を実現できる見込みを得た。これにより、高速無線 LAN 規格 IEEE802.11ac のみならず、今後さらなる無線通信規格の高速化に対して、高速かつ高分解能な ADC を提供できる。以上、本論文で確立した並列化技術は、今後のさらなる半導体製造プロセスの微細化に伴う課題を解決し、高速 ADC の高分解能化に貢献できることを示した。

参考文献

- [1] <http://web.stanford.edu/~murmman/adcsurvey.html>
- [2] Masaya Miyahara, Ibuki Mano, Masaaki Nakayama, Kenichi Okada, and Akira Matsuzawa, "A 2.2GS/s 7b 27.4mW Time-based Folding Flash ADC with Resistive Averaged Voltage-to-Time Amplifiers," IEEE International Solid-State Circuits Conference, Feb. 2014.
- [3] Junya Matsuno, Daisuke Kurose, Tomohiko Sugimoto, Hiroto Ishii, Masanori Furuta and Tetsuro Itakura, "A Power-Scalable Zero-Crossing Based Amplifier Using Inverter-based Zero-Crossing Detector with CMFB," IEEE International Symposium on Circuits and Systems, 2016
- [4] R. H. Dennard, F. H. Gaensslen, V. L. Rideout, E. Bassous, A. R. LeBanc, "Design of ion-implanted MOSFET's with very small physical dimensions," IEEE J. Solid-State Circuits, vol.9, no.5, pp.256-268, 1974.
- [5] Gordon E. Moore, "Cramming more components onto integrated circuits," Electronics, vol.38, no.8, pp114-117, 1965
- [6] <http://www.itrs2.net/>
- [7] 古田雅則、他、「小面積・低消費電力・高速 A/D 変換器」、東芝レビュー、2011 年
- [8] Shoji Kawahito, Kazutaka Honda, Masanori Furuta, Nobuhiro Kawai and Daisuke Miyazaki, "Low-Power Design of High-Speed A/D Converter," IEICE Trans. Electron., vol. E88-C, no. 4, pp. 468-478, Apr. 2005
- [9] 岡田健一 (2003)、「集積回路における性能ばらつき解析に関する研究」、博士論文、京都大学
- [10] N. Kurosawa, H. Kobayashi, L. Maruyama, H. Sugawara, and K. Kobayashi, "Explicit analysis of channel mismatch effects in time-interleaved ADC systems," IEEE Trans. Circuits Syst. I, vol. 48, no. 3, Mar. 2001

-
- [11] s. H. Lewis, H. S. Fetterman, J. G. F. Gross, R. Ramachandran, and T. R. Viswanathan, "A 10-b 20-Msample/s Analog-to-Digital Converter," *IEEE J. of Solid-State Circuits*, pp. 351-358, Mar. 1992.
- [12] Behzad Razavi 著、「アナログ CMOS 集積回路の設計」、丸善株式会社
- [13] W.C. Black, Jr. and D.A. Hodges, "Time interleaved converter arrays," *IEEE J. Solid-State Circuits*, vol. SC-15, pp. 1022-1029, Dec. 1980.
- [14] Ippei Akita, Masanori Furuta, Junya Matsuno, and Tetsuro Itakura, "A 7-bit 1.5-GS/s time-interleaved SAR ADC with dynamic track-and-hold amplifier," *IEEE Asian Solid State Circuits Conference*, Nov. 2011
- [15] K. Nagaraj, "Switched-capacitor circuits with reduced sensitivity to amplifier gain," *IEEE Trans. Circuits Syst.*, vol. CAS-34, pp.571-574, May 1987.
- [16] B. Robert Gregoire, et.al., "An Over-60dB True Rail-to-Rail Performance Using Correlated Level Shifting and an Opamp With Only 30dB Loop Gain," *IEEE J. Solid-State Circuits*, vol.43, no. 12, Dec. 2008 "
- [17] Paul C. Yu, et.al., "A High-Swing 2-V CMOS Operational Amplifier with Replica-Amp Gain Enhancement," *IEEE J. Solid-State Circuits*, vol. 28, no. 12, Dec. 1993
- [18] Hariprasath, et.al., "Parallel Gain Enhancement Technique for Switched-Capacitor Circuits," in *Proc. CICC*, Sep. 2013
- [19] Hariprasath, et.al., "A 48 fJ/CS, 74 dB SNDR, 87 dB SFDR, 85 dB THD, 30 MS/s Pipelined ADC Using Hybrid Dynamic Amplifier," in *Proc. VLSI Circuits Symp.*, Jun. 2014
- [20] Junya Matsuno, Masanori Furuta, Tetsuro Itakura, Tatsuji Matsuura, Akira Hyogo, "A Replica-Amp Gain Enhancement Technique for an Operational Amplifier with Low Mismatch Sensitivity and High Voltage Swing," *IEICE Vol. E99-A*, No. 2, pp.547-554, 2016
- [21] Yuichi Miyahara, et.al., "A 14b 60 MS/s Pipelined ADC Adaptively Cancelling Opamp Gain and Nonlinearity," *IEEE J. Solid-State Circuits*, vol. 49, no. 2, Feb. 2014

-
- [22] Afshin Haftbaradaran, and Kenneth W. Martin, "A Background Sample-Time Error Calibration Technique Using Random Data for Wide-Band High-Resolution Time-Interleaved ADCs," *IEEE Trans. Circuits Syst. II*, vol. 55, no. 3, Mar. 2008
- [23] Chung-Yi Wang, and Jieh-Tsorng Wu, "A Multiphase Timing-Skew Calibration Technique Using Zero-Crossing Detection," *IEEE Trans. Circuits Syst. I*, vol. 56, no. 6, Jun. 2009
- [24] Chun-Cheng Huang, Chung-Yi Wang, and Jieh-Tsorng Wu, "A CMOS 6-Bit 16-GS/s Time-Interleaved ADC Using Digital Background Calibration Techniques," *IEEE J. Solid-State Circuits*, vol. 46, no. 4, Apr. 2011
- [25] Shafiq M. Jamal, Daihong Fu, Mahendra P. Singh, Paul J. Hurst, and Stephen H. Lewis, "Calibration of Sample-Time Error in a Two-Channel Time-Interleaved Analog-to-Digital Converter," *IEEE Trans. Circuits Syst. I*, vol. 51, no. 1, Jan. 2004
- [26] Steven Huang and Bernard C. Levy, "Blind Calibration of Timing Offsets for Four-Channel Time-Interleaved ADCs," *IEEE Trans. Circuits Syst. I*, vol. 54, no. 4, Jun. 2007
- [27] Jonas Elbornsson, Fredrik Gustafsson, and Jan-Erik Eklund, "Blind Equalization of Time Errors in a Time-Interleaved ADC System," *IEEE Trans. Signal Processing*, vol. 53, no. 4, Apr. 2005
- [28] Junya Matsuno, Takafumi Yamaji, Nasanori Furuta, Tetsuro Itakura, "All-Digital Background Calibration Technique for Time-Interleaved ADC Using Pseudo Aliasing Signal", *IEEE Transactions on Circuits and Systems-I*, Vol.60, No.5, pp.1113-1121, 2013

研究業績

学術誌 (査読あり)

1. Junya Matsuno, Masanori Furuta, Tetsuro Itakura, Tatsuji Matsuura, Akira Hyogo, "A Replica-Amp Gain Enhancement Technique for an Operational Amplifier with Low Mismatch Sensitivity and High Voltage Swing," IEICE Vol. E99-A, No. 2, pp.547-554, 2016
2. Masanori Furuta, Hidenori Okuni, Junya Matsuno, Tetsuro Itakura, et.al., "A Wide Bandwidth Analog Baseband Circuit for 60-GHz Proximity Wireless Communication Receiver in 65-nm CMOS," IEICE Vol.E98-A, No.2, pp.492-499, 2015
3. Junya Matsuno, Takafumi Yamaji, Masanori Furuta, Tetsuro Itakura, "All-Digital Background Calibration Technique for Time-Interleaved ADC Using Pseudo Aliasing Signal", IEEE Transactions on Circuits and Systems-I, Vol.60, No.5, pp.1113-1121, 2013
4. Masanori Furuta, Ippei Akita, Junya Matsuno, Tetsuro Itakura, "A 36-mW 1.5-GS/s 7-Bit Time-Interleaved SAR ADC Using Source Follower Based Track-and-Hold Circuit in 65-nm CMOS," IEICE Vol.E96-A, No.7, pp.1552-1561, 2013
5. Takafumi Yamaji, Hiroshi Tanimoto, Junya Matsuno and Tetsuro Itakura, "Harmonic Signal Rejection Schemes of Polyphase Downconverters," IEEE TCAS-I, Vol.58, No.10, pp.2308-3417, 2011
6. Junya Matsuno, Hiroki Sato, Akira Hyogo, Keitaro Sekine, "Balanced Three-phase Active-RC Tow-Thomas Biquad Complex Filter for Wireless Communication Systems," IEICE Vol.E91-C, No.6, pp.945-948, 2008

国際学会 (査読あり)

7. Junya Matsuno, Daisuke Kurose, Tomohiko Sugimoto, Hiroto Ishii, Masanori Furuta and Tetsuro Itakura, "A Power-Scalable Zero-Crossing Based Amplifier Using Inverter-based Zero-Crossing Detector with CMFB," IEEE International Symposium on Circuits and Systems, 2016
8. Shigehito Saigusa, Toshiya Mitomo, Junya Matsuno, Tetsuro Itakura, et.al., "A fully integrated single-chip 60GHz CMOS transceiver with scalable power consumption for proximity wireless communication," IEEE International Solid-State Circuits Conference, 2014
9. Junya Matsuno, Masahiro Hosoya, Furuta Masanori, Itakura Tetsuro, "A 3-GS/s 5-bit Flash ADC with Wideband Input Buffer Amplifier," International Symposium on VLSI Design, Automation, and Test, 2013
10. Junya Matsuno, Yamaji Takafumi, Furuta Masanori, Itakura Tetsuro, "All-Digital Background Calibration for Time-Interleaved ADC Using Pseudo Aliasing Signal," IEEE International Symposium on Circuits and Systems, 2012
11. Ippei Akita, Masanori Furuta, Junya Matsuno, Tetsuro Itakura, "A 7-bit 1-GS/s time-interleaved SAR ADC with dynamic track-and-hold amplifier," IEEE Asian Solid State Circuits Conference, 2011
12. Takafumi Yamaji, Junya matsuno, Tetsuro Itakura, et.al., "A 6-phase harmonic rejection down-converter with digital assist," Symposium on VLSI Circuits, 2010
13. Junya Matsuno, Hiroki Sato, Akira Hyogo, Keitaro Sekine, "3-Phase Active-RC Tow-Thomas Biquad Complex Filter," IEEE International Midwest Symposium on Circuits and Systems, 2007
14. Junya Matsuno, Hiroki Sato, Akira Hyogo, Keitaro Sekine, "Active-RC Tow-Thomas Biquad Complex Filter for Balanced Three-Phase Analog Signal Processing, IEEJ International Analog VLSI Workshop, 2007
15. Junya Matsuno, Hiroki Sato, Akira Hyogo, Keitaro Sekine, "An NF Improvement Technique for LNA Using Negative Resistor," IEEJ International Analog VLSI Workshop, 2006

国内学会ほか (査読なし)

16. 松野、古田、板倉、松浦、兵庫、「素子ミスマッチに低感度な並列型 OPAMP 利得向上手法」、電気学会、2016 年
17. 佐久間、松浦、兵庫、松野「レベルシフトを用いた高速リングアンプの提案」、電気学会電子回路研究会、2016 年
18. 原、兵庫、松浦、松野、板倉、「CLS 技術を用いた 2 相動作する 2 倍 SC 増幅回路の構成」、電気学会電子回路研究会、2015 年
19. 松野、古田、板倉、「ダイナミックアンプを有する 4-GS/s 5-bit Flash ADC」、電子情報通信学会集積回路研究会、2014 年
20. 松野、古田、板倉、「タイムインタリーブ ADC の高速化と小面積化を両立させるデジタル補正技術」、東芝レビュー、2014 年
21. 松野、古田、板倉、「ダイナミックアンプを有するラッチドコンパレータ」、電子情報通信学会総合大会、2014 年
22. 古田、松野、板倉、「高速サンプリングと低消費電力を両立させるタイムインタリーブ逐次比較型 ADC」、東芝レビュー、2013 年
23. 松野、板倉、「A/D 変換器の高調波歪みキャンセラ」、電子情報通信学会総合大会、2012 年
24. 松野、山路、古田、板倉、「タイムインタリーブ型 A/D 変換器のデジタル補正」、電子情報通信学会 回路とシステム研究会、2012 年
25. 松野、板倉、「高速 A/D 変換方式の比較検討」、電気学会電子回路研究会、2012 年
26. 山路、松野、板倉、「高調波除去ダウンコンバータの雑音検討」、電子情報通信学会 回路とシステム研究会、2011 年
27. 松野、山路、板倉、「隣接妨害波抑圧機能を有する高調波キャンセラ」、電子情報通信学会総合大会、2011 年
28. 松野、佐藤、兵庫、関根、「対称 3 相信号に用いる Tow-Thomas Biquad 複素フィルタ」、電気学会電子回路研究会、2007 年

-
29. 松野、佐藤、兵庫、関根、「FM 受信機の集積化に関する一検討」、電気学会電子回路研究会、2006 年
 30. 松野、兵庫、関根、「負性抵抗により NF を改善した LNA」、電気学会電子回路研究会、2006 年

謝辞

本論文の執筆にあたり、研究のご指導ご鞭撻と、本論文をまとめるうえで適切な助言と多大なご尽力を賜りました東京理科大学 兵庫明教授に、心より感謝致します。また、東京理科大学 松浦達治助教には、研究を進めるうえで技術的な議論や多数の助言を賜りました。心より謝意を表します。さらに、本研究をまとめるにあたり、終始有益なご指導と、ご審査の労を賜りました東京理科大学 榎田洋太郎教授、木村真一教授、鈴木英之教授、溝口博教授に深く感謝致します。

また、本研究の機会を与えて頂き、本研究の推進にあたって多大なご指導、ご鞭撻を頂きました東芝 古田雅則主任研究員、板倉哲朗技監に、心より感謝致します。また、本研究の共同研究者である崇城大学 山路隆文教授（元東芝）には、研究にあたり有益な議論をして頂きました。

本研究を遂行することができたのは、以上の各位をはじめ、多くの方々のご指導とご協力、ご支援によるものであり、厚く御礼申し上げます。