

学位申請論文

次世代超音波マトリクスプローブ向け
送受信回路技術に関する研究

2019年3月

矢崎 徹

目次

第 1 章	序論	7
1.1	概要.....	7
1.2	研究の背景と目的.....	9
1.3	本論文の構成.....	16
第 2 章	次世代マトリックスプローブの構成と技術課題	18
2.1	概要.....	18
2.2	次世代マトリックスプローブ構成	18
2.3	大容量データ伝送技術.....	19
2.4	マイクロビームフォーマ	21
2.5	アナログ・デジタル変換およびデジタル・アナログ変換.....	23
2.6	まとめ	27
第 3 章	SAR-ADC の内部 DAC を時分割利用した送信ビームフォーミング回路技術 29	
3.1	概要.....	29
3.2	超音波診断装置の送受信信号処理	29
3.3	SAR-ADC の内部 DAC を時分割利用した送信回路	30
3.4	DAC 出力部のバッファ回路技術.....	31
3.5	超音波送信ビームフォーミング回路	38
3.6	まとめ	43
第 4 章	高速小型光送信回路技術.....	45
4.1	概要.....	45
4.2	光送信回路技術	45
4.3	非対称エンファシス補正技術.....	46
4.4	VCSEL 非線形特性を補正する非対称エンファシス技術.....	47
4.5	高電圧 VCSEL ドライバ回路	49

4.6	試作評価結果.....	55
4.7	まとめ.....	61
第5章	高速小型光受信回路技術.....	62
5.1	概要.....	62
5.2	CMOS 光受信回路のノイズキャンセリング技術.....	62
5.3	CMOS 光受信回路の高帯域化技術.....	65
5.4	リミットアンプの高帯域化技術.....	71
5.5	試作評価結果.....	73
5.6	まとめ.....	81
第6章	結論.....	82
参考文献	85
研究業績	91
謝辞	94

図目次

図 1.1	超音波診断技術開発のロードマップ(経済産業省 技術開発ロードマップ 2010)	7
図 1.2	マトリックスプローブ向けビームフォーミング回路技術の動向	8
図 1.3	超音波診断装置の基本動作原理	9
図 1.4	超音波診断装置の整相信号処理 (送信信号処理)	10
図 1.5	超音波診断装置の整相信号処理 (受信信号処理)	11
図 1.6	1D プローブとマトリックスプローブの構成比較	12
図 1.7	マトリックスプローブの構成図(a)とマイクロビームフォーマのブロック図 (b)	12
図 1.8	サブアレイ化とマイクロビームフォーマでの信号処理	13
図 1.9	マトリックスプローブでの受信整相信号処理	13
図 1.10	本体遅延とマイクロビームフォーマ内の微小遅延の具体例	15
図 2.1	従来のマトリックスプローブ構成(a)と本研究で提案する次世代マトリックスプローブの構成 (b)	19
図 2.2	細線同軸配線の損失特性 (38AWG)	20
図 2.3	次世代マトリックスプローブのデータ伝送部構成と要求仕様	21
図 2.4	Analog Random Access Memory(ARAM)回路と基本動作原理	22
図 2.5	パルス送信方式(a)とリニア送信方式(b)の波形比較	22
図 2.6	リニア送信回路のブロック図(a)と内部回路図(b)	22
図 2.7	ADC の開発性能動向	24
図 2.8	SAR-ADC の基本構成図	25
図 2.9	4bit SAR-ADC の動作原理	26
図 2.10	マトリックスプローブでの送信と受信モード比較	26
図 2.11	送信信号の歪と画像の関係	27
図 3.1	超音波診断装置の送受信の繰り返しタイミング(a)と超音波振動子の送受信信号波形 (b)	30
図 3.2	受信モードの電流 DAC を用いた SAR-ADC (a)と送信モードの超音波送信ビームフォーミング回路(b) (©2018 IEEE)	31
図 3.3	ソースフォロワ回路 (a)とスーパーソースフォロワ回路 (b)	32
図 3.4	ダイナミックレンジを拡大したスーパーソースフォロワ回路 (a)と低消費電力化したスーパーソースフォロワ回路 (b)	34
図 3.5	シンクドライバを備えた AB 級スーパーソースフォロワ回路	34
図 3.6	負荷電流と出力電圧の関係	35

図 3.7	負荷容量と 2 次歪の関係	36
図 3.8	入力信号レベルと 2 次高調波特性の関係.....	36
図 3.9	提案回路の負荷容量に対する周波数特性変化.....	37
図 3.10	14bitDAC の (a) 入出力コード特性と (b) コード変換後の入出力コード.....	38
図 3.11	低電圧動作電流 DAC 回路(©2018 IEEE)	39
図 3.12	基準バイアス回路(©2018 IEEE).....	40
図 3.13	電流 DAC 出力とバッファ出力波形(©2018 IEEE)	41
図 3.14	送信ビームフォーミング検証回路図.....	41
図 3.15	超音波振動子端での FFT 結果(©2018 IEEE)	42
図 3.16	提案 DAC のレイアウト	43
図 3.17	提案バッファ回路のレイアウト	43
図 4.1	直接変調型の VCSEL ドライバ構成(©2017 IEICE)	46
図 4.2	2TAP プリエンファシスを備えた VCSEL ドライバブロック図 (a) および遅延信号 (b) とエンファシス波形(c) (©2017 IEICE)	47
図 4.3	2 タップ非対称プリエンファシスを備えた VCSEL ドライバのブロック図.....	48
図 4.4	非対称エンファシスの原理(©2017 IEICE)	49
図 4.5	保護抵抗付きダブルカスコード接続駆動回路(©2017 IEICE)	50
図 4.6	VCSEL ドライバの出力バイアス回路と小信号等価回路(©2017 IEICE)	51
図 4.7	VCSEL の出力インピーダンスとバイアス回路と組み合わせたときの出力イン ピーダンス変化(©2017 IEICE)	52
図 4.8	フィードフォワード補正を持ったバイアス電流回路と小信号等価回路.....	53
図 4.9	出力インピーダンスのフィードフォワードありなし比較(©2017 IEICE)	53
図 4.10	非対称エンファシスを備えた VCSEL ドライバの全体回路図(©2017 IEICE).....	55
図 4.11	VCSEL ドライバのレイアウト図(©2017 IEICE)	56
図 4.12	試作 LSI と試作光モジュール(©2017 IEICE)	56
図 4.13	非対称エンファシス効果を確認するための電気波形評価結果(©2014 IEEE)	57
図 4.14	25Gbps、PRBS2 ⁹ -1 の光送信波形(©2014 IEEE)	57
図 4.15	データレートとアイ開口率変化(©2017 IEICE)	58
図 4.16	バスタブカーブ特性(©2017 IEICE)	59
図 4.17	平均出力パワーと BER の関係(14~25Gbps) (©2017 IEICE).....	59
図 4.18	平均出力電力と BER の関係のチャネル間バラツキ(©2017 IEICE)	60
図 5.1	光受信回路ブロック	63
図 5.2	SFB 型 TIA 回路(a)と小信号等価回路(b).....	63
図 5.3	ノイズキャンセリング SFB 型 TIA 回路(a)と小信号等価回路(b).....	65

図 5.4	提案 TIA 回路の全体構成	67
図 5.5	PSRR 特性比較	67
図 5.6	PSRR 特性のばらつき比較	68
図 5.7	電源雑音によるアイダイアグラム波形変化 (ノイズキャンセリングなし)	69
図 5.8	電源雑音によるアイダイアグラム波形変化 (提案回路)	70
図 5.9	TIA 周波数特性	71
図 5.10	リミットアンプ回路	73
図 5.11	光受信回路の周波数特性	73
図 5.12	光受信回路のブロックと試作チップ構成	74
図 5.13	試作 LSI 写真	75
図 5.14	評価構成図 (a) とセットアップ写真 (b)	76
図 5.15	電源雑音の印加方法と印加した雑音波形 (10MHz、80mVpp)	77
図 5.16	電源雑音重畳によるアイダイアグラム変化	78
図 5.17	18Gbps と 20Gbps のアイダイアグラム波形比較	79
図 5.18	受信感度特性	80
図 5.19	バスタブカーブ	80

第1章 序論

1.1 概要

世界の人口は伸び続けており、2030年には86億人と2015年比で16%の増加が見込まれている。人口増加に伴い世界の高齢化率(65歳以上の人口構成比率)も上昇しており、日本では2030年に30%に、欧州でも25%に達すると予想されている。近隣諸国では、中国が2015年に10%に達しており、2030年にはインド、ASEAN、中東諸国も高齢化社会に突入すると言われている。このような高齢化社会の発達に伴い、Quality of Life(QOL)の向上が国際的な社会課題となっている。2015年9月に米国で開催された国連サミットでは、持続可能な開発目標(Sustainable Development Goals:SDGs)として17項目が採択され、その一つに、「すべての人に健康と福祉を」が2030年を年限とする国際目標として採択された。

健康と福祉の充実には、予防・診断・治療・術後ケアというヘルスケアサービスの質的向上が必要となる。そのような要求の中、医療画像診断装置はヘルスケアサービスの様々なフェーズで活用されており、特に超音波診断装置は、非侵襲かつリアルタイム診断が可能で、CTやMRなどの大型装置と比較して導入コストも比較的抑えられることから、ヘルスケアサービスには欠かせない装置となっている。近年では、小型ポータブルタイプの装置やタブレット接続型の装置なども登場し、益々活躍の幅広がっている。



図 1.1 超音波診断技術開発のロードマップ(経済産業省 技術開発ロードマップ 2010)

しかしながら、X線CTや、MRIなどの他の画像診断装置と比較して空間解像度が低く、検査者の技量依存性があるなどの弱点もある。そのため、図 1.1 に示すように、超音波診断装置は高速化・高精細化、高機能化、診断精度改善などに向けて様々な技術開発が進められてきている。特に、高機能化や質的診断を行うために、リアルタイムの3次元イメージ化が技術的な大きな課題となっている。リアルタイムで3次元画像を取得することによって、心臓の弁の動きが見えるようになり、弁膜症などの疾病が早期発見できるだけでなく、3次元のボリュームデータにより心臓体積の計測などが高精度に実施できるようになる。さらには、リアルタイム3次元画像により正確な遊撃生体検査が可能になるなど、用途の幅が大きく広がることになる。このように、超音波診断装置ではリアルタイムの3次元イメージ化というのが重要な技術である。

リアルタイムの3次元イメージを取得するためにはマトリックスプローブと呼ばれる、2次元アレイ状に並んだ超音波振動子とそれを駆動するマイクロビームフォーミング回路が搭載された超音波探触子が必要となる。図 1.2 は 2010 年以降に主要な国際学会および論文で発表されたマイクロビームフォーミング回路技術を年代ごとにチャンネル数の変化を示したものである。2012 年からマイクロビームフォーミング技術が紹介され、年々チャンネル数が増加しており、2017 年には 3000 チャンネルを越えるマイクロビームフォーミング回路技術が登場してきている [1]。しかしながら、これまでのマトリックスプローブでは、超音波診断装置本体と超音波探触子間の伝送をアナログ信号で行うため、伝送距離が制約され、超音波診断装置本体と一緒に持ち運びする必要があり実用上の利便性向上が難しかった。

そこで、本論文では、ケーブル間伝送に光通信を取り入れ、デジタル伝送を行う次世代のマトリックスプローブ構成を提案し、それを実現するための送受信回路技術についてまとめたものである。

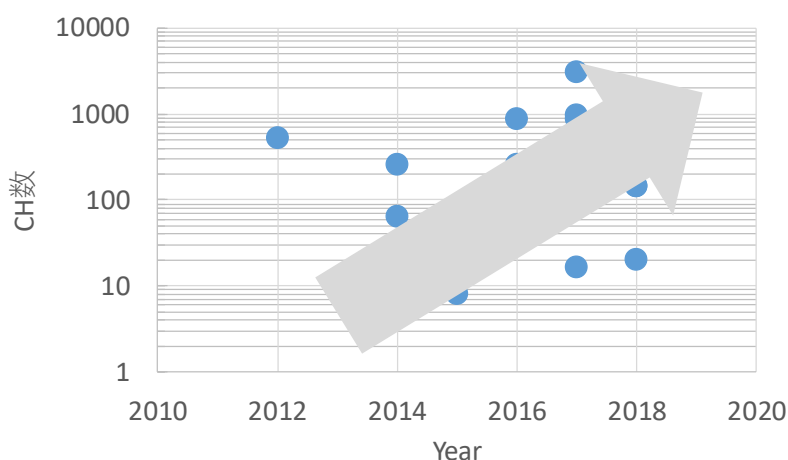


図 1.2 マトリックスプローブ向けビームフォーミング回路技術の動向

1.2 研究の背景と目的

まず、超音波診断装置の基本構成と基本動作について述べる。図 1.3 に示すように超音波診断装置は、超音波診断装置本体にケーブルを介して超音波プローブが接続される。超音波プローブ内には超音波振動子が短冊状に複数配置され、各振動子はケーブルを介して超音波診断装置内のアナログフロントエンド回路と接続される。波送信時には超音波診断装置本体のフロントエンド回路から数 MHz で 100Vpp 以上の高電圧信号がプローブ側の超音波振動子に送信され、超音波信号へと変換される。超音波信号は被験者に向けて送信された後、生体内を通り、体内の臓器や骨など音響インピーダンスの異なる部位で反射する。反射波は超音波振動子へと伝送され、再び電気信号へと変換される。電気信号へと変換された受信信号の大きさは数 μV から数 100mV と送信信号と比較してかなり小さい信号となる。受信信号はケーブルを介して、超音波診断装置本体のアナログフロントエンド回路へと伝送され、アナログフロントエンド回路部で処理した後に、デジタル化される。デジタル部では、反射波の距離(=受信時間)と信号レベルから画像化される。以上が一般的な超音波診断装置の構成と基本的な信号処理手法となっている。

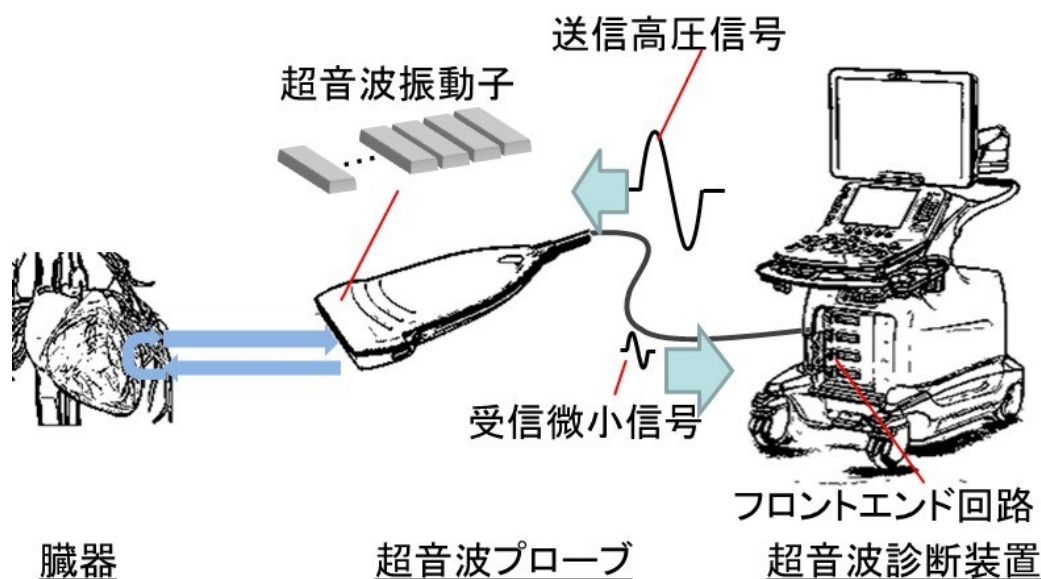


図 1.3 超音波診断装置の基本動作原理

次に超音波診断装置の動作原理として重要である整相信号処理技術について述べる。整相信号処理とは、重ね合わせの原理を用いて超音波信号の強度を向上させ、信号の S/N 強度を上げる技術である。前述したように、超音波診断装置は本体からの送信信号をプローブ内の超音波振動子へと伝送し、超音波信号を発生させる。しかしながら、プローブ内に短冊状に配置された各超音波振動子から超音波信号が同時に送信された場合、発生する超音波信号は平面波となり、ターゲット領域で十分な音響強度が得られず画質を向上させること

ができない。そこで整相信号処理を用いて、フォーカスポイントで超音波信号の強度を上げる。図 1.4(a)に、9個の超音波振動子が配置され、ターゲット（フォーカスポイント）を振動子の中心にした場合の送信フォーカスについて示す。このとき、9個の各超音波振動子からターゲットに対しての距離が異なる。そこで、その距離に対して音速で決まる時間差(遅延)を送信信号に与えることで、ターゲット位置での超音波信号が重ね合わせの原理で同位相となり、超音波信号の強度が増加して発生する反射波の信号レベルも増加する。結果として、受信信号の S/N が上がり画質が改善されこととなる。例えば、一番下(No.9)の超音波振動子からターゲットまでの距離を X_9 、中心の振動子(No.5)からターゲットまでの距離を X_5 、音速を V とすると、距離による超音波信号の時間差 $T1$ は式 1.1 で表される。

$$T1 = \frac{X_9 - X_5}{V} \quad (1.1)$$

$X_9 - X_5$ を $600\mu\text{m}$ とすると、生体内の音速 V は 1500m/s であることから、時間差 $T1$ は 400ns となりこの時間差を送信信号に与えることで、ターゲット位置で超音波信号の強度が増加することになる。これが超音波診断装置の整相信号処理の基本的な考え方である。

同じように図 1.4 (b)にターゲット位置を上部振動子(No.1)側にずらした場合の模式図を示す。この場合、下部の振動子(No.9)がターゲットに対して距離が最大となるため、図 1.4(a)と同様にターゲットと各振動子の位置から遅延時間を計算し、9番から順に信号を印加し、上部の振動子(No.1)へ最後に送信信号が伝達されるように送信信号を与えることで、ターゲット位置を振動子の配列方向に対して変化させることができる。

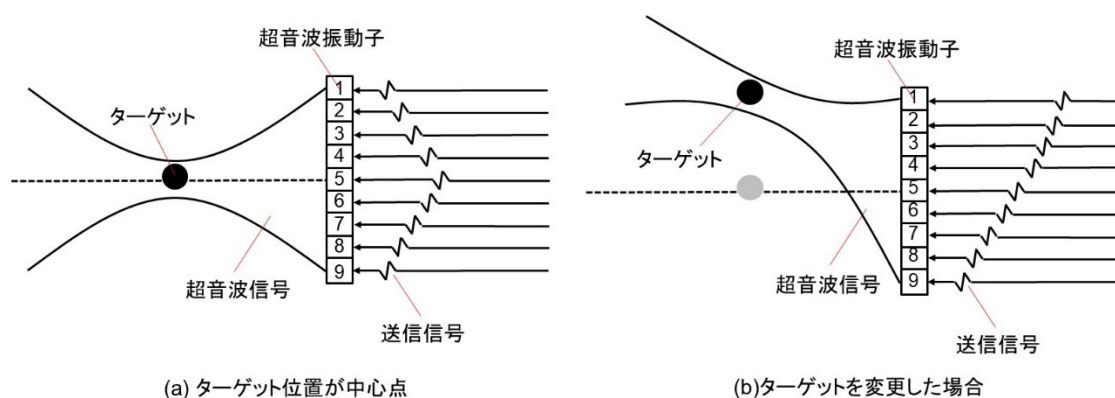


図 1.4 超音波診断装置の整相信号処理（送信信号処理）

受信超音波信号に対しても同様の整相信号処理が施される。送信と同様に受信信号もターゲットからの反射信号は図 1.5 に示すように振動子ごとに伝播時間が異なる。近くの振動子は先に受信信号が到達し、遠くの振動子はターゲットからの距離で決まる遅延時間を持って受信する。そこで、ビームフォーマと呼ばれる信号処理部で、距離に依存した遅延を与

える。遅延を揃えた信号を加算処理することで、振動子の個数を N とすると受信信号は N 倍され、各受信ラインで発生した雑音は \sqrt{N} 倍化されるため、 S/N が改善されることになる。1990年代までの超音波診断装置ではアナログ信号処理によって送受信のビームフォーミングを実現していたが、近年では、半導体の微細化によりデジタル回路の小型化が進み、送信信号の遅延も、受信信号のビームフォーミングも、超音波振動装置本体のデジタル回路部で処理される。

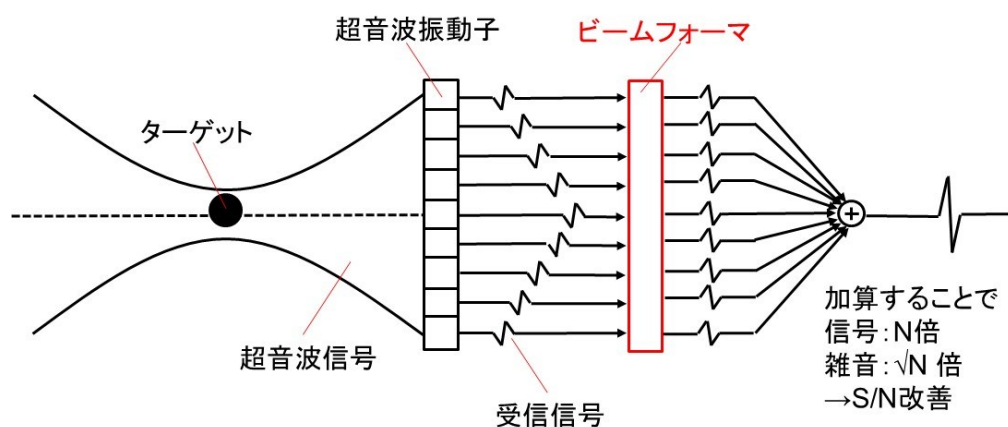


図 1.5 超音波診断装置の整相信号処理 (受信信号処理)

近年、従来の撮像方式をさらに進化させたマトリックスプローブ技術の研究が盛んに行われるようになってきている [1] [2] [3]。図 1.6 に従来の超音波探触子とマトリックスプローブの違いを示す。図 1.6 左図は従来の超音波探触子とフォーカスポイントの変化を示したものである。従来の超音波探触子は整相処理を行うためフォーカスポイント (ターゲット) は距離方向と、振動子の配列方向、つまり 1 次元方向のみしか設定できない。そのため、1 Dプローブと呼ばれ、深度方向(受信時間)との情報と組み合わせて 2 次元画像が取得可能となる。一方、マトリックスプローブは図 1.6 右図に示すように振動子を 2 次元配列に並べて、各振動子を整相信号処理することで縦、横の 2 次元状の任意の方向にフォーカスポイントを変更することができる。そのため、マトリックスプローブは 2 Dプローブとも呼ばれ、深度方向の情報と組み合わせて 3 次元画像が取得可能となる。

マトリックスプローブを構成する上で大きな課題がある。それは、振動子を 2 次元状に配列したことで、振動子数が最大で 10000 チャンネルまで増加するため、1 Dプローブで行ったように超音波診断装置本体のアナログフロントエンド回路から各チャンネルに遅延信号を送信し、各チャンネルからの受信信号を再び超音波診断装置へ戻す構成では、ケーブル内に 10000 本もの配線を通す必要がでてくる。この構成では、超音波診断装置本体のアナログフロントエンド回路を 10000 チャンネル用意する必要があり、かつケーブル断面や重量の増加が発生するため実現するのが困難である。

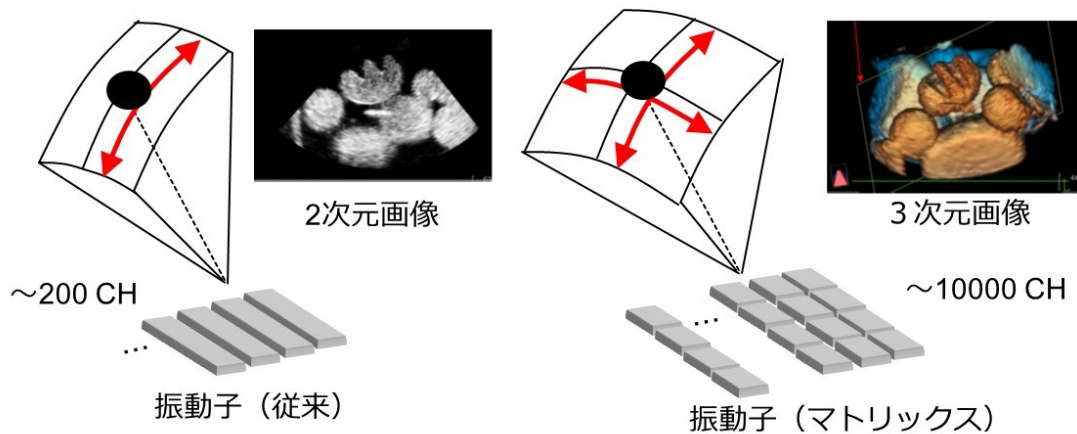


図 1.6 1Dプローブとマトリックスプローブの構成比較

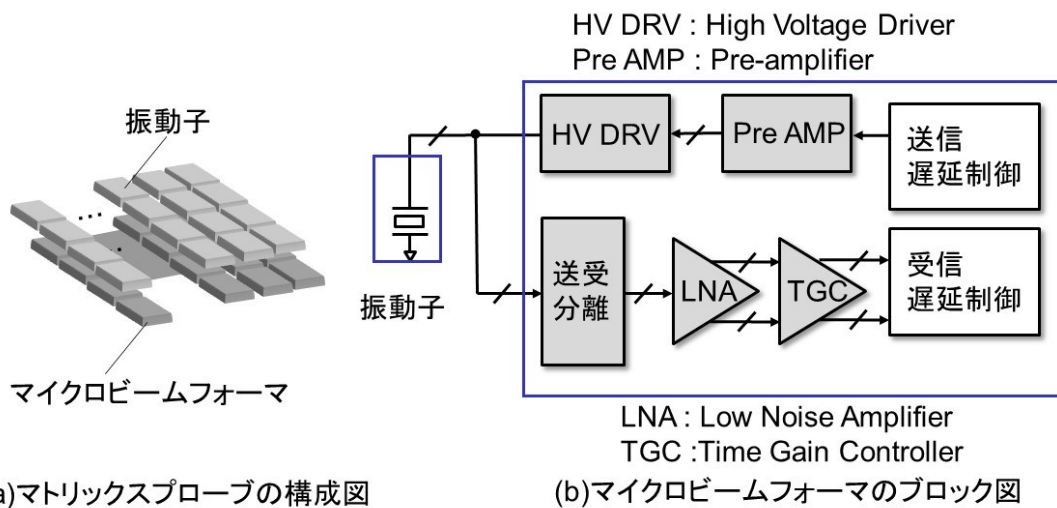


図 1.7 マトリックスプローブの構成図(a)とマイクロビームフォーマのブロック図(b)

そこで、マイクロビームフォーマと呼ばれるアナログフロントエンド回路を用いて整相信号処理をプローブ内で行う技術が開発されている [1] [2]。図 1.7(a)にマイクロビームフォーマを搭載したマトリックスプローブの基本構成を示す。マイクロビームフォーマは2次元状に配列された各振動子直下に同数配置され、それぞれの振動子送受信信号に遅延を与えることによって整相信号処理を実現する。

図 1.7(b)にマイクロビームフォーマの内部ブロック図を示す。送信部は送信信号に遅延を与える送信遅延制御回路とそこから高圧送信信号を作り出すプリアンプ(Pre AMP)と高圧ドライバ回路(HV DRV)部で構成される。受信部は高圧の送信信号から受信回路を保護するための送受分離回路、微小信号を低雑音で増幅する Low Noise Amplifier(LNA)、受信時間でゲインを変化させる Time Gain Controller (TGC)、受信信号に遅延を与える受信遅延

制御回路で構成される。

このとき、重要となるのが各チャンネルのサブアレイ化(グルーピング)である。マトリックスプローブ内の振動子とビームフォーマを複数個でサブアレイ化することで、装置間のインターフェイス数を従来探触子と同数にすることができ、従来の 1D プローブと同じチャンネルのインターフェイスで装置とのやり取りが可能となる。例えば、10000 チャンネルの振動子を 100 チャンネルごとにサブアレイ化すると、装置とのインターフェイスは 100 チャンネルとなり、超音波診断装置側は従来と同様の構成で動作可能となる。

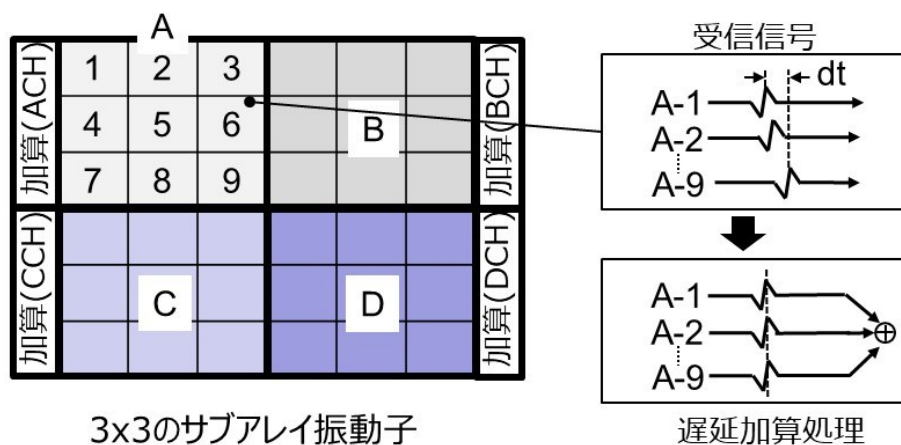


図 1.8 サブアレイ化とマイクロビームフォーマでの信号処理

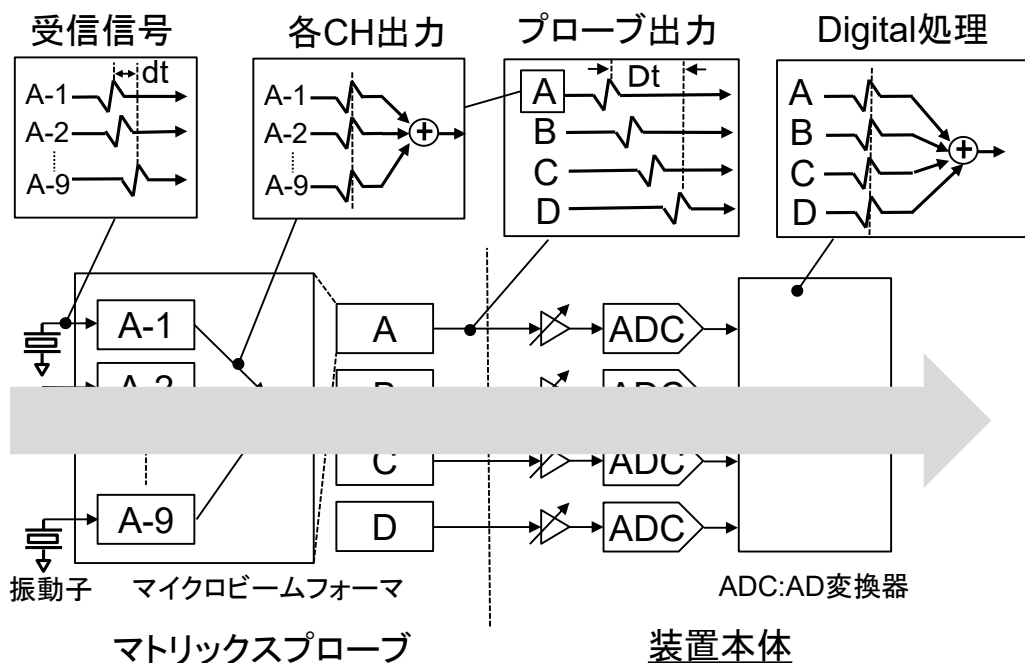


図 1.9 マトリックスプローブでの受信整相信号処理

図 1.8 に 36 チャンネルのマトリクスプローブの例を示す。全 36 チャンネルに対して、3x3 のサブアレイを形成すると、A から D の 4 つのサブアレイチャンネルが形成される。ここでは生体内からの反射信号に対する受信信号処理について考える。あるフォーカス点での生体内からの反射超音波信号が 36 チャンネルに個別に印加されたとする。サブアレイ内の 9 チャンネルの振動子に対して、フォーカスポイントからの最大遅延を dt とすると、マイクロビームフォーマではこの遅延量 dt を調整して、マイクロビームフォーマが搭載されている ASIC 内の加算回路にて加算を行うことで、1 チャンネルの信号として取り扱うことが可能となる。つまり信号が遅延加算されて、36 チャンネルが 4 チャンネルの信号に圧縮される。

図 1.9 にマトリクスプローブ全体の整相信号処理についての説明図を示す。超音波振動子に入力された超音波信号は、フォーカス位置により異なった時間差の信号となる。サブアレイ A 内の 9 チャンネルでの最大遅延を dt とすると、マイクロビームフォーマ内では、前述したように各チャンネルの信号に遅延を与え同位相の信号にする。その後、加算処理を行うことで、9 チャンネルの信号が 1 チャンネルに圧縮される。36 チャンネルが、マイクロビームフォーマ出力では 4 チャンネルとなる。このとき、フォーカスポイントから各サブアレイチャンネル間の遅延差 Dt が残ることになる、超音波診断装置内でデジタル化した後にデジタル部でチャンネル間の遅延を揃え整相処理を行い加算することで S/N を最大化することができる。このとき、サブアレイチャンネル数を従来の 1D プローブと同数とすることで、超音波診断装置本体側の大幅な変更なしでも接続が可能となる。

図 1.10 に具体的な例で説明する。図 1.10(a)に示すように超音波診断装置本体側ではサブアレイ A に 1、サブアレイ B と C に 2、サブアレイ D に 3 という遅延量が与えられたとする。マイクロビームフォーマでの遅延制御がない場合、遅延曲線は図 1.10(a)となり、サブアレイ内での遅延ばらつきにより S/N 向上しない。そこで、マイクロビームフォーマ内のビームフォーマでは各サブアレイに対して図 1.10(b)に示すように 0.2~1.0 微小遅延が全サブアレイ共通で与えたとする。すると、図 1.10(c)に示すように本体整相と微小遅延を合わせた合成遅延は本体整相のみに比べて滑らかな遅延曲線となり、超音波信号のフォーカス精度、すなわち S/N の向上につながる。本説明では簡略化のために 36 チャンネルの例で示したが、実際にはチャンネル数もサブアレイ数も本説明よりも多く、さらに滑らかな遅延特性を形成するので、より高精細で高精度な画像を表示可能となる。

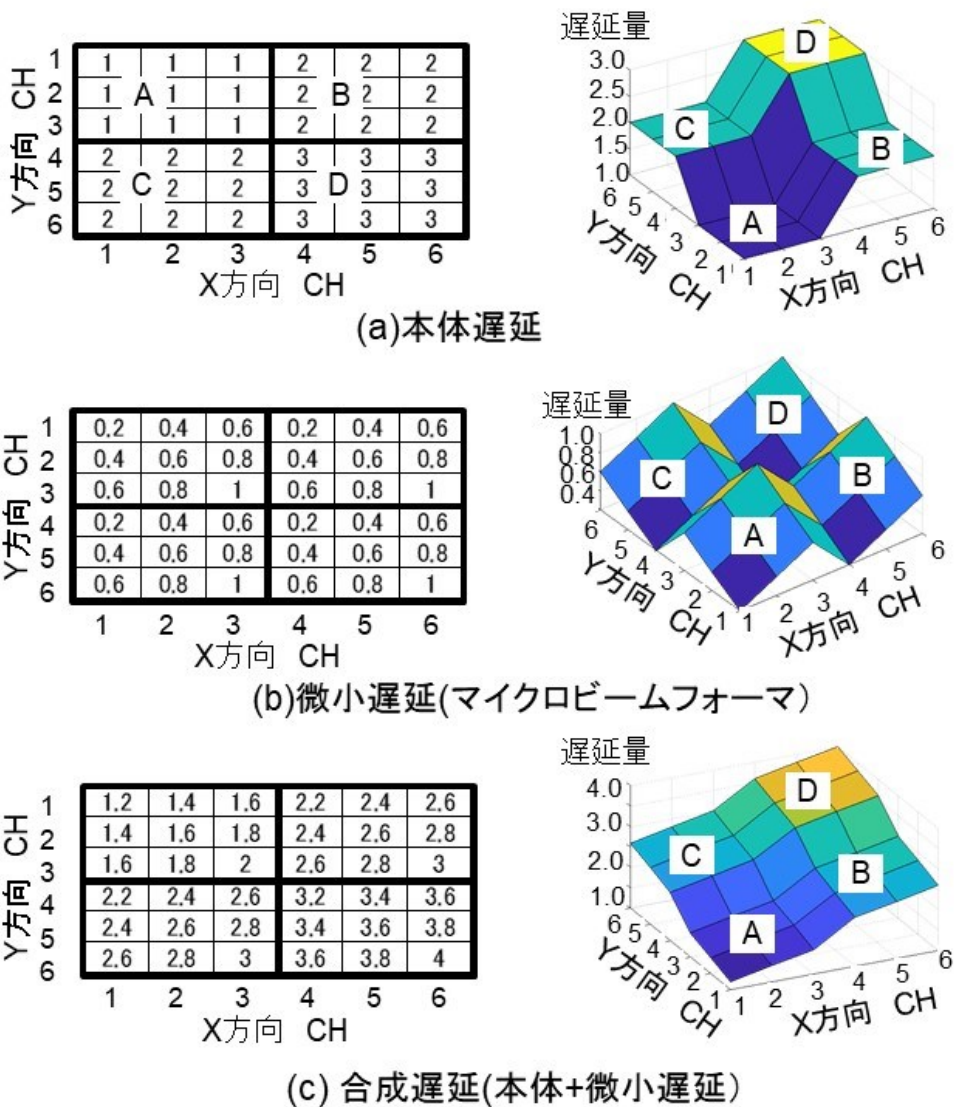


図 1.10 本体遅延とマイクロビームフォーマ内の微小遅延の具体例

しかしながら、従来の超音波診断装置の構成は、装置本体と超音波プローブの信号を全てアナログ信号でやり取りする必要がある。アナログ信号は高精度に信号が伝送可能な一方、ケーブルでの信号レベルの劣化、外来ノイズの重畳による信号品質の劣化が発生するため、装置本体と超音波プローブの配線距離に制約があった。術中などでの用途を鑑みると、超音波装置本体が被験者の直近に配置されると制約が多く非常に不便である。

そこで、本論文では配線距離制約を無くすべく、超音波診断装置本体との超音波プローブ間の信号伝送に光伝送を取り入れた次世代のマトリックスプローブの提案と、それを実現するための送受信回路技術について述べる。

1.3 本論文の構成

本第1章の序論において、本研究の背景および目的を述べたあと、第2章では、本研究で提案した次世代マトリックスプローブの構成と技術課題について説明する。現状のマトリックスプローブ技術ではプローブと装置本体間をアナログ信号で伝送させるため、画像性能の劣化や距離制約が発生する。そこで、提案構成では超音波診断装置本体とマトリックスプローブ間をデジタル信号で伝送し、かつ光伝送で信号を伝送させる。これによって、信号伝送による距離制約から解放され電源とデータ伝送さえできれば装置本体の設置制約がなくなり、遠隔医療やクラウド利用など様々なサービス提供が可能となる。一方、技術面ではデータ伝送を実現するための高速データ伝送技術と送信ビームフォーミング回路技術が必要となる。高速データ伝送技術では、超音波診断装置の使用条件から少ないケーブル本数での大容量高速データ伝送技術の実現が課題で、要求性能から光通信を用いた大容量高速伝送技術の実現が必要であった。送信ビームフォーミング回路技術では、マイクロビームフォーマ内の送信回路にリニア方式の送信回路を搭載したことによって、任意の送信信号を生成するためのデジタル・アナログ変換器が必要となり、その小型化が必要であった。

第3章では、デジタル・アナログ変換回路の追加による面積増加を解決するために、新たな送信ビームフォーミング回路技術を提案し、その検討結果について述べる。超音波診断装置では1つのチャンネルで送受信信号処理を行うが、同時に送受信信号処理を行うことはなく、超音波受信期間に対して、送信期間が極端に短いという特徴を持つ。そのため、送信専用のデジタル・アナログ変換回路を用いることは面積的にも消費電力的にも非効率である。そこで、本研究では受信で用いるアナログ・デジタル変換回路内部で用いるDACを時分割で送信ビームフォーミングに利用した新たな回路方式を提案した。その時に必要となる、マイクロビームフォーマを駆動するバッファ回路についても、ダイナミックレンジが広く低消費電力で低歪な新たな回路方式を提案した。上記の提案回路について、設計検証を行った結果について述べる。

第4章では、プローブ側での受信データをデジタル化して装置本体へ伝送するための大容量高速データ伝送に必要な高速小型低消費電力の光送信回路について述べる。高速光送信回路では、光素子の非線形性を補正して高帯域化を実現するとともに、光素子の特徴である高電圧ドライブを実現するためのドライブ回路を提案した。提案回路の原理説明について検証結果を交えて述べるとともに、65nmCMOSプロセスでの試作評価結果についても述べる。

第5章では、プローブ側での送信回路制御に必要な、送信制御データを受信するための光受信回路について述べる。光受信回路は光素子からの伝搬時に発生する電源雑音の重畳を抑制するためのノイズキャンセリング技術を新たに開発し、さらに高帯域化を実現した新たなトランスインピーダンスアンプ回路を提案した。提案方式の動作原理につい

て、検証結果を交えて述べる。さらに、90nmCMOS プロセスを用いた試作評価結果についても併せて述べる。

第6章では、本研究のまとめと今後の課題について述べる。

第2章 次世代マトリックスプローブの構成と技術課題

2.1 概要

本章ではケーブル間伝送に光通信を取り入れた本研究で提案する次世代マトリックスプローブ構成と実現する要素技術とその課題について述べる。次世代マトリックスプローブは超音波診断装置本体との伝送をフルデジタルで実現することで、伝送距離を延伸することが可能となる。それを実現するためには、高速大容量な光受信回路技術、アナログ信号とデジタル信号を変換する信号変換回路技術、超音波信号を制御するマイクロビームフォーマ回路技術が必要であり、その動作とそれぞれの技術課題について解説する。

2.2 次世代マトリックスプローブ構成

前章で述べたように既存のマトリックスプローブは超音波診断装置本体と超音波探触子間の伝送をアナログ信号で行うため、伝送距離が制約されて、プローブ長を自由に変更することができず実用上の利便性向上が難しかった。そこで、マイクロビームフォーマへの入出力をデジタル化することで、本体との伝送をデジタル化した次世代マトリックスプローブの構成を提案する。従来技術のマトリックスプローブ [1]と本研究で提案する次世代マトリックスプローブの構成比較を図 2.1 に示す。従来のマトリックスプローブでは超音波診断装置本体のデジタル回路部から制御信号をプローブ内部のデジタル回路へと送信し、プローブ内のデジタル回路で送信制御信号を生成し、ビームフォーマを介して信号を遅延させて送信信号を送信する。受信時は振動子で受信した電気信号をマイクロビームフォーマ内部のLNAとTGCを介してビームフォーマで遅延させ、サブアレイ単位で加算した後に、アナログ信号のまま装置本体へと伝送する方式がよく用いられている [1] [2] [3]。一方、本研究で提案するマトリックスプローブはプローブと本体間を接続する高速データ伝送インターフェイスを搭載することで、プローブと装置本体間の送受信信号をアナログ伝送からデジタル伝送へと変更した点が大きな特徴である。これによって、ケーブル損失による信号劣化や外部ノイズによるS/Nの劣化を防ぐことが可能となる。もう一つの特徴は、マイクロビームフォーマ内の高圧ドライバ部にリニア方式の送信回路を搭載した点である。これによってCMUTのような非線形な超音波振動子に対して正負非対称な送信が可能となり画質改善につながる [4]。上記のような特徴を備えたことにより、マイクロビームフォーマと高速データ伝送インターフェイスを接続するアナログ・デジタル変換部(ADC)とデジタル・アナログ変換部(DAC)の両者が必要になる。

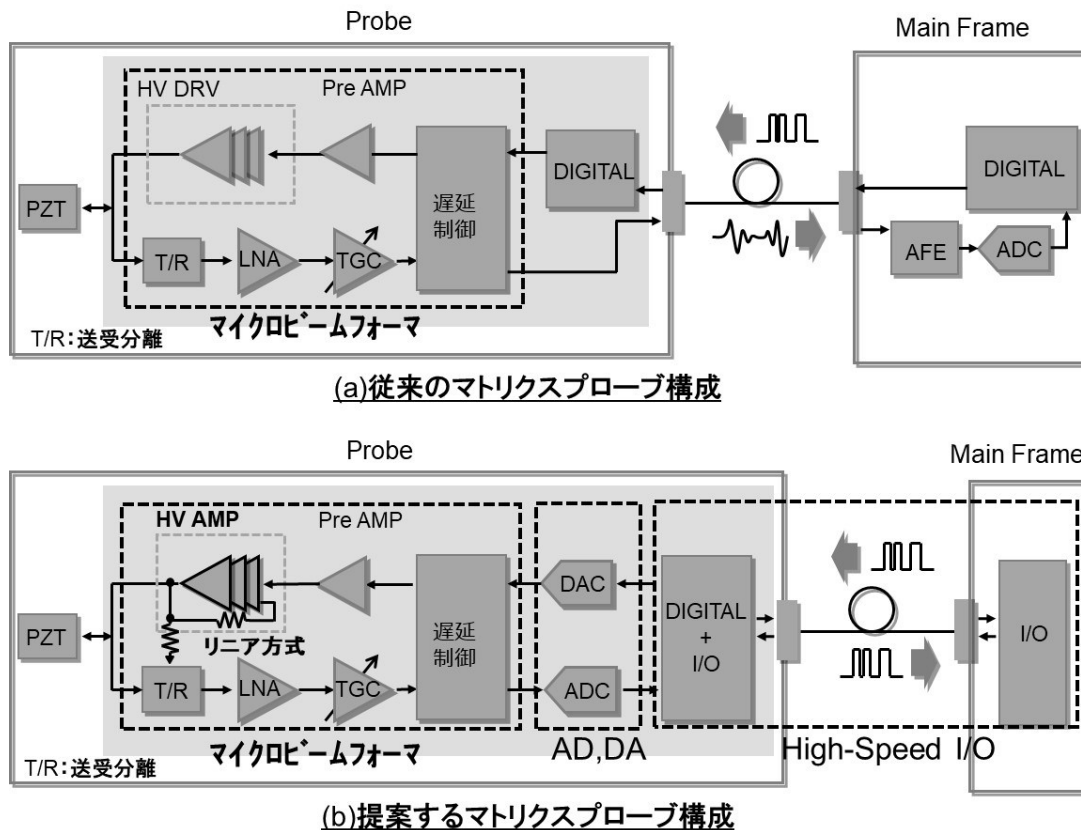


図 2.1 従来のマトリクスプローブ構成(a)と本研究で提案する次世代マトリクスプローブの構成(b)

2.3 大容量データ伝送技術

まず、高速インターフェイス部について考える。これまで、高速伝送技術は Low Voltage Differential Signaling(LVDS)伝送から最新の USB3.0 など様々な研究が行われてきており、伝送速度は 10Gbps を越えるものもある。しかしながら、超音波診断装置というアプリケーションを考えると、電気伝送では細線同軸ケーブルのような、断面積が小さく取り回ししやすい素材が必要となる。

そこで、高速伝送向け細線同軸の実例を示す。図 2.2 は 38AWG (American Wire Gauge) Micro-coaxial ケーブルの単位長さあたりの周波数に対する損失特性を示したものである [5]。周波数 6GHz での損失 8.6dB/m となっており、超音波ケーブルの長さを 3m と想定すると、ケーブルでの損失は 25.8dB となる。さらに、実用性向上を考え、10m まで対応させようとする、最大損失は 86dB となり、高速伝送で用いられているシグナルコンディショニング技術 [6]を用いても帯域補正が困難となる。一方、光ファイバは 850nm 波長帯のマルチモードファイバでも損失は 3.5dB/km と電気伝送と比較すると極端に損失が小さい。そのため、提案するマトリクスプローブでは高速伝送部に光伝送を用いた構成が必

要となる。

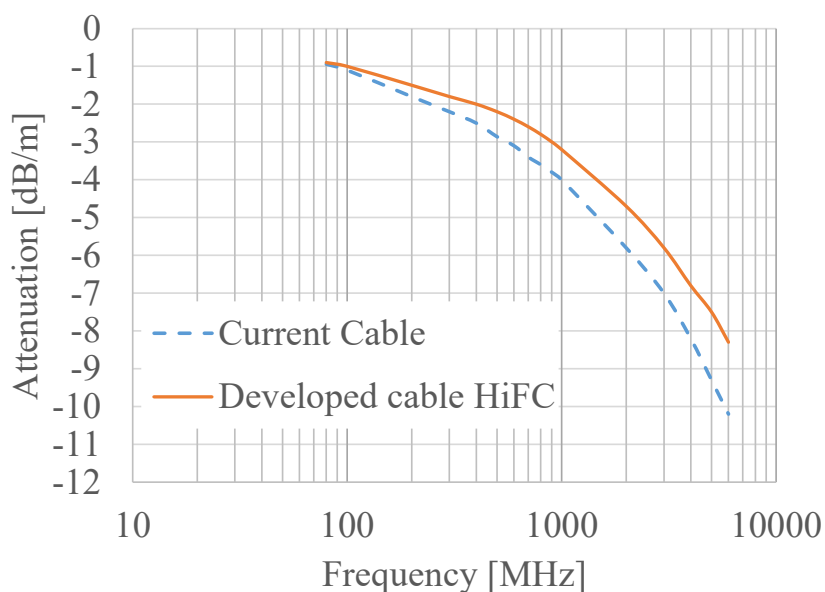


図 2.2 細線同軸配線の損失特性 (38AWG)
(出典：日立金属技報 Vol. 32 (2016))

光伝送では従来の電気伝送技術と比較して、伝送損失が小さく長距離の伝送が可能になる反面、光発光素子や光受光素子が必要となるために、これらを駆動する専用の送受信回路が必要となる。光送信回路では、光発光素子を高電圧で駆動する必要があると共に、光素子の非線形性を補正する送信回路が必要となる。また、光受信回路では電源雑音などの周囲環境による影響を低減するための低雑音光受信回路が必要となってくる。さらには、光ファイバの本数増を抑えるためには伝送速度の高速化が必要となってくる。そのため、大容量の高速光送受信回路技術が必要となる。

図 2.3 は次世代マトリクスプローブのデータ伝送部構成図を示す。送信制御に関しては、受信区間で送信信号を生成するための制御データを伝送して内部のメモリに格納する。そのため、DAC の bit 数を冗長 bit も含め 14bit とし、サンプリング周波数を 80MHz、送信区間を 5 μ s、サブアレイのチャンネル数を 100 とすると 0.6×10^6 bit のデータが必要となる。このデータを受信区間 150 μ s の間に送信し、さらに符号化などの冗長性を含んだ送信制御には 11.2Gbps のデータ伝送が必要となる。従って、送信制御データについては 20Gbps の伝送速度を目標とする。

一方、受信モードでは 14bit (冗長 2bit 含む) の SAR-ADC の受信データを 30MHz サンプリング周波数で、サブアレイ 100 チャンネルとし、符号化を含め合計の伝送容量は 63Gbps の伝送容量が必要となる。そこで、目標としては、25Gbps の 3 レーン構成としてこれを実現することとする。

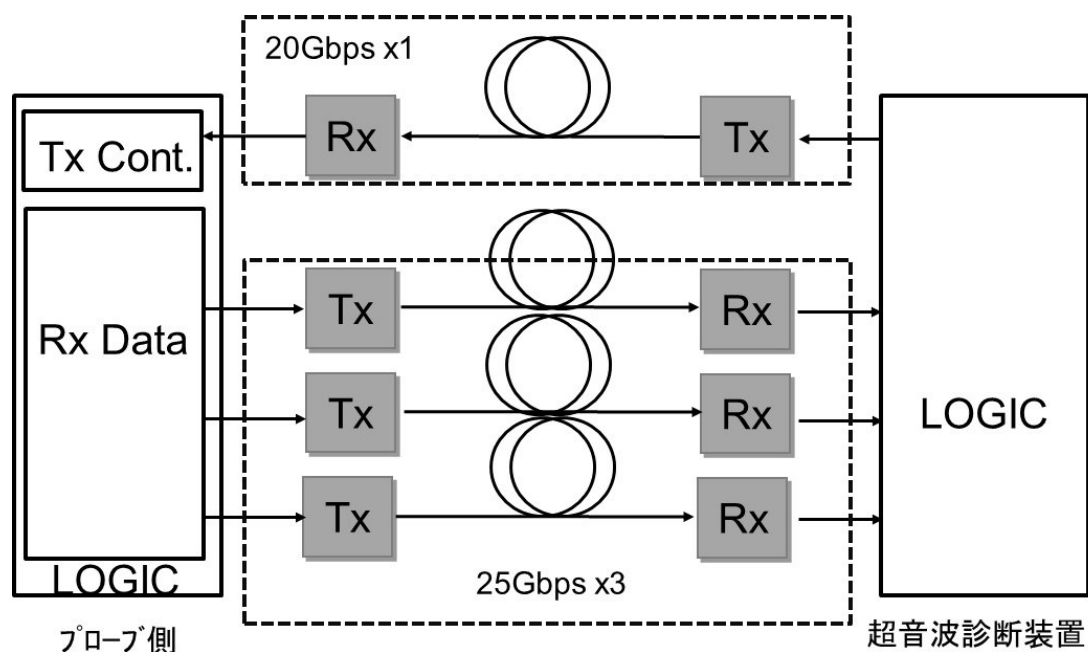


図 2.3 次世代マトリクスプローブのデータ伝送部構成と要求仕様

2.4 マイクロビームフォーマ

本節ではマイクロビームフォーマの回路技術について述べる。マイクロビームフォーマについてはこれまでいくつかの研究機関が先行研究を行っている [1] [2]。マイクロビームフォーマ内の遅延制御回路は、送受信信号の遅延時間を制御する Analog Random Access Memory (ARAM)。図 2.4(a)に ARAM の基本回路構成を示す [7]。ARAM は複数のキャパシタンスと書き込みと読み込みのスイッチで構成される。入力信号に対して、ライトスイッチ ($w_1 \sim w_n$) を順番にオンして、キャパシタに信号を書き込む。書き込んだキャパシタからリードスイッチ ($r_1 \sim r_n$) を順番にオンする。このオンするタイミングを変えることで信号に遅延を与えることができる。図 2.4(b)にライトとリードスイッチ制御のタイミングの一例を示す。入力信号に対してライト信号 1 (w_1) から順にオンして n 個目のキャパシタまで順にオンする。一方、リードスイッチ ($r_1 \sim r_n$) はライト信号から時間差 dt ずらしてオンさせる。これによって、図 2.4(c)に示すように、入力信号に対して微小時間 dt シフトさせた出力信号を生成することが可能となる。マトリクスプローブでは各振動子に接続されるマイクロビームフォーマ内の ARAM に対して、この遅延量を変化させることで任意の方向にビームフォーミングが可能となる。

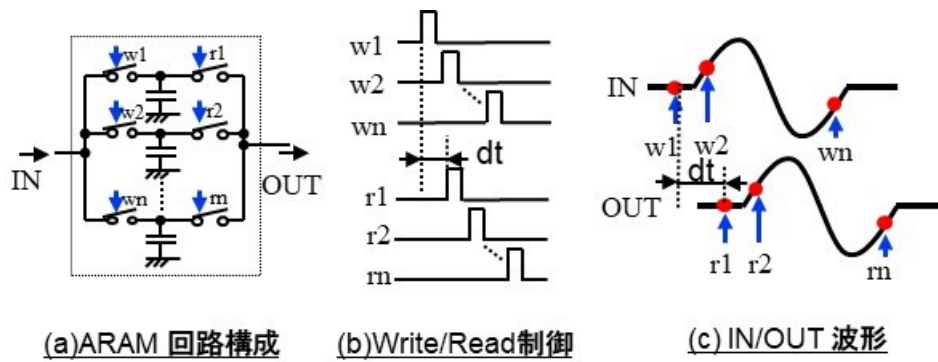


図 2.4 Analog Random Access Memory(ARAM)回路と基本動作原理

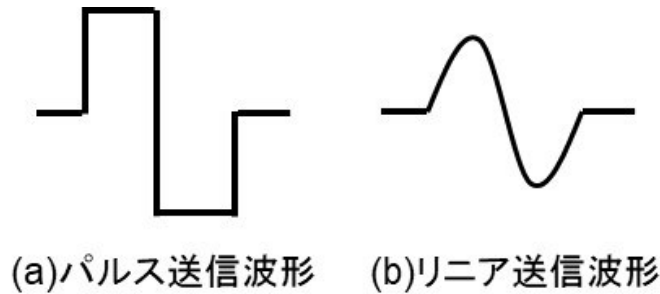


図 2.5 パルス送信方式(a)とリニア送信方式(b)の波形比較

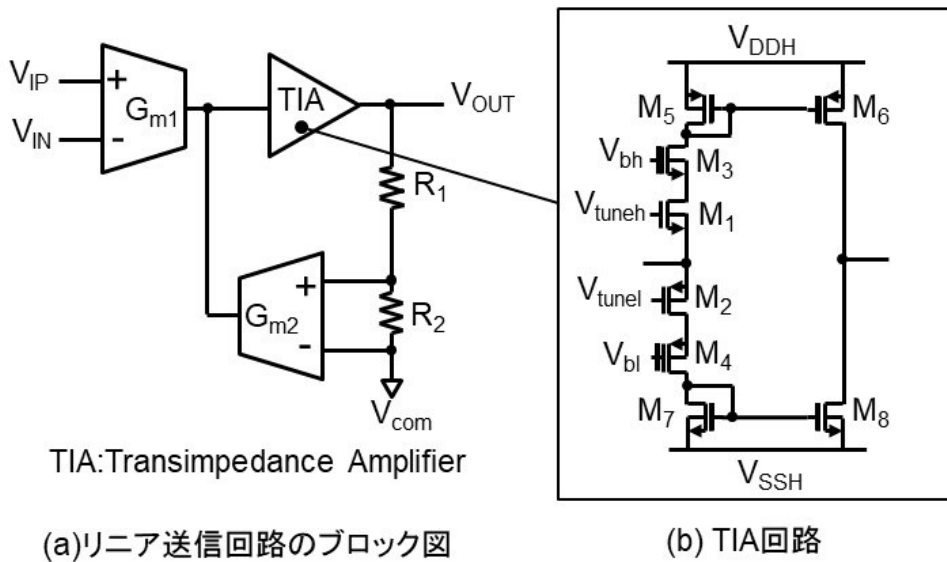


図 2.6 リニア送信回路のブロック図(a)と内部回路図(b)

本研究において、従来技術と異なる点が送信回路にリニア方式の送信回路を想定している点である。超音波診断装置において、送信回路の方式は図 2.5(a)に示すような離散値を出力するパルス送信方式と、図 2.5(b)に示すような入力信号に応じて任意の値を出力可能となるリニア送信回路方式の2つの方式が用いられている。パルス送信方式は離散値出力のため、デジタル回路で容易に送信信号が形成可能で、無信号時の待機電力が少なく、低消費電力化が可能となる一方、信号振幅が電源電圧に依存するため、B像やカラー撮像などといった撮像モードごとに振幅を変えるのが困難であった。振幅調整可能なパルス送信回路の研究も進んでいるが [1]、コンパウンドインパルスや正負非対称な波形を送信する非線形補正などの撮像方法 [4]が実現できないという課題がある。一方、リニア送信方式は任意の波形が生成可能で非線形補正などが容易に可能になる一方、消費電力が大きく、入力信号を生成するためにデジタル・アナログ変換器が必要となる。近年では、リニア方式の送信回路技術の低消費電力化に関する研究も進んでいる [8]。図 2.6 に超音波マトリクスプローブ向けのリニア送信回路の構成を示す [8]。図 2.6(a)には全体のブロック図で、入力差動信号 V_{IP} 、 V_{IN} に対して、相互コンダクタンスアンプ($Gm1$)で電流に変換し、TIA 部でレベルシフトして高圧信号に変換する方式である。フィードバックループにも相互コンダクタンスアンプ($Gm2$)を用いることで、フィードバック部も電流制御としている。図 2.6(b)には TIA の内部回路を示す。トランジスタ M1 および M2 のゲート電圧 V_{tuneh} および V_{tunel} によって入力インピーダンスが制御され、入力電流はレベルシフタ M3 および M4 を介して電圧信号に変換されたのちに、出力ドライブ部の M5 と M6 および M7 と M8 で電流信号として出力される。このような回路方式を用いることで、任意の入力信号に応じた高圧出力信号を出力可能となるリニア方式の送信回路が実現可能となる。そこで、本論文では送信回路にはリニア方式の送信回路を採用した。そのため、パルサ方式とリニア方式で大きく異なるのが入力信号である。パルサ方式は離散信号のため、デジタル回路からの制御信号のみで動作可能であったが [1]、リニア方式では入力のアナログ信号を増幅させるため、入力にアナログ信号を発生させる DAC が必要となる。

2.5 アナログ・デジタル変換およびデジタル・アナログ変換

図 2.7 にアナログ・デジタル変換回路(ADC)の開発動向を示す。主要国際学会での発表を分解能と入力信号周波数の関係を方式ごとにまとめたものである [9]。ADC には大きく分けて5つの方式、Flash 型、Pipe Line 型、Successive Approximation Register (SAR)型、離散(DT) $\Delta \Sigma$ 型、連続時間(CT) $\Delta \Sigma$ 型がある。超音波診断装置では、受信信号は信号周波数が 30MHz、分解能で 11bit 以上の性能が必要となる。その条件を満たす回路方式としては SAR 型もしくは連続時間 $\Delta \Sigma$ 型の方式となる。連続時間 $\Delta \Sigma$ 型の AD 変換器はアンチエイリアシングフィルタが不要で高速動作可能な方式であるが、内部で高次のフィードバックループを形成する必要があり安定性の面で課題が大きい。そのため、超音波診断装置に向け

ては SAR 方式の ADC が利用される。

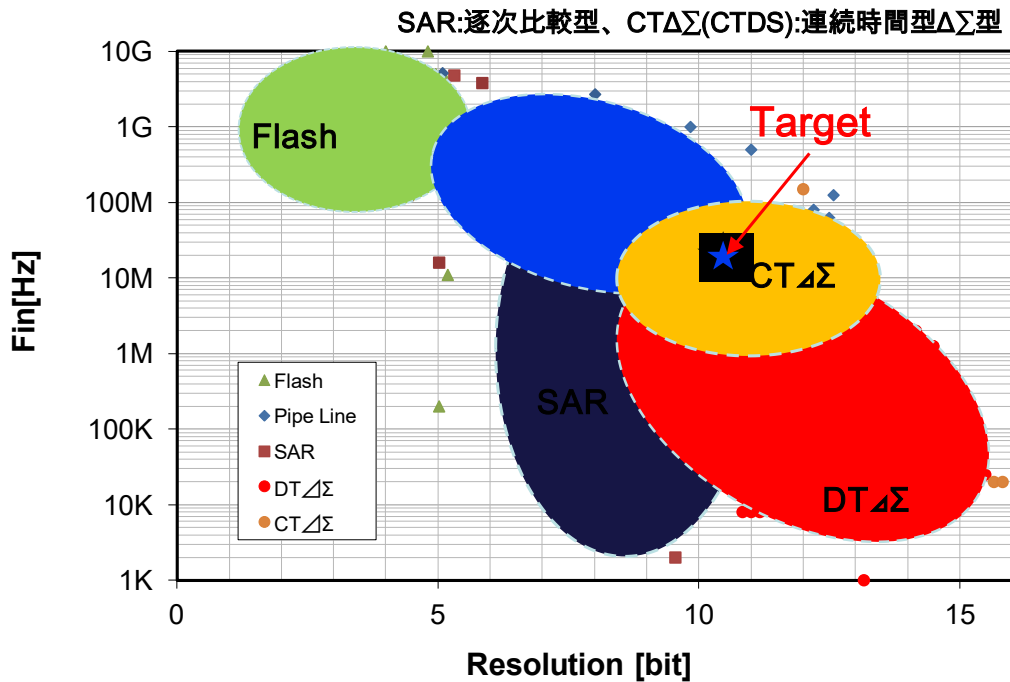


図 2.7 ADC の開発性能動向

図 2.8 に SAR-ADC の基本構成図を示す。入力 Track/Hold ブロックで入力信号をサンプリングして、それを内部 DAC から出力された基準信号 V_{DAC} とコンパレータで比較して、その結果を出力することでデジタル値へと変換する。このとき、内部には SAR-LOGIC と呼ばれる制御回路が搭載されており、内部のクロックに同期してコンパレータの出力結果を反映して DAC 出力を変化させ、これを複数回繰り返すことでデジタル値へと変換する。近年では出力値の変化に応じて DAC を切り替える非同期型の構成も登場しており、高速高精度な応答が可能となっている [10] [11]。

図 2.9 は 4bit の SAR-ADC の基本動作原理を示したものであり、これを用いて具体的な SAR-ADC の動作について説明する。入力信号に対して、あるサンプリングで Track/Hold 回路でサンプリングした入力信号レベルを V_{IN} とし、 V_{IN} の大きさは $1/4V_{REF}$ と $1/2V_{REF}$ の間にあったとする。MSB ではまず比較電圧を $1/2V_{REF}$ としてコンパレータで比較する、 V_{IN} は比較電圧よりも小さいため、出力はゼロとなり、比較電圧の DAC 出力 V_{DAC} を $1/4V_{REF}$ と ($=0 \times 1/2V_{REF} + 1/4V_{REF}$) とする。次に、BIT2 では入力電圧が $1/4V_{REF}$ より大きいため、コンパレータの出力は 1 となり、比較電圧 V_{DAC} を $3/8 V_{REF}$ ($=0 \times 1/2V_{REF} + 1 \times 1/4V_{REF} + 1/8V_{REF}$) とすると、入力電圧は比較電圧よりも低いため BIT1 は 0 となり、比較電圧 V_{DAC} を $5/16V_{REF}$ ($=0 \times 1/2V_{REF} + 1 \times 1/4V_{REF} + 0 \times 1/8V_{REF} + 1/16V_{REF}$) とする。 V_{IN} は比較電圧 V_{DAC} より大きいため、BIT3 は 1 となり、 V_{IN} に対する ADC 出力は 0101 となる。SAR-ADC は上記のように上位ビットから比較して入力値を確定させる回路方式である。こ

のような ADC の方式に対して、送信ではアナログ送信信号を生成するためにデジタル・アナログ変換器(DAC)が必要となる。DAC は抵抗ラダー方式、キャパシタ方式、電流出力方式の 3 方式があり、この中から最適な方式を選択していくこととなる。

超音波診断装置では同一の振動子で送受信を行うため、送信と受信モードを切り替える必要がある。図 2.10 に示すように、受信モードでは ADC が必要となり、送信モードでは提案方式ではリニア送信回路を採用したため DAC が必要となる。例えば、100 チャネルのサブアレイを持つマイクロビームフォーマ IC では ADC と DAC をそれぞれ 100 チャネル用意する必要があり、実装面積の増加が大きな課題となる。また、DAC 出力はサブアレイすべてのマイクロビームフォーマ内の ARAM を駆動するため、大容量負荷を駆動する必要がある。そのため、DAC 出力には大容量を駆動するバッファ回路が必要になる。

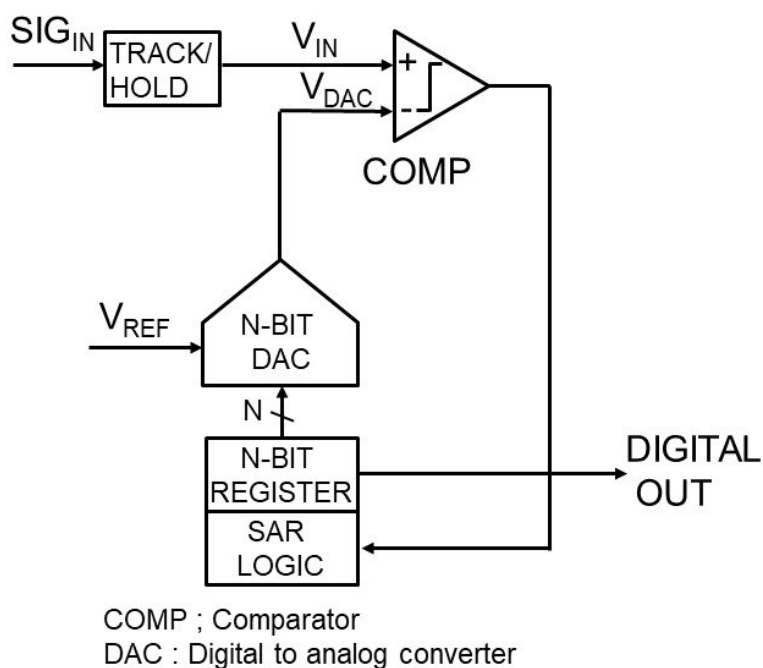


図 2.8 SAR-ADC の基本構成図

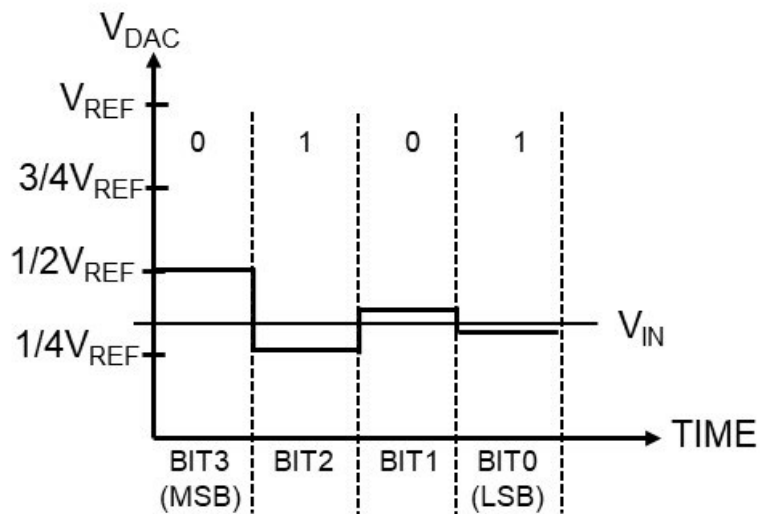


図 2.9 4bit SAR-ADC の動作原理

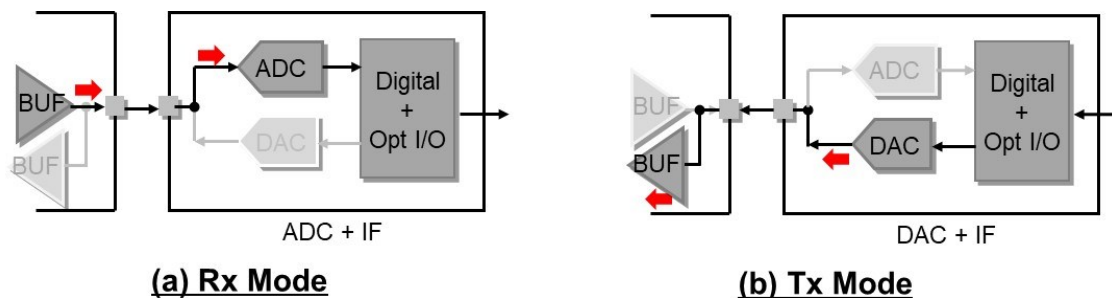


図 2.10 マトリックスプローブでの送信と受信モード比較

このバッファ回路では2次歪の低減を考慮する必要がある。超音波診断装置では Tissue Harmonic Imaging(THI)と呼ばれる生体内の2次歪を利用した撮像方法が主流となっている。基本波が生体内の微小距離 Δx だけ伝搬する際に生じる2次高調波成分 $\Delta P(x)$ は式(3.2)であらわされる。

$$\Delta P(x) = \frac{\left(\frac{B}{A}+2\right)P_0(x)^2\omega_0\Delta x}{4\rho_0C_0^3} \quad (3.2)$$

このとき ρ_0 は組織密度、 C_0 は組織に内の音速、 $P_0(x)$ は音圧である。すなわち2次高調波成分 $\Delta P(x)$ は生体組織の非線形パラメータ、基本波の周波数、伝搬距離に比例して、基本波成分の音圧の2乗に比例して増加する。

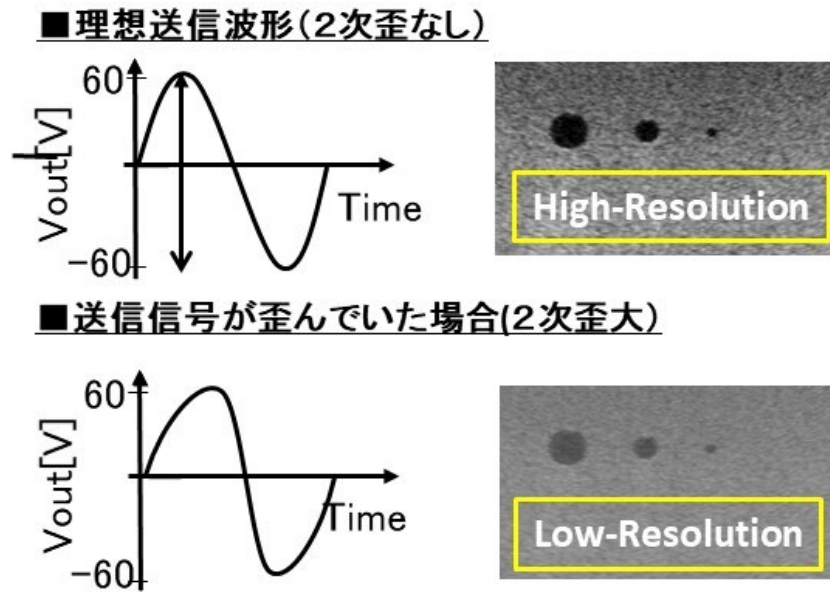


図 2.11 送信信号の歪と画像の関係

音圧の2乗に比例するという事は、フォーカス点からの反射（反射音圧大）と不要反射（反射音圧小）との差が大きくなり、グレーティングローブなどの不要反射の影響を低減できることを意味する。しかしながら、図 2.11 に示すように、元々の送信波形そのものの2次歪が大きいと生体内の歪成分が検出できずに S/N の低下を招くことになる。そのため、送信信号には低歪な回路が必要とされている。DAC 出力に ARAM 駆動用のバッファが必要となるが、画像改善にはここでの歪も抑制する必要がある。

2.6 まとめ

本章では大容量伝送を備えた次世代マトリクスプローブの構成を提案し、要素回路ブロックおよび技術課題について述べた。提案構成はマイクロビームフォーマ回路、ADC と DAC で構成される信号変換回路、高速伝送インターフェイス回路の3つの要素ブロックで構成された。マイクロビームフォーマではリニア送信に対応した送信回路を搭載するため、内部に DAC を必要とする。そのため、ADC/DAC ブロックにおいて送信用 DAC と受信用の ADC の両者が必要になり、実装面積が増加するという課題があった。そのため、ADC/DAC ブロックの面積を低減する新たな回路技術が必要であった。

次に、マトリクスプローブと装置本体間をデジタルデータ伝送とするため高速伝送回路技術が必要であった。送受信の信号伝送には送信制御のために 20Gbps の大容量受信回路技術、プローブ内の受信データを超音波診断装置本体側に送信するための 25Gbps×3 チャンネルの大容量送信回路が要求された。超音波診断装置では操作性の観点から細線同軸と

いう極細の同軸ケーブルを用いる必要があるため、従来の電気伝送ではケーブル損失により伝送距離の延伸が困難である。そのため、伝送損失が小さい光伝送による大容量高速伝送の実現が必要となる。

次章からはそれら技術課題を解決するための回路技術について述べる。

第3章 SAR-ADC の内部 DAC を時分割利用した送信ビームフォーミング回路技術

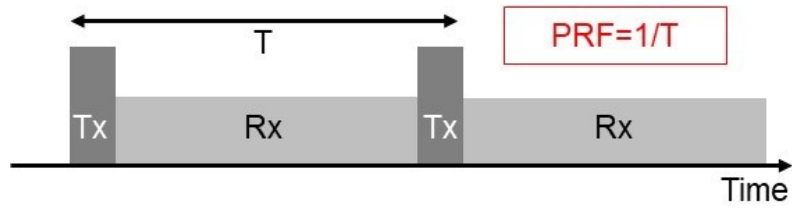
3.1 概要

第3章では、送信ビームフォーミング回路技術について述べる。本研究で提案した次世代マトリクスプローブでは、マイクロビームフォーマ内の送信回路にリニア方式を採用したため、任意の入力信号を発生させるデジタル・アナログ変換器が必要となり、受信信号をデジタル化するためのアナログ・デジタル変換器との混載によるチップ面積の増加が課題であった。本研究では、超音波信号の送受信信号処理では受信時間に対して、送信時間の比率が 1/20 程度と極端に短く、送受信が同時に行われることはないという超音波送受信信号処理の特徴に着目し、受信信号処理で用いている逐次比較型 ADC 内の電流 DAC を時分割利用し、送受信で併用する回路方式を提案した。これにより、送信専用の DAC が不要となり、チップ面積を低減可能となった。さらに、DAC 出力にサブアレイ内の ARAM を駆動するための低消費電力バッファと組み合わせることで実現した小面積の送信ビームフォーミング回路技術について述べる。

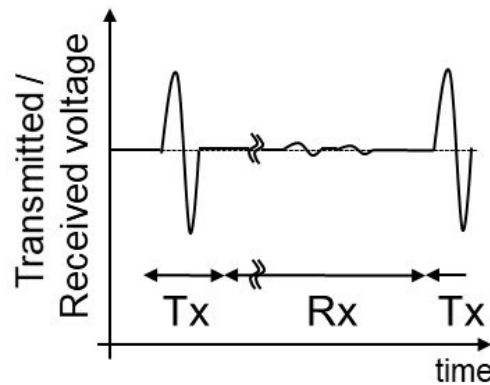
3.2 超音波診断装置の送受信信号処理

図 3.1 (a) は、超音波診断装置の送受信切り替えタイミングである Pulse Repeated Frequency (PRF) の模式図である。超音波診断装置では 1 回の送信に対して、フォーカスポイントまでの往復時間を受信時間として画像化を行うため、送信時間に対して受信時間の間隔は十分に長く、その比率は約 1 対 20 である。腹部などの深度方向に深い部分を撮像する場合はさらに長くなる。そのため、本研究で提案している次世代マトリクスプローブ構成において、マイクロビームフォーマ内のリニア方式の送信回路専用の DAC を用意することは、動作時間の観点からも非常に非効率であると言える。

また、もう一つの特徴として超音波信号処理では受信と送信が同時に発生しないという特徴がある。図 3.1 (b) に振動子での送受信波形を示すが、送信信号を発生させないと受信信号が発生しないため送受信同時動作は発生しない。以上の特徴を考慮した上で新たな送信ビームフォーミング回路技術を開発した。



(a) 超音波診断装置の送受信繰り返しタイミング



(b) 振動子での送受信波形

図 3.1 超音波診断装置の送受信の繰り返しタイミング(a)と超音波振動子の送受信信号波形(b)

3.3 SAR-ADC の内部 DAC を時分割利用した送信回路

超音波診断装置の受信に使用される ADC では、第 2 章で述べたように逐次比較型の ADC(SAR-ADC)が用いられている [9]。図 3.2 (a) は、電流 DAC を用いた ADC の回路構成を示す [12] [13]。この回路は、入力信号をサンプルホールド (S/H) 回路にバッファを介してサンプリング、コンパレータにて判定する機構となっている。SAR 判定クロックは内部の非同期ロジックによって生成される非同期型 SAR-ADC である。非同期ロジックによって決定された判定結果は、DAC にフィードバックされて再び判定する。この回路の特徴は、バッファ回路を DAC 出力とサンプリング容量の間に挿入することによって、前段回路のドライブ能力を低減し消費電力化を実現するとともに、電流 DAC を用いることで高速動作を実現している点である。

この非同期型 SAR-ADC が電流 DAC を用いていることは注目すべき点である。図 3.2 (b) は提案する送信 DAC の回路構成を示している。提案回路では送信区間で電流 DAC を専用ロジックから制御することによって、送信信号を生成し、送信専用のバッファ回路

(Buf2)を介してこの信号を取り出すことで送信ビームフォーミングを可能にしている [14]。SAR-ADC 内部で用いるバッファ回路は SAR 内部動作のために高速化が必要で、大容量の ARAM を駆動するためには適さない。このような構成により、Rx 用の ADC 内部の DAC とバッファを送信回路に適用することができる。

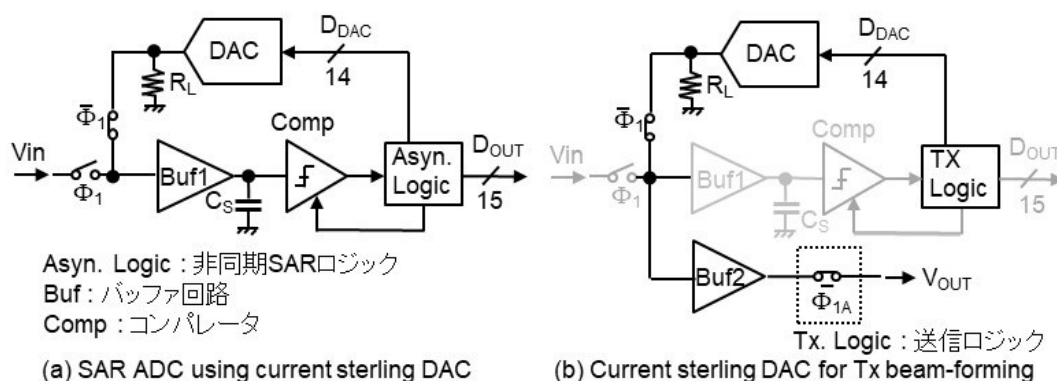


図 3.2 受信モードの電流 DAC を用いた SAR-ADC (a) と送信モードの超音波送信ビームフォーミング回路 (b) (©2018 IEEE)

3.4 DAC 出力部のバッファ回路技術

前節で述べたように、電流 DAC からの送信の取り出しには専用のバッファが必要であるが、要求される性能としては第 2 章で述べたように 2 次歪の低減が必要であると同時に、低消費電力かつ超音波信号の最大周波数 15MHz を達成する必要がある。また、GND 基準で出力される電流 DAC にも対応させる必要がある。GND 基準の入力信号でバッファ回路を構成させるためには Rail-to-Rail 構成の OPAMP を用いた回路構成もあるが、回路構成が複雑になり実装面積が増加するためソースフォロワを用いたバッファ回路を基準に回路検討を行った。図 3.3 (a) は、PMOS 入力のソースフォロワ回路を示している。この回路は素子数が少なく、ゼロボルトから動作可能である。トランジスタの相互コンダクタンスを $gm1$ とすると、ソースフォロワの出力インピーダンス R_{out1} は近似的に式 (3.3) で表される。

$$R_{out1} = \frac{1}{gm1} \quad (3.3)$$

出力抵抗は負荷に依存してゲインの低下を招くこととなり、バッファ回路として使用する場合は低インピーダンスが求められる。 $gm1$ を大きくすることにより、出力インピーダンスを低減することができるが、バイアス電流の増加と消費電力の大幅な増加につながる。そこで、図 3.3 (b) に示すように出力抵抗を下げたスーパーソースフォロワが提案されて

いる。スーパーソースフォロワ回路では、電流源 M3 と、PMOS トランジスタ M1 のドレインに接続された NMOS トランジスタ M2 が追加接続されている。このとき、M3 と M2 は負帰還で構成され、出力電圧が低下すると M2 のゲート電圧が低下し、出力電圧が上昇させる。すなわち、出力インピーダンスを低下させることができる。トランジスタ M1、M2 の相互コンダクタンスを $gm1$ 、 $gm2$ とし、トランジスタ M1 のドレイン・ソース間抵抗を $ro1$ とすると、この回路の低周波での出力抵抗は式 (3.4) で与えられる。

$$R_{out2} = \frac{1}{gm1 \cdot gm2 \cdot ro1} \quad (3.4)$$

次に、入力ダイナミックレンジと出力ダイナミックレンジについて説明する。スーパーソースフォロワ回路では、出力インピーダンスは低下するが、ダイナミックレンジが狭くなるという欠点がある。スーパーソースフォロワ回路の出力ダイナミックレンジは、出力電圧を V_{out} 、電源電圧 V_{DD} 、ゲート・ソース間電圧を V_{GS} 、ドレイン・ソース間電圧を V_{DS} とすると、式 (3.5) のように表すことができる。

$$V_{GS2} + V_{DS1} < V_{OUT} < V_{DD} - V_{DSc} \quad (3.5)$$

ここで、 V_{DSc} は、バイアス電流 I_b のドレイン・ソース電圧である。入力のダイナミックレンジは M1 のゲート・ソース電圧をレベルシフトさせたものであり、 $V_{GS1} = V_{GS2}$ と仮定すると、入力のダイナミックレンジは式(3.6)で表される。

$$V_{DS1} < V_{IN} < V_{DD} - V_{DSc} - V_{GS1} \quad (3.6)$$

ダイナミックレンジが低下しているのに加えて、0V から入力信号を受け付けることができなくなる。電流 DAC と接続した場合、ゼロバイアスの信号を入力することができなくなることを意味する。

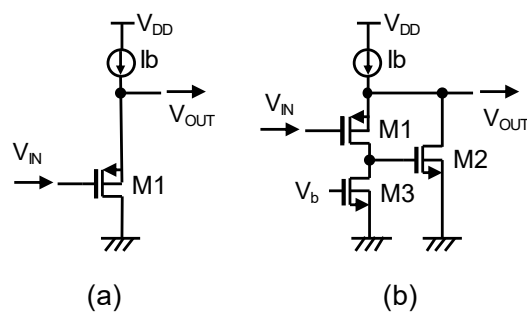


図 3.3 ソースフォロワ回路 (a) とスーパーソースフォロワ回路 (b)

上記で説明したように、スーパーソースフォロワ回路は、ダイナミックレンジが狭くなるという欠点があるが、その問題を改善した回路が提案されている [15]。図 3.4 (a) は、ダイナミックレンジが改善されたスーパーソースフォロワ回路である。この回路は、電流源 I_{B2} と NMOS トランジスタ M4 とのカスコード接続を介してトランジスタ M5 のゲートを

制御することにより、ダイナミックレンジを拡大可能となる。その結果、ダイナミックレンジは、式(3.7)および式(3.8)のように表される。

$$V_{DS1} + V_{DS3} < V_{OUT} < V_{DD} - V_{DSc} \quad (3.7)$$

$$V_{DS1} + V_{DS3} - V_{GS1} < V_{IN} < V_{DD} - V_{DSc} - V_{GS1} \quad (3.8)$$

$V_{GS} > 2V_{sat}$ から、この回路は 0V から入力することができ、入力と出力のダイナミックレンジが拡大されている。また、出力インピーダンスは、式 (3.9) に示され、

$$R_{out3} = \frac{1}{g_{m1} \cdot g_{m5} \cdot r_{o1}} \quad (3.9)$$

しかしながら、消費電力増加という問題が残る。特に、トランジスタ M5 に流れる電流は消費電力を増加させる。この問題を解決するための提案回路を図 3.4 (b) に示す [16]。提案回路では、NMOS トランジスタ M5 を PMOS トランジスタに変更することにより、M5 に流れる電流を全てソースフォロワのトランジスタ M1 側に流すことができ、バイアス電流 I_{B1} を低減して電力を抑制することができる。トランジスタ M1 に流れるバイアス電流を I_{B0} 、 I_{B0}' とすると、それぞれ式(3.10)及び式(3.11)で表される。

$$I_{B0} = I_{B1} - I_{B4} \quad (3.10)$$

$$I_{B0}' = I_{B1}' + I_{B4}' \quad (3.11)$$

このとき、ソースフォロワの出力インピーダンス $1/g_m$ が同じになるように $I_{B0} = I_{B0}'$ を設定し、トランジスタ M4 に流れる電流 I_{B4} 、 I_{B4}' が等しい場合には、バイアス電流 式 (3.12) で表される。

$$I_{B1} = I_{B1}' + 2I_{B4} \quad (3.12)$$

消費電流を比較すると、提案された回路は I_{B4} によって低減することができる。次に、負荷容量の駆動能力について述べる。ソースフォロワ回路では、ソースまたはシンクのいずれかがバイアス電流によって制限され、大容量を駆動する大きな信号応答が必要なアプリケーションでは駆動能力によって周波数特性が制限される。この問題を解決するためにシンクドライバを備えた AB 級スーパーソースフォロワ回路を図 3.5 に示す。提案回路はレベルシフト回路 M6、M7 と NMOS シンクドライバ M8 で構成される [17]。図 3.4 (b) では、電流駆動能力が I_{B3} で制限されていたが、シンクドライバによってシンク能力が向上し、

大容量負荷を駆動することができた。容量 C_f は位相補償のために接続されている。

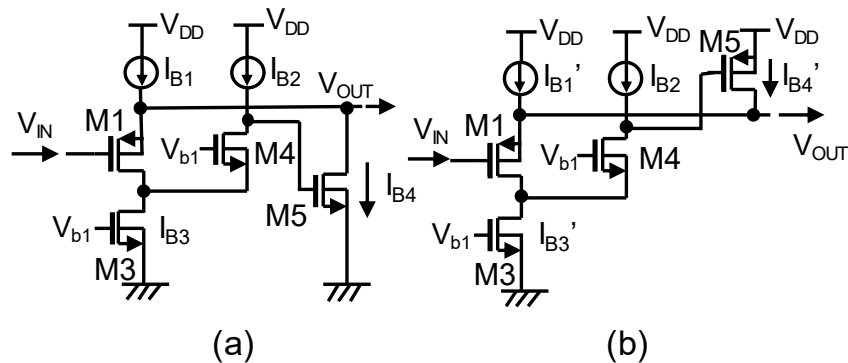


図 3.4 ダイナミックレンジを拡大したスーパーソースフォロワ回路(a)と低消費電力化したスーパーソースフォロワ回路(b)

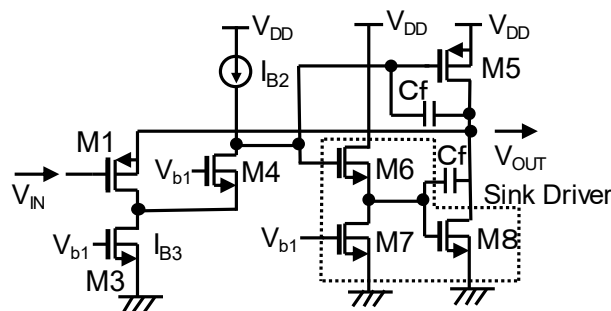


図 3.5 シンクドライバを備えた AB 級スーパーソースフォロワ回路

提案した AB 級スーパーソースフォロワ回路を、65nmCMOS プロセスの高電圧トランジスタを用いて設計検証をおこなった。

まず、提案したシンクドライバの効果を確認するために、駆動能力の検証を行った。図 3.6 に示すように、負荷電流を $-250\mu\text{A}$ から $250\mu\text{A}$ を変化したときの電流能力と出力電圧の関係をシミュレーションにより確認した。提案回路は出力電圧が負荷電流に対して一定となっているが、シンクドライバ無しでは出力電圧が負荷電流 $-100\mu\text{A}$ から変化している。つまり、シンクドライバによって AB 級動作できていることが確認できた。また、図 3.7 に負荷容量と 2 次歪高調波の変化を示す。このとき、周波数は 5MHz 、入力信号レベル 800mVpp の正弦波を入力信号としている。シンクドライバが無い場合、 -40dBc 以下の 2 次高調波歪の仕様を満足するためには負荷容量は 5pF でされるが、シンクドライバを付加することで、負荷容量に対する 2 次高調波歪みの変化は小さく、約 20pF の負荷容量まで駆動可能である。

次に、図 3.8 に従来技術と提案回路の最大入力ダイナミックレンジの比較を示す。入力信号レベルに対する 2 次高調波歪の変化を示しており、入力信号は 5MHz 、負荷容量は 15pF

である。提案回路はゼロボルトの信号を基準として入力するが、スーパーソースフォロワ回路(SSF)はゼロボルト基準で動作するのが困難であるため、 0.25V のオフセットを加えて信号を入力している。シミュレーション結果を比較すると、スーパーソースフォロワ(SSF)回路とダイナミックレンジを拡張したスーパーソースフォロワ(DRE-SSF)の2つの従来回路は2次歪高調波を -40dBc に抑制可能な入力範囲が 0.25Vpp と 0.62Vpp であるのに対して、提案回路では 0.95Vpp まで入力が可能となっている。これはダイナミックレンジを拡大した回路方式を採用し、さらにシンクドライバ回路により電流の駆動能力を向上させたことにより入力ダイナミックレンジが拡大できていることを示している。

最後に、提案した回路の負荷容量に対する周波数特性を図 3.9 に示す。負荷容量が 15pF の場合、 -3dB のカットオフ周波数は 42MHz となり、超音波信号の最大周波数が 15MHz 程度であることから十分な特性が得られている。

消費電流は $I_{b2}=38\mu\text{A}$ 、 $I_{b3}=150\mu\text{A}$ 、M7 に流れる電流 I_{b7} は $23\mu\text{A}$ 、総消費電力は約 0.36mW となる。これは、100 チャンネル以上の大規模なシステムでも約 36mW であり、低消費電力動作を実現できた。

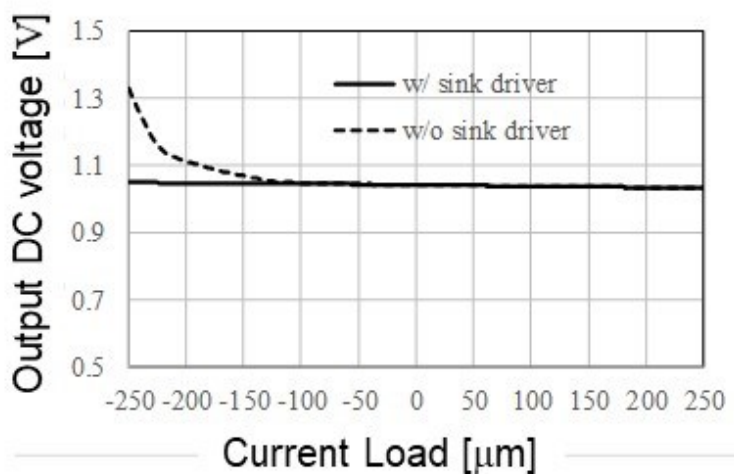


図 3.6 負荷電流と出力電圧の関係

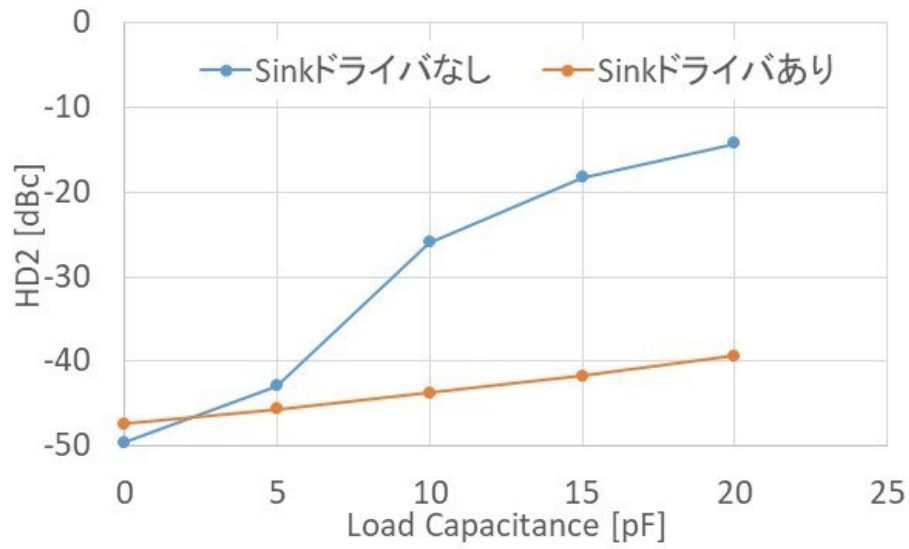


図 3.7 負荷容量と2次歪の関係

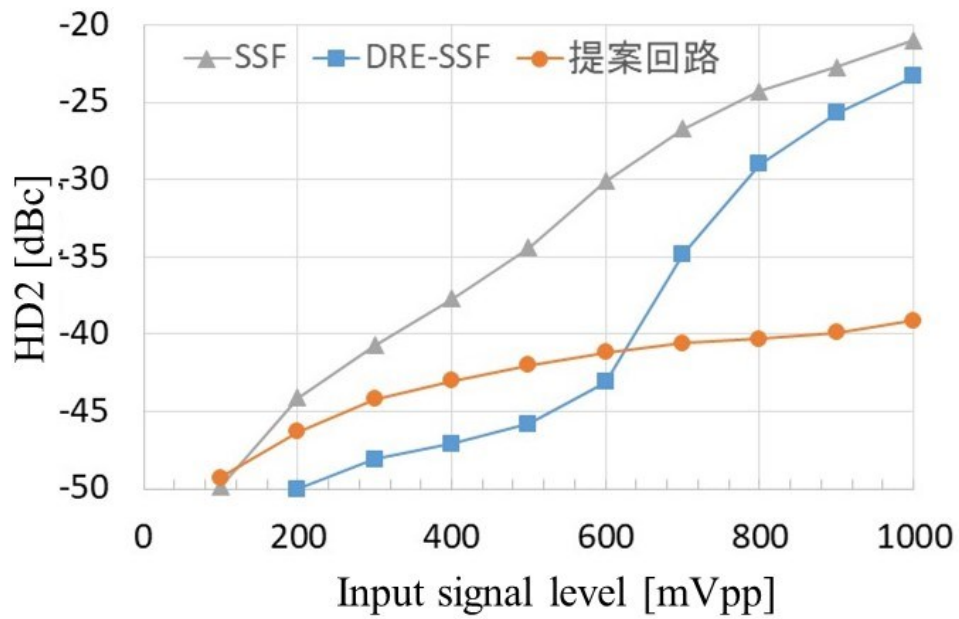


図 3.8 入力信号レベルと2次高調波特性の関係

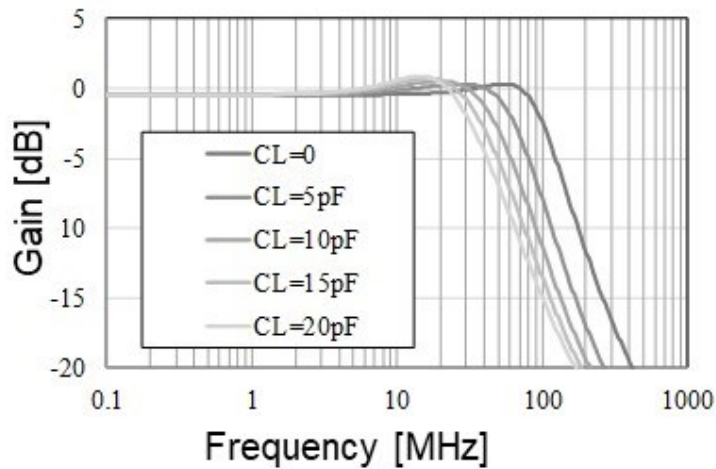


図 3.9 提案回路の負荷容量に対する周波数特性変化

表 1 に本研究で提案したバッファ回路方式と先行研究の比較を示す。小信号周波数特性は SSF 方式に対して、本研究の提案回路、DRE-SSF 方式ともに帯域が劣るが、これは内部のフィードバック部に発振補正用の位相補償容量が追加されているためである。しかしながら、超音波での周波数帯域が最大で 15MHz 程度であることを考えると、提案方式は 45.4MHz となっており十分といえる。また、負荷容量に 15pF をつけ、5MHz の正弦波を入力した際の入力ダイナミックレンジは提案方式が 850mVpp、SSF が 280mVpp、DRE-SSF が 640mVpp となっている。これは、AB 級動作とすることで、大容量が駆動可能となり、かつダイナミックレンジが SSF に対して拡大していることを意味する。また、消費電力の面では、本研究の提案方式が最も低く、バイアス電流の再利用による電力低減効果と AB 級動作としたことで、バイアス電流を減らしても大容量負荷が駆動できることを示している。一方、実装面積では、提案回路および DRE-SSF とともに実装面積が拡大している。これは内部の位相補償容量が大きな要因であり、シンクドライバ回路側にも位相補償容量が必要となることから、提案方式がさらに面積が増加している。しかしながら、歪特性の改善やダイナミックレンジ、消費電力を鑑みると提案方式が、送信ビームフォーミング回路への適用に最適であると考えられる。

表 1. バッファ回路の従来技術との性能比較

項目	Unit	本研究	SSF	DRE-SSF	Conditions
小信号周波数特性	[MHz]	45.4	564	55.4	-3dB 帯域
ダイナミックレンジ	[mVpp]	900	280	640	CL=15pF, 5MHz
消費電力	[mW]	0.36	0.49	0.56	無信号時
実装面積	[μm^2]	1350	270	850	

3.5 超音波送信ビームフォーミング回路

続いて、送信ビームフォーミングへの応用を検討した。まず、SAR ADC 内の DAC を時分割利用したときに問題となるのが、冗長ビットの影響である。冗長性は、SAR ADC の精度向上のために必要となっている [18]。ベータ表現と呼ばれる冗長 M ビットを含む N ビットの各バイナリウェイトは、式(3.13)で表される。

$$X_N = \alpha \cdot \beta^N \quad (3.13)$$

ここで、 β は $2^{(M/N)}$ であり、 $1 < \beta < 2$ の範囲をとり、 α は $(\beta-1)$ で表される。14 ビット SAR ADC で 2 ビットを冗長化すると、各ベクトルは [3324 1835 1013 559 309 170 94 52 29 16 9 5 3 1] となる。これらの冗長ビットを含む DAC を入力コードに応じて動作させた結果を図 3.10(a)に示す。これらの結果からわかるように、冗長ビットがあると入力コードとの関係から線形特性とならない。そこで、すべての組み合わせから、k 近傍法アルゴリズムを使用して、最小ステップを単調増加させてデータを再配置するデータセットを検索した。図 3.10(b)は、再配置後の出力コードと理想値との比較を示す。この組み合わせによる最大値は 5057 であり、これは 12 ビット以上の精度が達成できることを意味する。

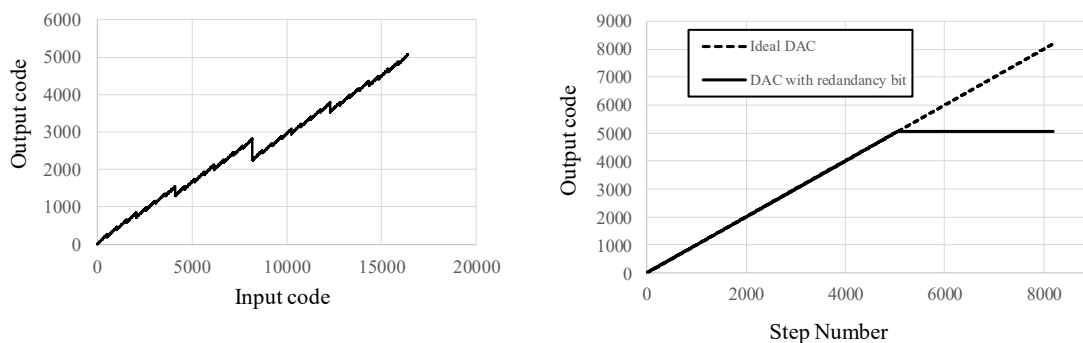


図 3.10 14bitDAC の(a) 入出力コード特性と (b) コード変換後の入出力コード
(©2018 IEEE)

続いて、SAR ADC と時分割利用する電流 DAC について述べる。図 3.11 に本研究で用いた電流 DAC の回路図を示す。1.8V の高電圧トランジスタを DAC の電流源として使用した。出力インピーダンスを改善するために、カスコード接続を使用した。スイッチは、3 つの値を出力できる差動タイプの回路を用いた。この時、送信モードでは単相出力で使用する

ため、出力の片側に抵抗負荷を接続し、ゼロボルト基準の出力を生成する。低電圧動作させるためのバイアス電圧の印加回路を図 3.12 に示す。電流 DAC トランジスタのドレイン・ソース電圧を増加させると、ダイナミックレンジが減少する。逆に、ドレイン・ソース間電圧を下げると、トランジスタが線形領域に入り出力インピーダンスが低下する。したがって、図 3.12 に示すように、固定バイアス法を適用した。トランジスタ M_0 は、電流 DAC トランジスタのバイアス電圧を決定する。したがって、OP1 とトランジスタ M_1 からなる帰還ループにより、トランジスタ M_0 のドレイン・ソース間電圧 V_{DS1} は固定される。 V_{DS1} は、 R_{REF1} と I_{REF1} によって決定される。また、 M_1 のゲート電圧は、電流 DAC のカスコードトランジスタのバイアス電圧 V_{B2} に設定されている。 M_0 のバイアス電流はまた、トランジスタ M_0 、 M_1 、 M_4 、OP2 および基準抵抗 R_{REF2A} からなる別のフィードバックループによって I_{REF2} に設定される。 R_{REF1} と R_{REF2} が等しく、電流ミラー M_3 と M_4 が理想的に動作するように設定すると、 I_{REF2} はフィードバック効果により M_0 を流れる。以上の動作により、電流 DAC のバイアスが固定され低電圧動作が可能となる。このバイアス回路は、電流ステアリング DAC の上位ビット (H0~H6) と下位ビット (L0~L6) にそれぞれ配置される。

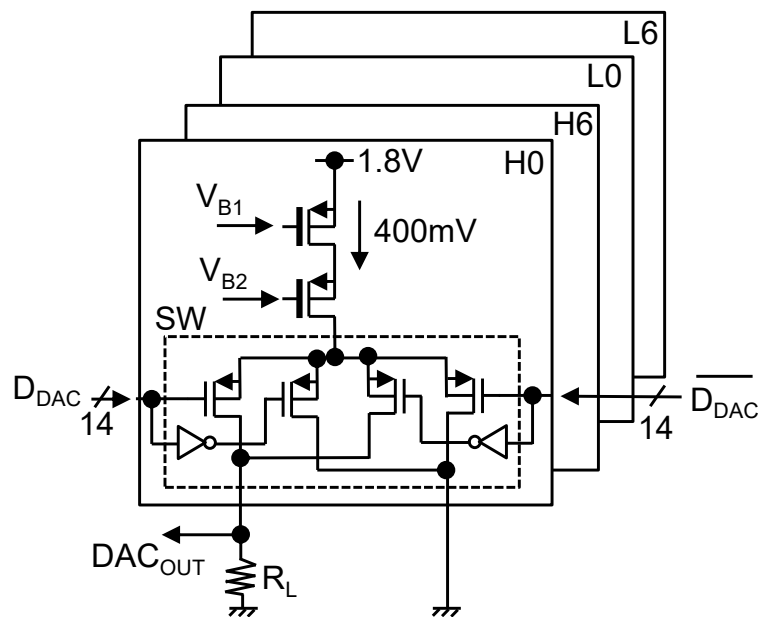


図 3.11 低電圧動作電流 DAC 回路(©2018 IEEE)

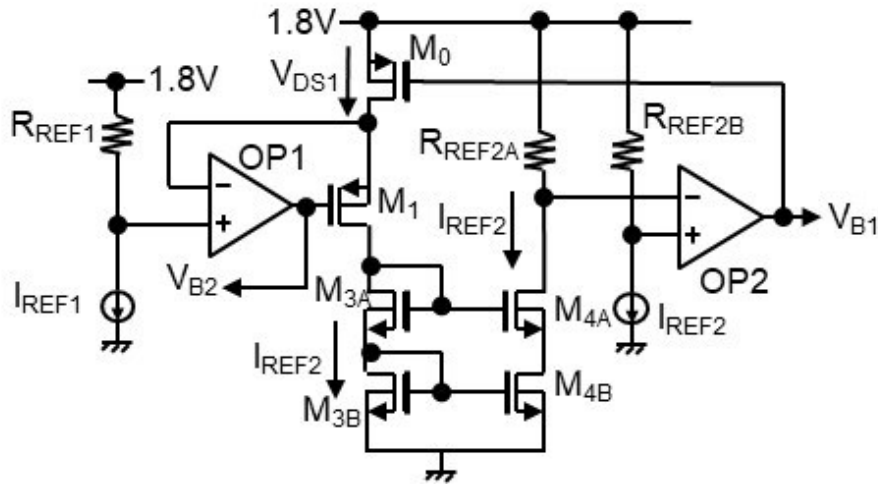


図 3.12 基準バイアス回路(©2018 IEEE)

提案回路は、65nm CMOS プロセスの HV トランジスタ（最大 1.8V）を用いて設計、検証を行った。電流 DAC とバッファ出力の過渡応答波形を図 3.13 に示す。このとき、出力設定はフルダイナミックレンジに対応するように設定されており、送信周波数は 5MHz でした。遅延回路とクロックを共有することを考慮すると、DAC のクロック周波数を 80MHz とした。バッファ出力ではサンプリングによる出力変化がフィルタリングされて正弦波として出力されているのが確認できる。この時、24 チャンネルのサブアレイに配置される ARAM を考慮するとバッファの負荷を 15pF に設定した。

図 3.14 は、送信ビームフォーミングの検証回路図である。DAC 出力からバッファを介して、24 チャンネルの ARAM に接続され、ARAM の出力には高圧の送信アンプ、そして超音波振動子が接続される。送信アンプには 46dB のゲインを持つ理想的モデルを用いた。振動子モデルは、6dB の帯域幅に 15MHz を有するモデルを使用した。図 3.15 に振動子端での FFT 結果を示す。二次高調波歪みは 47.8dB を達成し、THI に十分な性能を達成することができた。また、SNR が 67.8dB であり、11 ビットの理想的な DAC に対応することを示している。12bit 相当の DAC の SNR が理想的値から減少する理由は、DAC 回路の出力インピーダンスが出力電圧によって変化するためである。しかしながら、この S/N は、超音波応用としても十分な性能といえる。また、DAC と提案したバッファ回路の消費電力は、Tx と Rx の時間比を 20 : 1 として 1.1mW / CH であった。

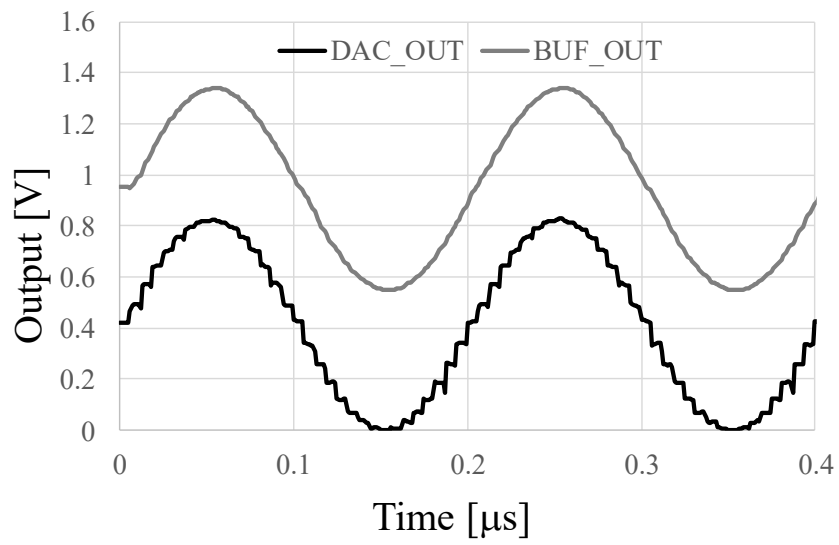


図 3.13 電流 DAC 出力とバッファ出力波形(©2018 IEEE)

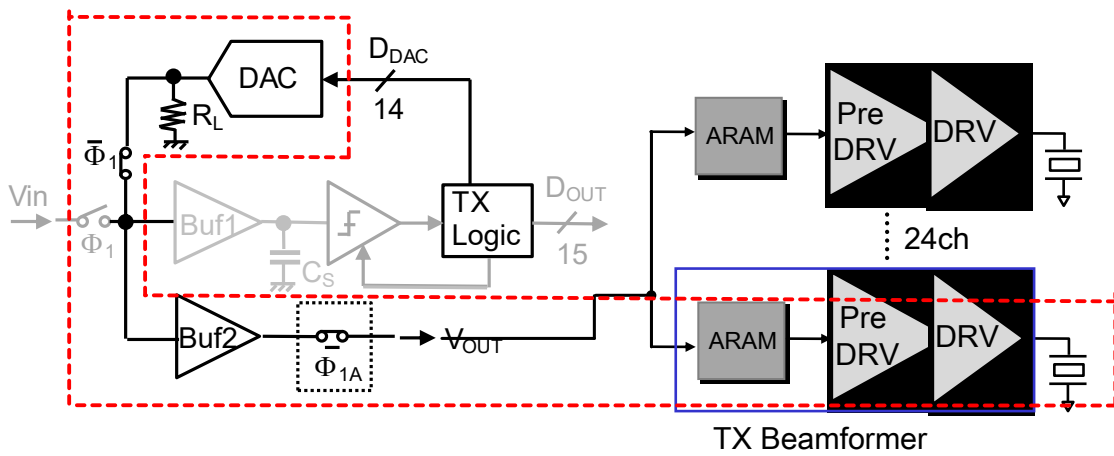


図 3.14 送信ビームフォーミング検証回路図

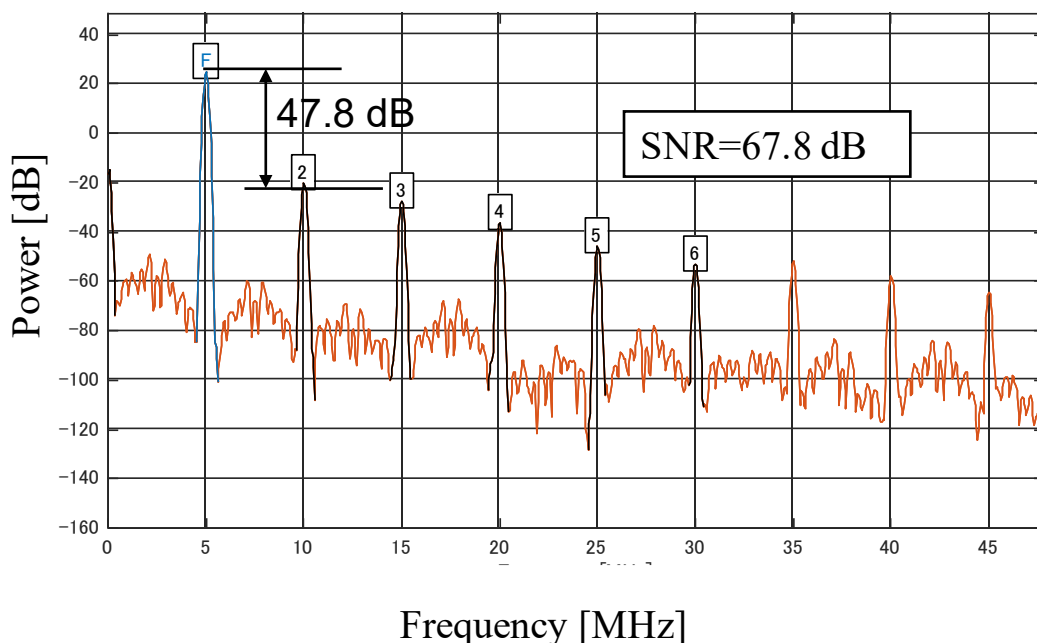


図 3.15 超音波振動子端での FFT 結果 (©2018 IEEE)

本研究で提案した DAC 部のレイアウト配置図を図 3.16 に示す。提案 DAC はバイアス部、DAC 本体、出力抵抗部の構成で面積が $220\mu\text{m} \times 120\mu\text{m}$ となっている。さらに、本研究で提案したバッファ回路のレイアウト配置図を図 3.17 に示す。バッファ回路のレイアウト面積は $50\mu\text{m} \times 27\mu\text{m}$ となっている。表 2 に本提案回路方式による面積削減効果をまとめる。従来、送信の SAR-ADC と送信ビームフォーミング用 DAC それぞれに必要な DAC 回路が一つで動作可能となる。そのため、送信ビームフォーミングで必要であった DAC が不要となるため、サブアレイチャンネルを 100 チャンネルとすると、送信回路(Tx)の面積が 2.78mm^2 から 0.14mm^2 となるため 95.1%の面積を削減することが可能となる。送受信で考えると、受信回路(Rx)は電流 DAC を用いた非同期型 SAR-ADC [12]の実装面積を参照しており、受信回路部については本研究でもそのままの実装を考えおり面積は変わらない。そのため、送受合わせた実装面積の削減率は 28%となった。

表 2 マトリクスプローブ向け ADC と DAC の面積比較

ブロック	単体面積 [mm ²]	CH数	トータル面積[mm ²]		
			従来技術	本研究	
Rx	ADC本体	0.067	100	6.67	6.67
Tx	DAC本体	0.026	100	2.64	0.00
	バッファ回路	0.001	100	0.14	0.14
TOTAL				9.45	6.81

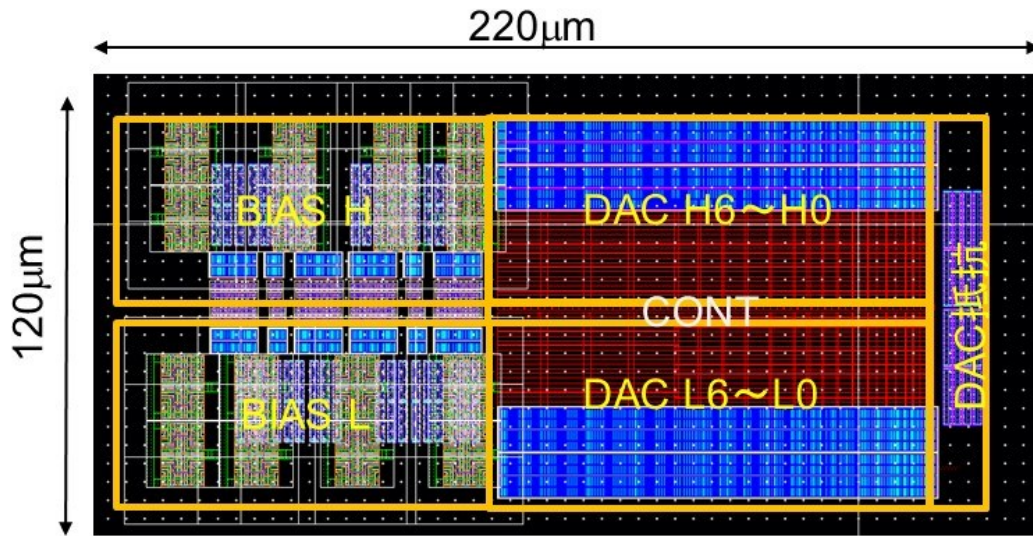


図 3.16 提案 DAC のレイアウト

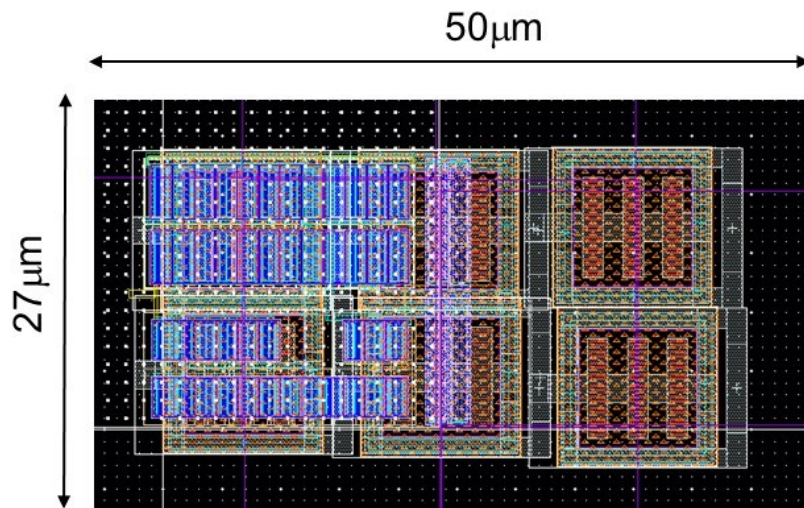


図 3.17 提案バッファ回路のレイアウト

3.6 まとめ

本章では SAR-ADC の内部 DAC を時分割利用した新たな送信ビームフォーミング回路方式を提案し、さらに次段の ARAM を駆動するためのバッファには、ゼロバイアス基準で動作可能で、大容量を駆動可能とするダイナミックレンジを拡大した AB 級動作可能なスーパーソースフォロワ回路技術を開発した。提案回路は低電圧動作可能な電流 DAC とそれを動作させるためのバイアス回路と組み合わせて送信ビームフォーミングの基礎特性を検証した。シミュレーションでの性能検証の結果、2 次歪 47.8dBc、SNR67.8dB を実現し、

マトリクスプローブ搭載への見込みを得た。本提案方式によって、送信専用の DAC が不要となり、受信で用いる SAR-ADC のみで送受信信号処理が可能となるため、課題となっていた送受信信号に用いる ADC/DAC の面積増加を抑制することが可能で、実装面積を 95.1% 低減可能な見込みを得た。また、送受信を合わせた ADC および DAC 部での面積削減効果は 28% となり、面積削減に有効な回路方式であるといえる。

第4章 高速小型光送信回路技術

4.1 概要

第4章では、大容量高速伝送技術の実現に必要な光送信回路技術について述べる。本研究で提案した次世代マトリックスプローブでは超音波診断装置本体とのインターフェイスをデジタル化した。そのため、マトリクスプローブ側の受信アナログ信号をADCでデジタル化して本体側に送信する高速大容量光送信技術が必要となる。大容量高速光送信を実現するためには送信回路の高速化と共に、低面積、低消費電力化が要求される。本章では、非対称エンファシスにより光素子の非線形性を補正し高帯域化を実現し、さらに高電圧でドライブ可能な光送信回路の回路構成について述べる。

4.2 光送信回路技術

サーバやルータなどの情報通信機器に加えて、複数のセンサを備えた医療画像診断システムやIoTシステムでは、データ量の増加に伴い、内部のデータ伝送容量を向上させる必要がある。従来、このような要求は、電気伝送の信号速度を上げることによって満たされてきた [19]。しかしながら、信号速度の増加に伴い、信号配線の損失が増加するため、伝送容量を向上させるには複雑な信号調整技術（シグナルコンディショナ）が必要とされる。さらに、信号伝送システムの設計として、パッケージ、ボード、コネクタなどの電気信号線および部品のインピーダンス不整合を低減する必要があり、かなりのコストが必要とされる。これらの問題を解決するために、垂直共振器面発光レーザ（VCSEL : Vertical Cavity Surface Emitting LASER）を直接変調させた、高密度光伝送技術が開発されている [20] [21] [22] [23] [24] [25] [26]。

図 4.1 は VCSEL を用いた光送信回路の基本動作を示している。VCSEL を用いた直接変調型の光通信では、バイアス電流 I_{bias} と変調電流 I_{mod} からなる駆動電流 I_{DRIVE} が必要である [27]。図 4.1 (a) に示すようなアノード接地型送信方式では、カソード端子から駆動電流 I_{DRIVE} を印加する。比較のため、図 4.1 (b) にカソード接地型の送信方式を示す。カソード接地型はアノード端子から駆動電流 I_{DRIVE} を印加する。VCSEL の光発光には、一般的に 2V に近い閾値電圧と 70Ω 程度のインピーダンスを有する [28] [29] [30]。したがって、アノード接地型では VCSEL のアノード供給電圧を制御することにより、カソード側の電圧を低く設定することが可能となり、微細プロセスの CMOS トランジスタから駆動電流を直接供給することができる。それによって、低電圧動作可能でかつトランジスタの寄生容量を低減可能なため、アノード接地型の送信方式が高速大容量伝送を実現するためには有効である [20] [21] [31] [32]。しかしながら、広く普及している n 基板構造の VCSEL 素子はカソード側が共通端子として接続されているため、複数チャンネルの大容量光通信にアノー

ド接地型の送信方式を適用することは困難である [33]。チャンネルごとに VCSEL 素子を分割し、個々の VCSEL チップで光モジュールを構成することは可能だが、実装スペースの増加によりモジュールサイズが増大するため小型化には不向きである。したがって、VCSEL 送信回路は、広く使用される n 型基板の VCSEL アレイチップを使用し、モジュールサイズを縮小することができるカソード接地型送信回路を採用する必要がある。それによって、VCSEL ドライバ回路では、VCSEL の閾値電圧以上で駆動電流を印加する必要があるため、高電圧から駆動電流を印加する必要がでてくる [34] [35]。VCSEL ドライバ回路は、高電圧トランジスタを必要とするが、高電圧トランジスタは寄生容量が大きく、送信帯域幅を低下させることになる。多チャンネル高速光伝送の場合、VCSEL ドライバ回路は大きな寄生容量と高速動作という高電圧トランジスタの矛盾を解決する必要がある。

さらに、もう一つの技術課題として直接変調型の VCSEL を用いた光通信の場合、電気伝送とは異なる別の技術的課題がある。VCSEL の光特性は立ち下がり時間は立ち上がり時間よりも長くなる傾向があるため、VCSEL ドライバは、この非線形特性を補償する必要がある [21] [22] [23] [36]。

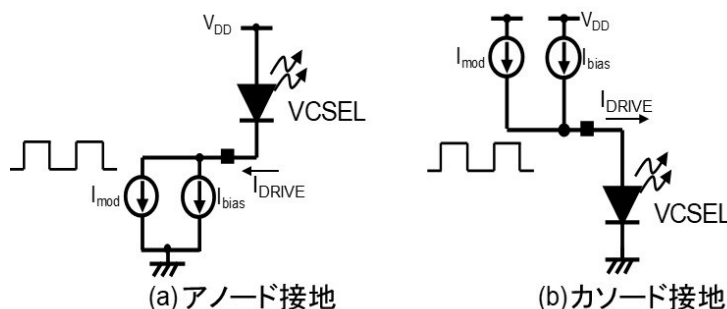


図 4.1 直接変調型の VCSEL ドライバ構成 (©2017 IEICE)

4.3 非対称エンファシス補正技術

図 4.2 (a) は、2-TAP のプリエンファシスを備えた VCSEL ドライバのブロック図である [37]。VCSEL ドライバの入力信号 (P_IN および N_IN) は、プリドライバ (Pre-DRV) を通るメインパスと、一定時間遅延回路 τT を介してプリエンファシスパスに分割される。メインパス上のメインドライバ (MDRV) は変調電流 (I_M) を提供し、プリエンファシスパス上のエンファシスドライバ (EDRV) は、 I_M に対して逆位相のエンファシス電流 (I_{EMP}) を提供する。これによって I_{EMP} の振幅は、 I_M に関して縮小されるがエンファシス信号が生成される。バイアス電流 (I_{BIAS})、 I_M 、および I_{EMP} は、出力において加算され、VCSEL に供給される。

遅延経路では、入力差動信号 (D_{IN}) が図 4.2 (b) に示すように遅延回路によって遅延される。図 4.2 (c) には、駆動電流 I_{DRIVE} 波形が示されている。遅延された信号の位相は

反転され、強調信号に変換される。遅延信号を用いたエンファシス波形は、遅延および強調電流を制御することによって、2タップ FIR と同じように動作可能となる。

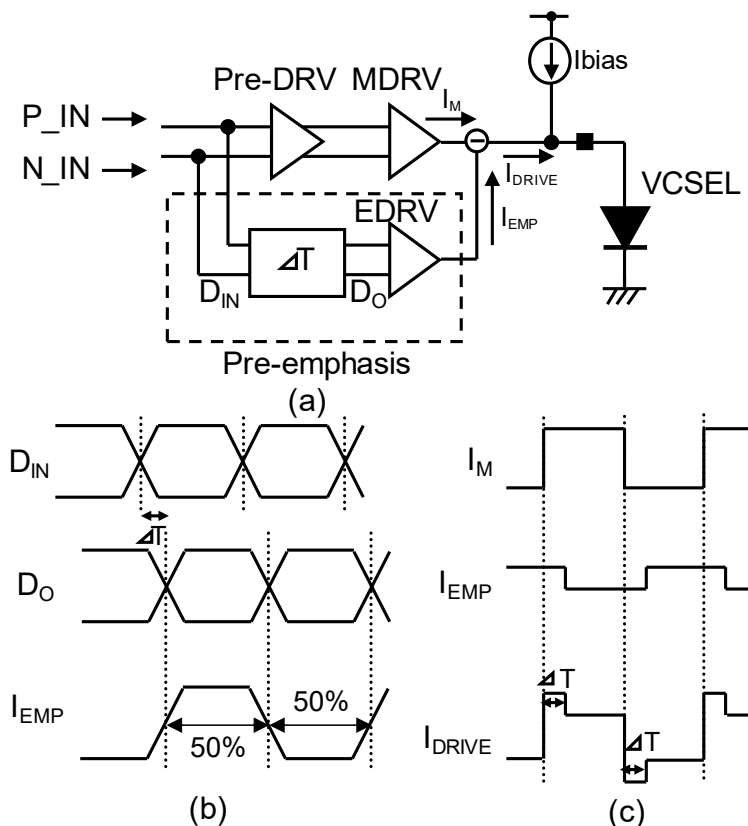


図 4.2 2TAP プリエンファシスを備えた VCSEL ドライバブロック図 (a) および遅延信号 (b) とエンファシス波形 (c) (©2017 IEICE)

4.4 VCSEL 非線形特性を補正する非対称エンファシス技術

VCSEL を用いた光伝送では、VCSEL の非線形性が電氣的伝送とは異なり、通信品質に大きく影響する。VCSEL は緩和振動を有するため、立ち上り時間が立下り時間よりも速いという特性を有する。したがって、VCSEL ドライバの場合、この非線形性を考慮した非対称プリエンファシスを使用した帯域幅補正が必要である。非対称プリエンファシスを達成するために、エッジ検出による非対称エンファシス法が提案されている [21] [22]。しかし、エッジ検出回路は多段構成のため、高電圧電源が必要となり消費電力が増加すると共に、高電圧素子によって帯域幅が低下する。そこで、本研究では、エンファシス信号のデューティ比を調整することによって非対称プリエンファシスを実現した [23] [36]。図 4.3 は、本研究で提案した 2 タップ非対称プリエンファシスを備えた VCSEL ドライバのブロック図と回路を示している。TAP 係数は、EDRV からの調整可能なエンファシス電流を使用するこ

とによって変更できる。プリエンファシスパスには、遅延およびデューティ比調整回路 (DDAC : Delay Duty Adjuster Circuit) が採用されている。DDAC は、調整可能な負荷抵抗と差動増幅段を備えた 3 段差動アンプで構成され、負荷抵抗を変えることで遅延時間を変えることができる。また、各差動回路の出力には、信号のデューティ比を調整するためのオフセット電流が接続されている。片側の信号源は差動ペアを維持するためのダミー回路である。

従来技術との最大の違いは、図 4.4 (a) に示すようなプリエンファシス信号のデューティ比制御である。DDAC の各出力段において、差動出力対の出力にオフセット電圧を加えることによって、出力差動対信号のクロスポイントがシフトされる。オフセット電圧は、出力および可変負荷抵抗 R_L に接続されたオフセット電流 I_{off} によって生成される。デューティ制御された I_{EMP} が I_M に追加され、これは図 4.4 (b) の I_{DRIVE} に対する非対称プリエンファシス信号となる。さらに、 I_{DRIVE} のエンファシス信号は、 I_{EMP} のデューティ比を変更することで変更できる。

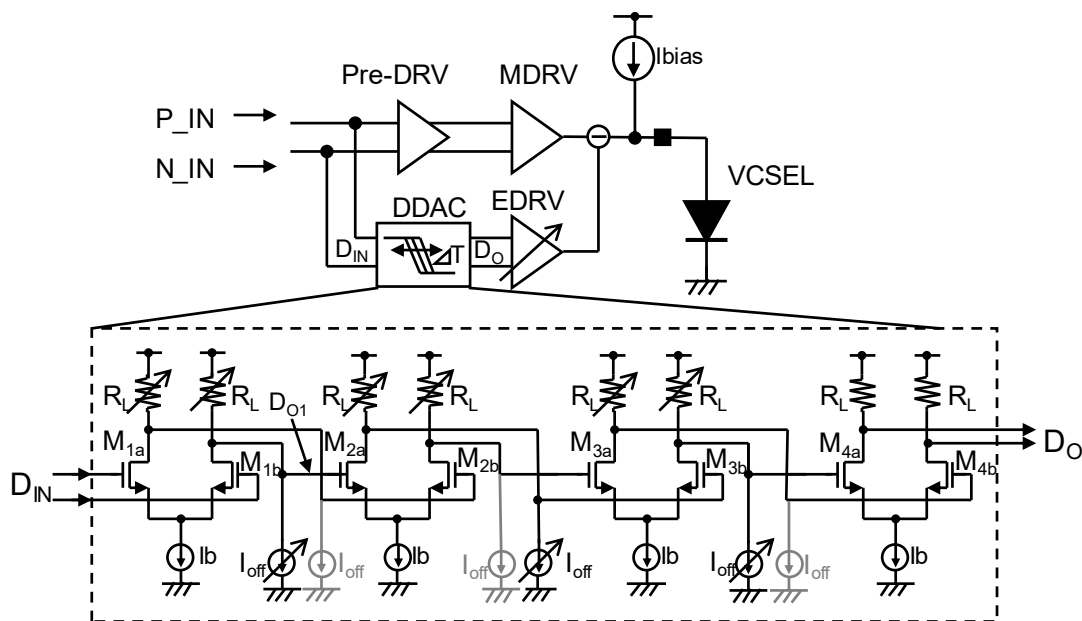


図 4.3 2 タップ非対称プリエンファシスを備えた VCSEL ドライバのブロック図

(©2017 IEICE)

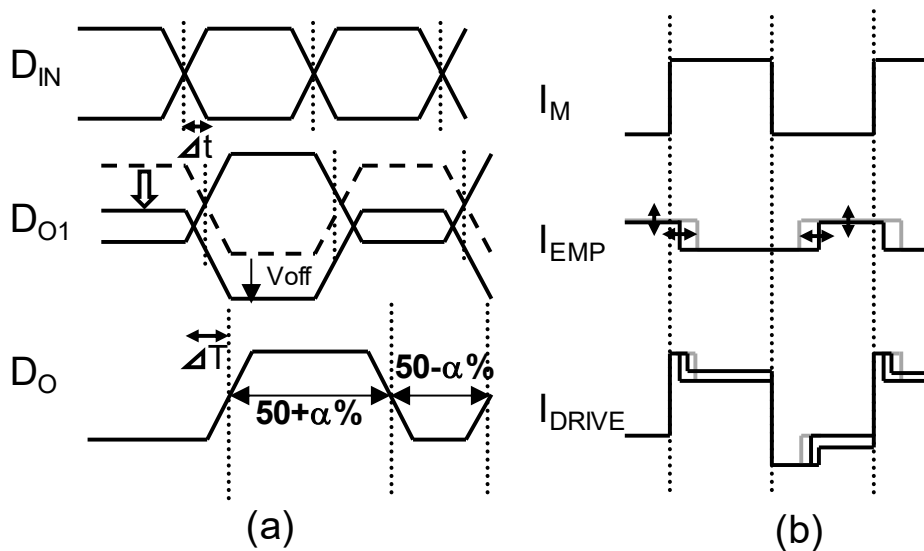


図 4.4 非対称エンファシスの原理 (©2017 IEICE)

4.5 高電圧 VCSEL ドライバ回路

続いてドライバ回路本体の構成について述べる。高電圧バイアスのカソードコモンドライバを実現するための保護抵抗付きダブルカスコード接続駆動回路を図 4.5 に示す。高電圧トランジスタ M_{11} 、 M_{12} からなるカレントミラーからバイアス電流が供給される。変調電流を高速で供給するドライバ回路は、低電圧トランジスタ M_{13} 、 M_{14} からなる。ドライバ回路をブレークダウン電圧から保護するために、ダブルカスコード M_{19} と M_{20} が適用されている。65nm CMOS プロセスでは、高電圧トランジスタには 3.3V (V_{DD2}) が供給され、低電圧トランジスタには 1.0V (V_{DD1}) が供給される。VCSEL のバイアス電圧は 2V 以上になるため、 M_{13} と M_{14} からなるドライバ回路は M_{19} と M_{20} で保護される。パワーオンシーケンスまたはパワーダウンモード中に VCSEL が接続されず、バイアス電流および変調電流がゼロに設定されると、出力はハイインピーダンスになり、電圧が不安定な状態となる。そのため、VCSEL のインピーダンスよりも十分に大きな抵抗 $R1$ 、 $R2$ を接続することにより、出力電圧を安定化させることができ、トランジスタ M_{20} がブレークダウン電圧を供給することを防ぐことができる。

このバイアス電流回路では、変調電流と出力インピーダンスにより出力電圧が変化した場合の出力インピーダンスの変動を考慮する必要がある。図 4.6 (a) は、VCSEL ドライバの出力バイアス電流回路を示している。出力電圧が変化すると、トランジスタ M_{12} のゲート・ドレイン間の寄生容量 (C_{gd12}) を介してカレントミラーのゲート電圧 M_{11} 、 M_{12} が変化する。図 4.6 (b) にバイアス回路の小信号等価回路を示す。ここで、 $C_1 = C_{gs11} + C_{gs12}$ 、 $C_2 = C_{gd12}$ であり、トランジスタ M_{11} 、 M_{12} の相互コンダクタンスは gm_{11} 、 gm_{12} である。

出力電圧振幅による変動電流 I_{VAR} は、式 (4.1) のように表される。

$$I_{VAR} \approx \frac{C_1(gm_{11} + gm_{12})}{gm_{11}} \cdot \frac{s(1 + s \frac{C_2}{gm_{11} + gm_{12}})}{1 + s \frac{C_1 + C_2}{gm_{11}}} V_{OUT} \quad (4.1)$$

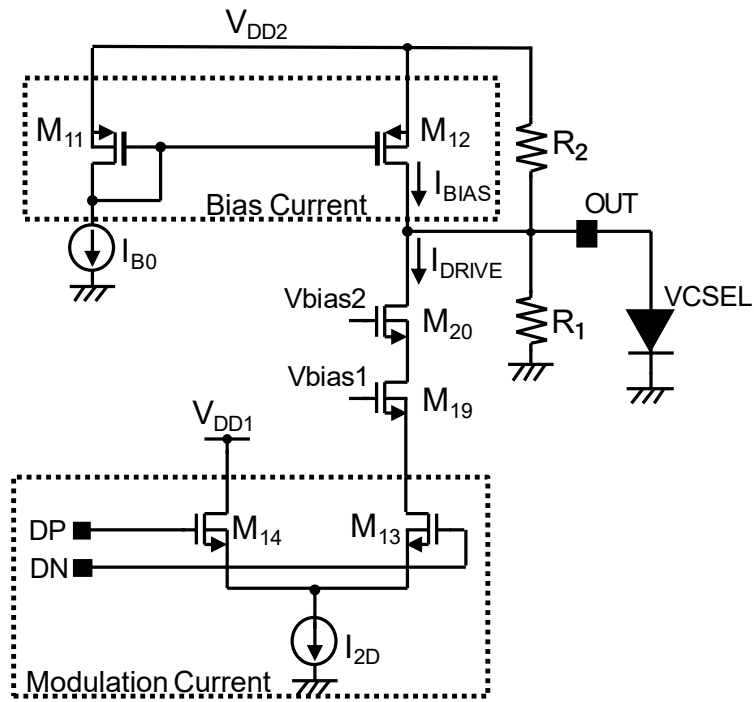


図 4.5 保護抵抗付きダブルカスコード接続駆動回路 (©2017 IEICE)

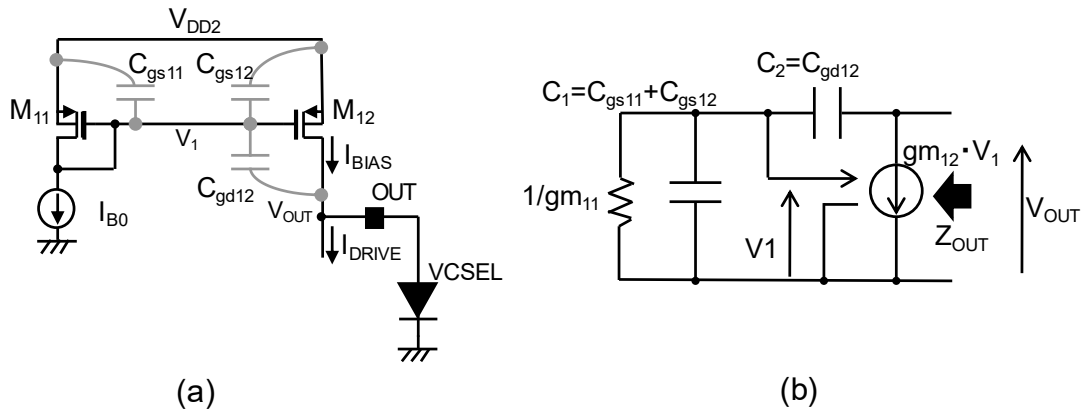


図 4.6 VCSEL ドライバの出力バイアス回路と小信号等価回路 (©2017 IEICE)

変動電流は一次伝達関数で表され、その影響は高周波で顕著になる。このとき、出力インピーダンス Z_{OUT} は、式 (4.2) で表される。

$$Z_{OUT} = \frac{V_{OUT}}{I_{VAR}} = \frac{gm_{11} + s(C_1 + C_2)}{sC_1(sC_2 + gm_{11} + gm_{12})} \quad (4.2)$$

ここで、VCSEL は大きなバイアス電流を必要とするため、 M_{11} と M_{12} のミラー比は大きく、 M_{11} と M_{12} の相互コンダクタンスの関係は $gm_{12} > gm_{11}$ となる。さらに、ゲート・ソース間寄生容量 C_1 は、ゲート・ドレイン寄生容量 C_2 よりも大きい。 $gm_{11} = 1.1\text{mS}$ 、 $gm_{12} = 30\text{mS}$ 、 $C_1 = 271\text{fF}$ 、 $C_2 = 97\text{fF}$ として、VCSEL の小信号等価回路を 75Ω と 150fF の並列とすると、VCSEL 単体のインピーダンスと VCSEL ドライバのバイアス回路を含む出力インピーダンス Z_{OUT} は図 4.7 のようになる。この結果から、バイアス回路に VCSEL を接続すると、信号帯域幅に出力インピーダンスの変化が生じる。このインピーダンス変化は、信号周波数に依存し、アイ開口率を変動させるためジッタが増加して高速通信を困難にさせる。そこで、このインピーダンス変化を抑制する回路技術の検討を行った。

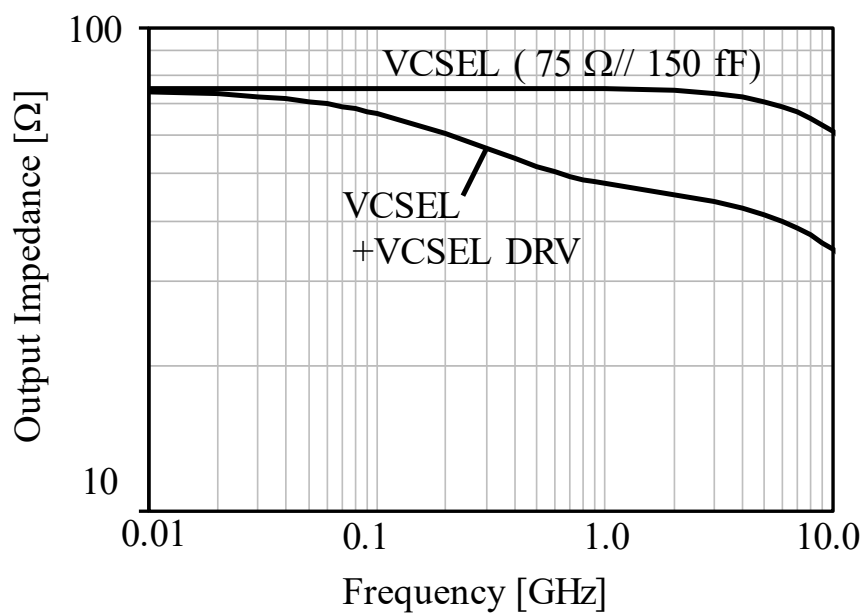


図 4.7 VCSEL の出力インピーダンスとバイアス回路と組み合わせたときの出力インピーダンス変化(©2017 IEICE)

信号帯域幅のインピーダンス変動を抑制するために、フィードフォワード補償技術が提案されている [22]。図 4.8 (a) は、カソード接地型 VCSEL ドライバ用のフィードフォワード補償回路を備えたバイアス回路を示している。変調電流 I_M 及び負荷抵抗に同期した補償信号 V_{COMP} は、キャパシタ C_f を介してバイアス回路の M_{11} 及び M_{12} のゲートに印加される。フィードフォワード経路の小信号等価回路を図 4.8 (b) に示す。負荷抵抗を考慮しないとすると、出力電流 I'_{VAR} は式 (4.3) で表される。

$$I'_{VAR} \approx V_{comp} \frac{C_f g_{m_{12}}}{g_{m_{11}}} \cdot \frac{s}{1 + s \frac{C_1}{g_{m_{11}}}} \quad (4.3)$$

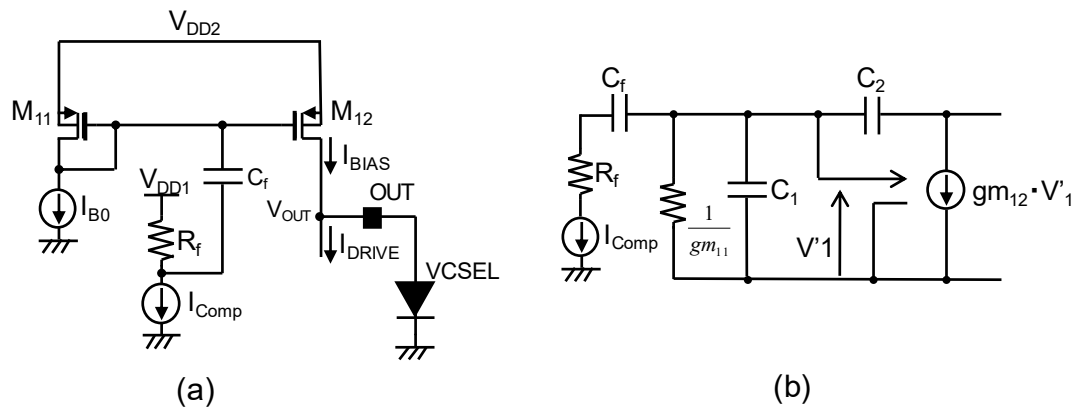


図 4.8 フィードフォワード補正を持ったバイアス電流回路と小信号等価回路
(©2017 IEICE)

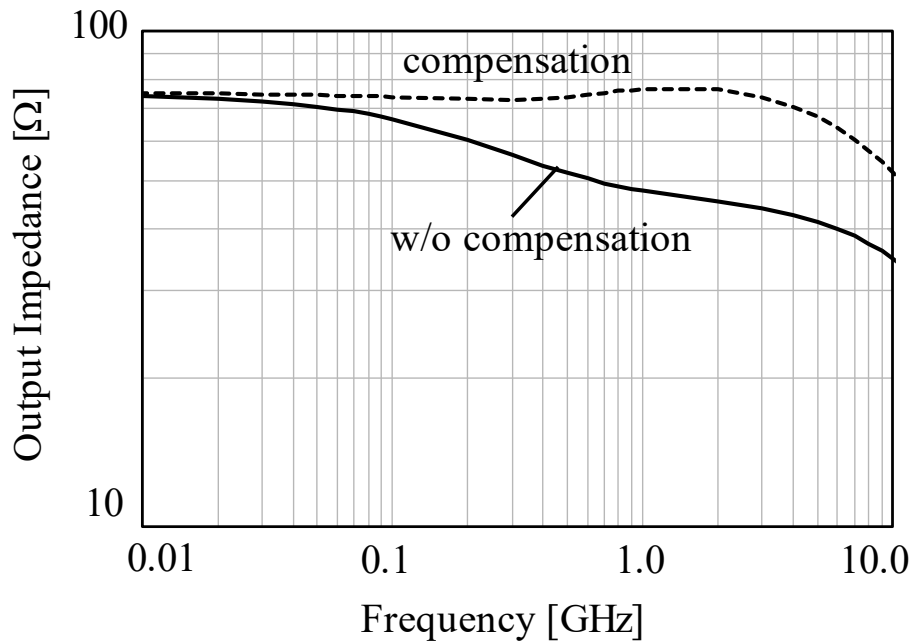


図 4.9 出力インピーダンスのフィードフォワードありなし比較(©2017 IEICE)

C_1 が C_2 よりも大きいことを考慮すると、式 (3) の極 f_{pc1} と式 (1) の極 f_{pc0} は式 (4.4) となる。

$$f_{pc0} = \frac{gm_{11}}{2\pi C_1} \approx f_{pc1} \quad (4.4)$$

このとき、出力電圧信号 V_{OUT} および補償信号 V_{COMP} は、どちらも同じドライバ回路から得られ、常に逆位相の関係にある。したがって、式 (4.5) に示すように $V_{COMP} = V_{OUT}$ 、 C_f

とすることで、出力信号 V_{OUT} の変動によるインピーダンス変化が抑制される。

$$C_f = C_1 \frac{gm_{11} + gm_{12}}{gm_{12}} \approx C_1 \quad (4.5)$$

図 4.9 は、フィードフォワード補償ありとフィードフォワード補償なしの計算された出力インピーダンス応答を示している。この結果から分かるように、フィードフォワードによる補償によって信号帯域幅内の出力インピーダンス変化を抑制することができた。

図 4.10 は、提案された非対称プリエンファシス技術を採用した VCSEL ドライバ回路の全体図である。メインドライバ回路(MDRV)は最大 8mA の変調電流を供給する必要があるため、ドライバ M_{13} 、 M_{14} のトランジスタサイズが大きくなり、寄生容量も大きくなる。したがって、 M_{13} と M_{14} の寄生容量を駆動するには、インダクタを使用するピーキングアンプをプリドライバに用いて、メインドライバを駆動する。フィードフォワード経路は、MDRV の差動出力の反対側からバイアス電流回路に供給される。その結果、新たな回路を追加することなく、フィードフォワード経路を形成することが可能となる。これにより、消費電力およびチップ面積を削減することができる。DDAC に接続されたエンファシスドライバ回路(EDRV)、 M_{15} および M_{16} は、テール電流 I_{3D} を変更することによって TAP 係数を変更することが可能である。

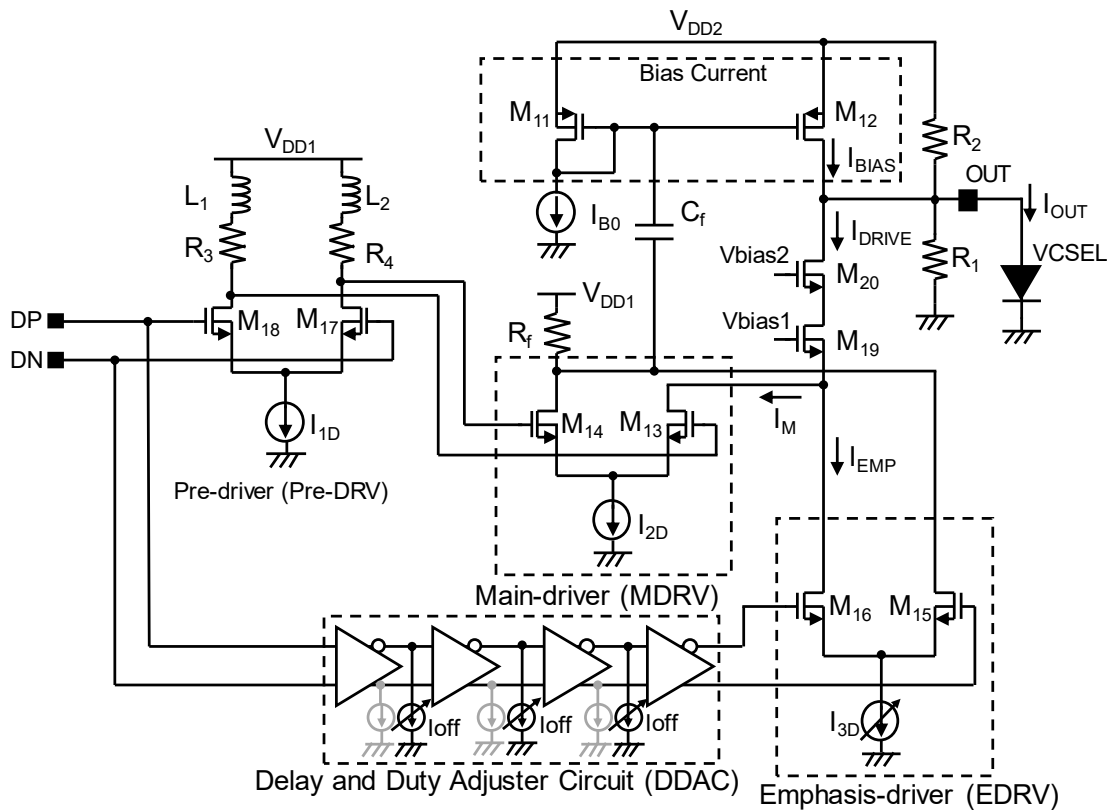


図 4.10 非対称エンファシスを備えた VCSEL ドライバの全体回路図 (©2017 IEICE)

4.6 試作評価結果

本研究の VCSEL ドライバ回路を含む光送信回路のレイアウトを図 4.11 に示す。送信回路は、提案された VCSEL ドライバ回路と入力電気レシーバ回路 (RCV) で構成されている。RCV は 19.9GHz の帯域幅と 10dB の利得調整範囲を持つ [36]。VCSEL ドライバの占有面積はわずか $110 \times 170 \mu\text{m}$ であり、RCV は各チャンネルに対して $220 \times 180 \mu\text{m}$ であった。すなわち、送信回路のコア領域は 0.06mm^2 と小面積で実現できている。各チャンネルの送信回路は 0.32mm^2 の面積を占め、入力パッドと出力パッド、入力伝送ライン、基準バイアス回路、内部ロジック回路を含んでいる。図 4.12 (a) に示すように、標準的な 65nm CMOS プロセスを用いて、4 チャンネル光送信回路を含む試作 LSI を製造し、チップサイズは $2.6 \times 2.24 \text{mm}$ となった。試作 LSI は、2 層 LTCC 構造の上層部に実装され、下層に 150fs の内部寄生容量と 17GHz の帯域幅を有する 850nm のカソード接地の VCSEL アレイチップを搭載した。本研究の VCSEL ドライバ回路を含む、4 チャンネル光送信器と 4 チャンネル光受信器を含む光トランシーバモジュールのプロトタイプを図 4.12 (b) に示す [38] [39]。光素子上には、レンズ一体型コネクタが接続され、マルチモードファイバが取り付けられて

いる。モジュールは8×8mm という非常に小さな構造を実現した。

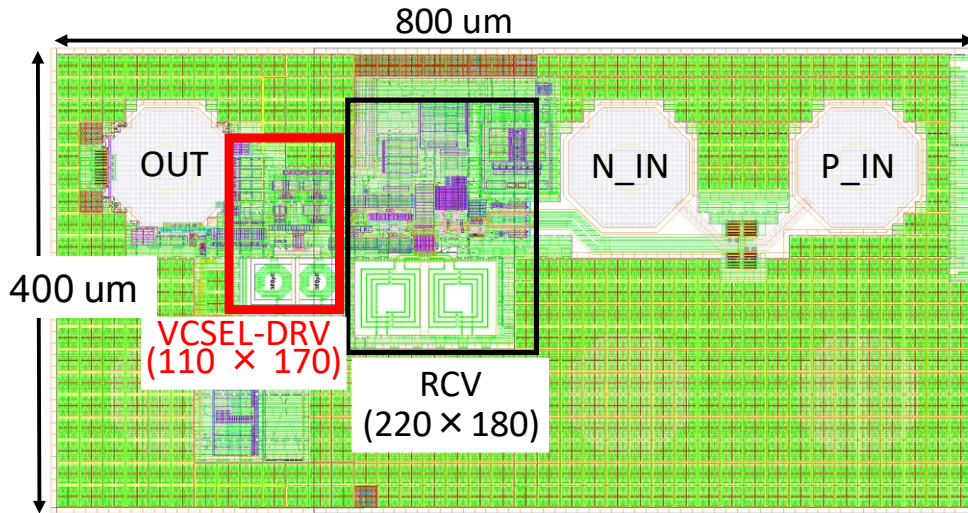
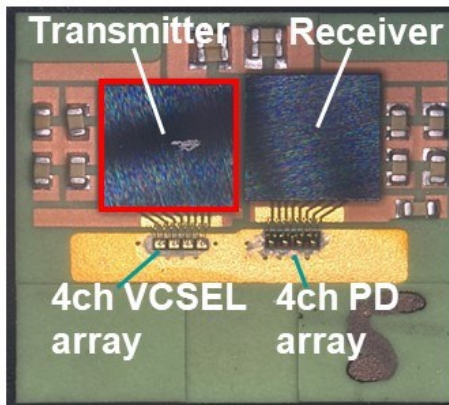
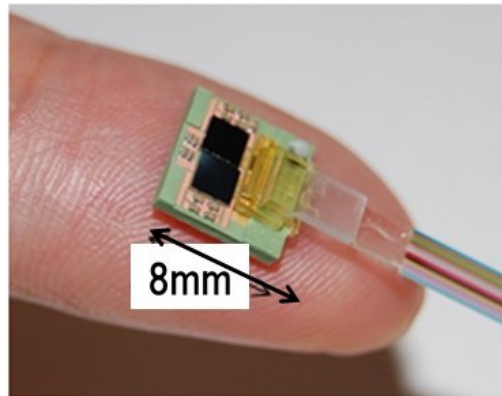


図 4.11 VCSEL ドライバのレイアウト図 (©2017 IEICE)



(a) 試作LSIの実装写真



(b) 試作光モジュール

図 4.12 試作 LSI と試作光モジュール (©2017 IEICE)

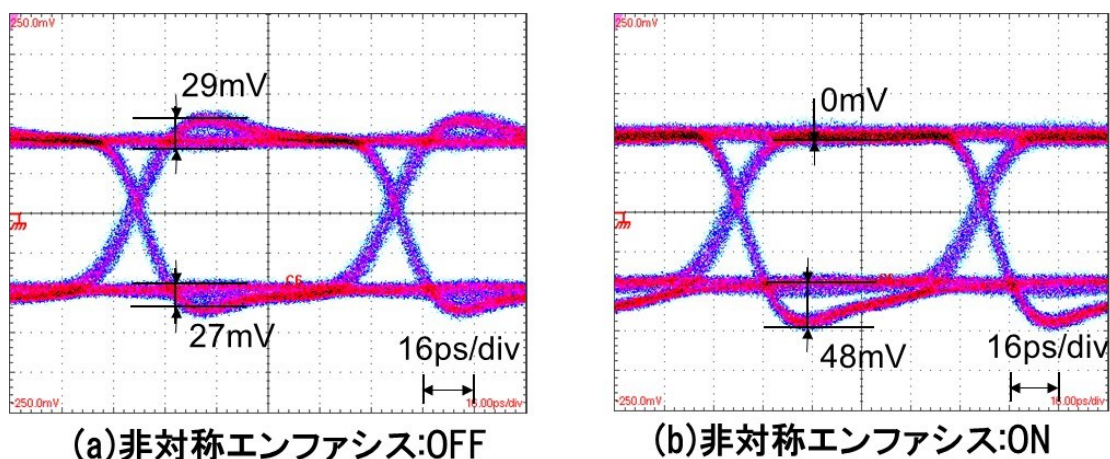


図 4.13 非対称エンファシス効果を確認するための電気波形評価結果(©2014 IEEE)

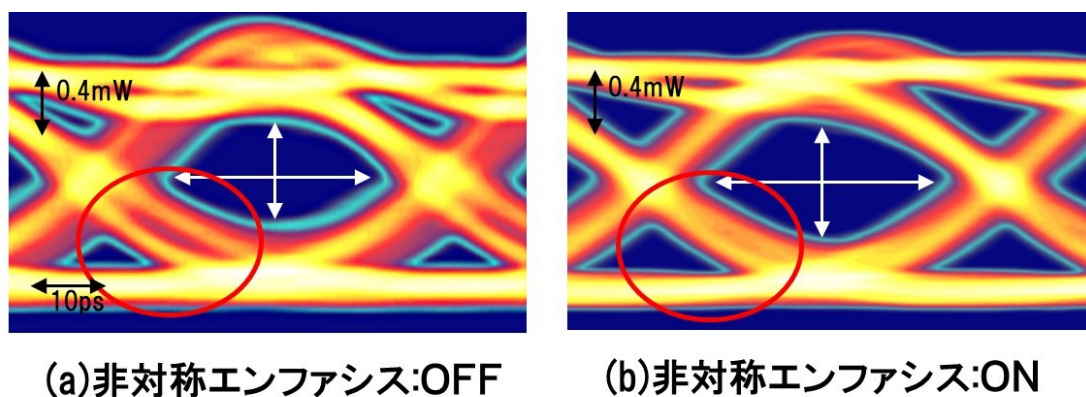


図 4.14 25Gbps、PRBS 2^9-1 の光送信波形(©2014 IEEE)

図 4.13 は、PRBS パターン 2^9-1 を用いて 12.5Gbps で駆動したときに得られた VCSEL ドライバ出力の非対称プリエンファシス ON/OFF の電気波形を示している。試作 LSI の出力を 50Ω で終端させ、VCSEL の代わりに 2.16V の DC バイアス電圧を加えた。非対称エンファシスをオフの状態では立ち上がり と 立下りのエンファシスがほぼ等しいのに対して、非対称エンファシスをオンすると、立ち下がりエッジでは、エンファシス量が 27mV から 48mV に増加し、立ち上がりエッジでは、エンファシス量が 29 から 0mV に減少した。これらの結果は、VCSEL ドライバ回路が非対称プリエンファシス信号を得たことを示している。

図 4.14 は、25Gbps の伝送速度で、 2^9-1 の PRBS パターンを試作光トランシーバモジュールでの測定アイダイアグラム波形を示す。図 4.14 (a) に示す非対称プリエンファシスをオフしたアイダイアグラム波形は、立ち下がりエッジで分割されておりアイ開口が減少している。一方、図 4.14 (b) に示されている非対称プリエンファシスをオンにしたアイダイアグラム波形は、非対称プリエンファシスのないアイ開口よりも広いアイ開口

を有していた。入力信号から差し引いた確定ジッタは 8.62ps、RMS ジッタは 1.4ps となった。最大立ち上がり時間は 20ps、立ち下がり時間は 23ps となった。

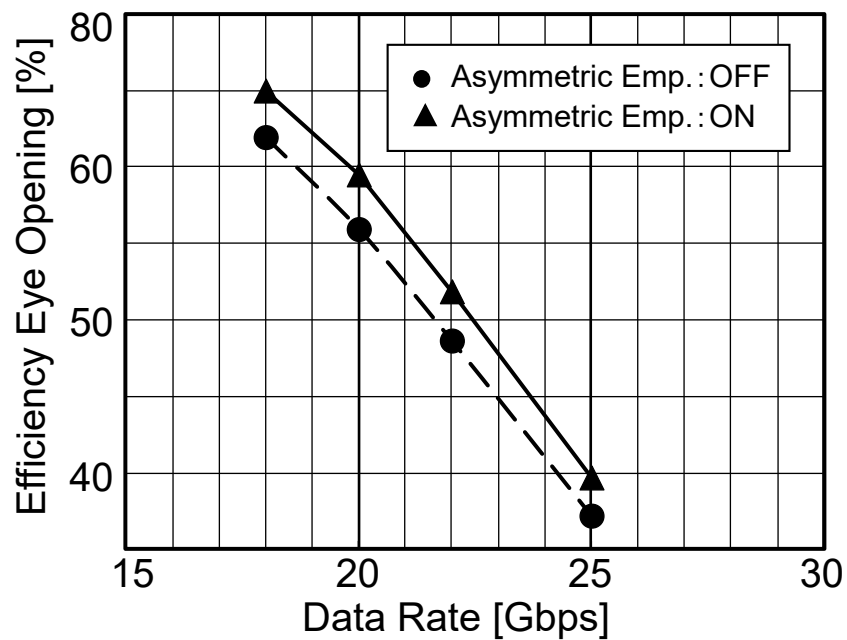


図 4.15 データレートとアイ開口率変化 (©2017 IEICE)

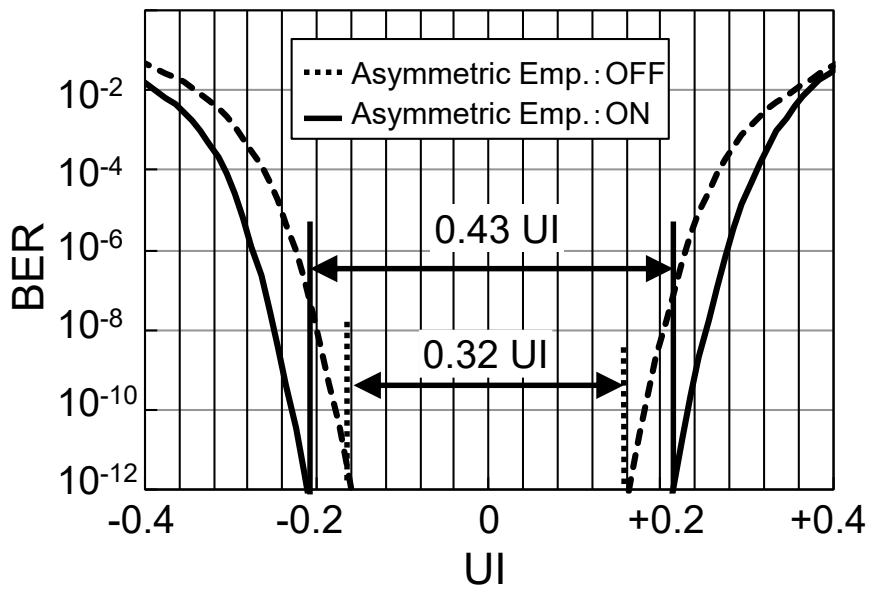


図 4.16 バスタブカーブ特性(©2017 IEICE)

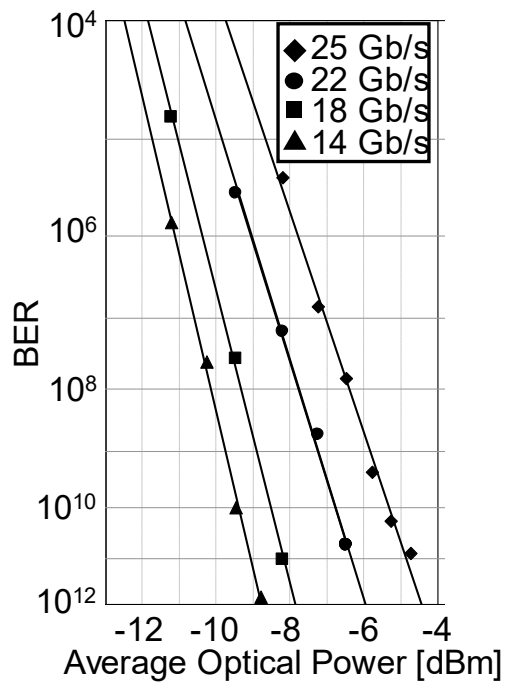


図 4.17 平均出力パワーと BER の関係(14~25Gbps) (©2017 IEICE)

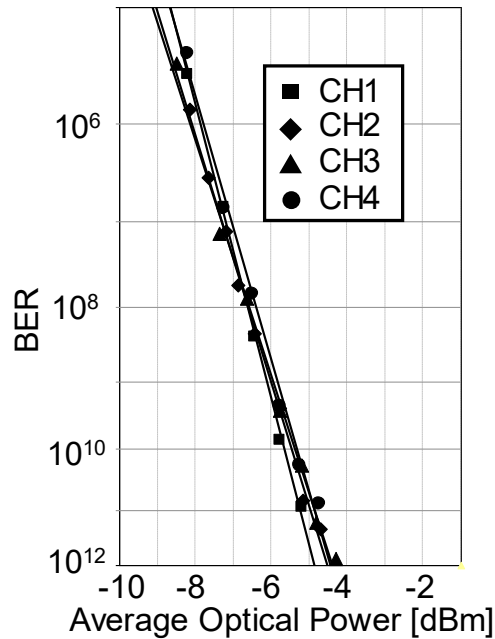


図 4.18 平均出力電力と BER の関係のチャンネル間バラツキ (©2017 IEICE)

図 4.15 は、18~25Gbps の非対称エンファシスがある場合とない場合の振幅に対する垂直アイ開口レベルの比を開口率として示したものである。各データレートにおいて、非対称エンファシスを用いることでアイ開口率は 3% の改善を示している。

図 4.16 は、非対称プリエンファシス有りおよび無しの場合でのバスタブ曲線を示す。非対称エンファシスを使用することにより、アイ開口幅を 0.32UI から 0.43UI に増加させた。

データレートに対するビットエラーレート (BER) と平均出力電力の関係を図 4.17 に示す。25Gbps において開発した光モジュールの平均光パワーは -4.5dBm となっている。図 4.18 は、試作した光送信機と受信機との間の光リンクを用いて、PRBS パターン 2^9-1 における 25Gbps 動作での全チャンネルの感度曲線を示す。平均受光感度のチャンネル間ばらつきは 0.5dB 未満を実現した。トランスミッタは、6.7mA_{pp} の変調電流と 8mA の平均電流で 25Gbps を実現した。MDRV の電源 VDD1 は 1.0V を用いた。VCSEL バイアス電流用の高電圧電源 VDD2 は 3.3V を用いて、トランスミッタは 119.4mW/ch (電気受信器は 45mW、VCSEL ドライバは 74.4mW) の電力消費となった。光送信機と受信機を使用する VCSEL ベースの 850nm の全リンクは、25Gbps で 3.0mW /Gbps/ch の VCSEL ドライバ電力を達成した。

表 3 は本研究のマルチチャンネル VCSEL ドライバ回路技術と先行研究 [24] [40] [41] との比較を示したものである。送信のデータレートは他の VCSEL ドライバ回路と比較する

と低速だが、本研究で開発した光送信回路は面積と電力効率という点で大きなアドバンテージを示している。

表 3 カソード接地型多チャンネル VCSEL ドライバの性能比較

	Unit	This work	[24]	[40]	[41]
Data rate	Gbps	25	10	30	40
Number of channels	-	4	4	4	4
Supply voltage	[V]	1.2/ 3.3	1.2/ 2.5	1.2/ 3.0	2.5/ 3.3
Technology	-	65-nm CMOS	65-nm CMOS	65-nm CMOS	0.13- μ m SiGe BiCMOS
Power efficiency	mW/Gbps	3.0	3.25	5.2	3.65
Core Area	mm ²	0.06	0.13	N.A	0.5

4.7 まとめ

本章は次世代マトリクスプローブ実現のための高速光送信回路技術について述べた。次世代マトリクスプローブでは、マトリクスプローブ側から超音波診断装置側へは受信信号情報を伝送するために、63Gbps の伝送容量が必要であった。そこで、本研究の開発目標を送信 25Gbps \times 3 チャンネルとして定め、それを実現する光送信回路技術について検討を行った。高速光伝送実現のためには光素子の非線形性を補正するための非対称エンファシス技術が有効であり、従来技術で必要であったエッジ検出回路不要な非対称エンファシス回路技術を提案した。提案回路技術はエンファシス信号の Duty 比を制御することで非対称エンファシス実現しており、これにより低消費電力動作を実現した。

VCSEL ドライバの高電圧ドライバ部は寄生容量による帯域劣化が課題であったが、フィードフォワードを用いた高電圧バイアスの帯域補正により高電圧トランジスタを用いたドライバ回路での高帯域化を実現した。65nmCMOS プロセスで試作評価を行い、非対称エンファシスの帯域改善効果を検証するとともに、25Gbps の VCSEL を用いた光送信を 3mW/Gbps で実現した。

上記の技術をマトリクスプローブのデータ伝送に用いることで、光ケーブルの本数が削減し、かつ低消費電力でデータ伝送が可能となる技術である。

第5章 高速小型光受信回路技術

5.1 概要

本章では、大容量高速伝送技術の実現に必要な光受信回路技術について述べる。本研究で提案した次世代マトリクスプローブでは超音波診断装置本体とのインターフェイスをデジタル化した。そのため、超音波診断装置本体からマトリクスプローブ側へ送信信号を形成するための DAC の制御情報や各回路の設定条件などを送信する必要があり、マトリクスプローブ側には 20Gbps の光受信回路が必要であった。高帯域の光受信回路を実現するためには電源雑音からの雑音重畳を低減し高品質な信号伝送の実現と実装面積を低減するためにインダクタレスでの高帯域化する必要があった。そこで、本研究では電源からの雑音重畳を抑制するノイズキャンセリング技術を開発し雑音による信号劣化を抑えるとともに、電流バッファを入力段に用いることで高速化を実現した光受信回路技術について述べる。

5.2 CMOS 光受信回路のノイズキャンセリング技術

図 5.1 に、光伝送に用いられる光受信回路の一般的な構成を示す。光受信回路は、トランスインプीडダンスアンプ (TIA : Transimpedance Amplifier) とリミットアンプ (LA) で構成される。受光した光信号はフォトダイオード (PD) で電流信号に変換され、TIA で電圧信号に変換される。光受信回路は、差動電気伝送と異なり、光素子での光電変換が必要なためシングルモードでの信号伝送となる。そのため、信号品質を劣化させないためには TIA で高い電源電圧除去比 (PSRR) が要求される。近年、システム電源ではスイッチング電源や大規模集積回路 (LSI) パッケージのインダクタンス成分による LC 共振で発生する 10MHz 程度のスイッチングノイズの影響が大きく、それらを低減する必要性が生じてきている [42]。

一方、次世代マトリクスプローブで大容量高速光通信を実現するためには、光受信回路の面積を小さくする必要がある。これまで、高速光受信回路の伝送速度を向上させるためには、内部インダクタを使用した帯域幅補償技術が使用されていた [43]。しかし、LSI 内のインダクタは、その構造上、非常に大きな実装面積を必要とするため、小型化のためには内部インダクタを内蔵しない高速光受回路が必要である。

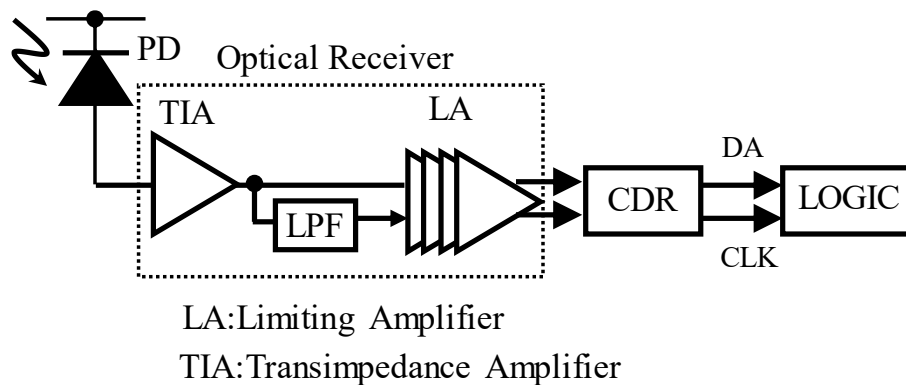


図 5.1 光受信回路ブロック

長い間、TIA は、広域ネットワークおよびローカルエリアネットワークなどの長距離光通信ネットワークでの使用のために研究されてきた。近年では、オンボード伝送やボード間通信などの短距離伝送アプリケーションへの適用が進んでいる。ロジック LSI との集積化と低消費電力化のために、近年 CMOS 技術に基づく TIA が提案されている [44]。

図 5.2 (a) は CMOS インバータと帰還抵抗付きのシャントフィードバック (SFB) 型 TIA 回路構成を示している。入力信号 (I_{IN}) はフォトダイオードからの入力電流で、TIA の入力端子に接続される。SFB TIA 回路は素子数が少ないことから、複数のチャンネルを必要とする大容量高速伝送に適している [45]。

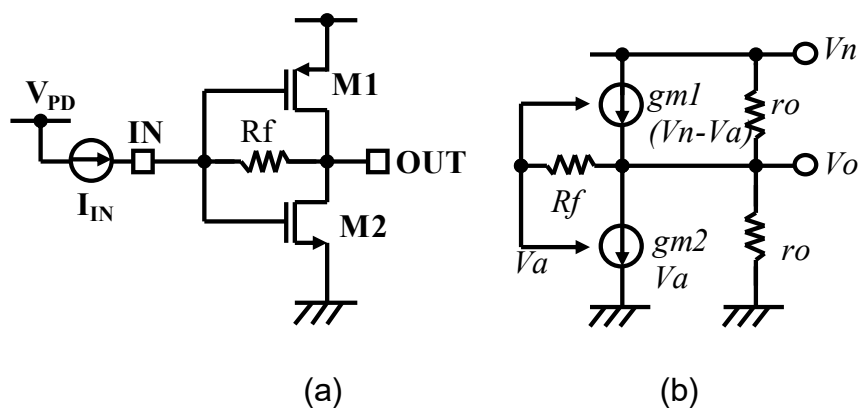


図 5.2 SFB 型 TIA 回路(a)と小信号等価回路(b)

図 5.2 (b) は、電源から出力までの小信号等価回路を示している。このとき、入力電流源 I_{IN} はゼロに設定されているため、入力 (v_a) はオープン状態として表される。 gm_1 および gm_2 はそれぞれトランジスタ M1 および M2 の相互コンダクタンスである。 ro は M1 と M2 の出力抵抗 (PMOS の ro は NMOS のそれにほぼ等しい) である。このとき、電源ノイズ V_n の

入出力特性 A_n は式(5.1)であらわされる。

$$A_n = \frac{V_o}{V_n} = \frac{1+gm_2 \cdot r_o}{2+(gm_1+gm_2)r_o} \quad (5.1)$$

これは、出力への電源ノイズの重畳が gm_2 や r_o といったプロセスパラメータに関連する一定の値によって決定されることを意味する。 gm_2 を下げることで、重畳される雑音量が低減されるが、これは TIA の特性に影響するために雑音重畳を抑制するのが困難であることを意味する。

図 5.3(a)は電源ノイズキャンセルを備えた SFB TIA の回路構成を示している [46] [46]。電源と入力との間に抵抗 R_N を挿入することにより、トランジスタ M_2 を介して逆相の経路が形成されることで、ノイズキャンセリング可能となる。以下にその原理の詳細を述べる

電源雑音に対して、抵抗 R_N を電源と入力端子間に接続することで、TIA 出力に重畳された電源ノイズの位相が反転し、 M_1 のドレイン・ソース間で発生する出力ノイズをキャンセルする。図 5.3 (b) に小信号等価回路を示す。(1) と同様に、電源ノイズ V_n の関係式の入出力特性 A_n は式(5.2)で表される。

$$\begin{aligned} A_n &= \frac{V_o}{V_n} \\ &= \frac{r_o(gm_1 \cdot R_N + 1 - gm_2 \cdot R_f)}{R_N + R_f + r_o(gm_1 \cdot R_N + 1 + gm_2 \cdot R_N)} \\ &\approx \frac{gm_1 \cdot R_N - gm_2 \cdot R_f}{R_N(gm_1 + gm_2)} \end{aligned} \quad (5.2)$$

電源ノイズをキャンセルするには、式(5.2)の分母がゼロになるように抵抗 R_N を式(5.3)のように設定すればよい。

$$R_N = \frac{gm_2 \cdot R_f}{gm_1} \quad (5.3)$$

この場合、SFB TIA の入力インピーダンス Z_{in} は式(5.4)のようになる。

$$Z_{in} = \frac{2R_f}{1+(gm_1+gm_2)r_o} \quad (5.4)$$

となる。このとき、 R_N と Z_{in} の関係は式(5.5)で表される。

$$RN > \frac{2Rf}{1+(gm1+gm2)ro} \quad (5.5)$$

したがって、抵抗 R_N のノイズキャンセル経路はトランスインピーダンス利得に影響を与えない。このノイズキャンセリング技術を SFB TIA に適用することにより、信号に重畳する電源ノイズを低減することが可能となった。

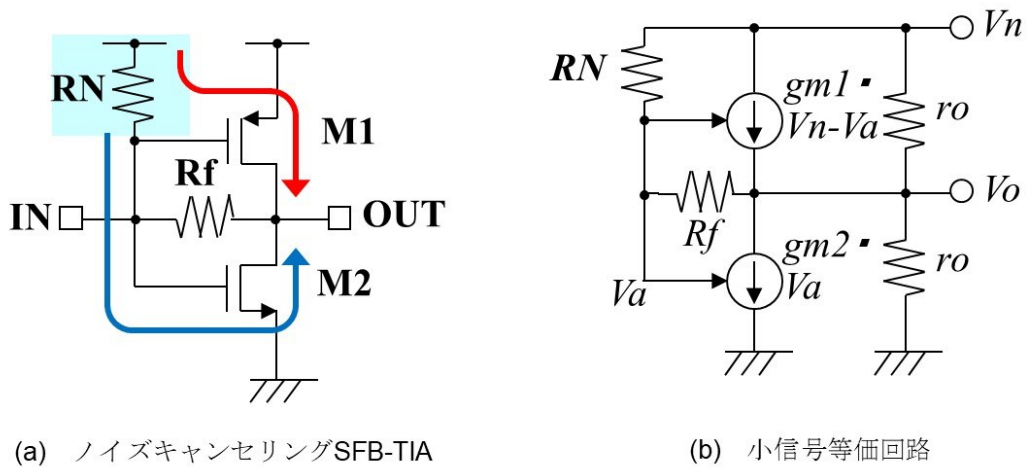


図 5.3 ノイズキャンセリング SFB 型 TIA 回路(a)と小信号等価回路(b)

5.3 CMOS 光受信回路の高帯域化技術

高速光伝送を小面積で実現するためには、内部インダクタを使用せずに帯域幅を改善する必要がある。これは TIA 設計の大きな課題の 1 つである。SFB TIA のトランスインピーダンス利得 A_v (SFB) と入力インピーダンス Z_{in} (SFB) は式(5.6)と(5.7)で表される、

$$A_v(\text{SFB}) = R_f \quad (5.6)$$

$$Z_{in}(\text{SFB}) = \frac{R_f}{1+A} \quad (5.7)$$

ここで、 R_f は帰還抵抗、 A は SFB TIA の開ループ利得である。これらの式は、SFB TIA の入力インピーダンスとトランスインピーダンス利得がともに R_f に比例することを示している。この時 SFB TIA の -3dB 帯域幅 F_c は式(4.13)で表される。

$$F_c(\text{SFB}) = \frac{g_{m2} \cdot R_f}{2\pi \cdot C_{in} \cdot Z_{in}(\text{SFB})} = \frac{1+A}{2\pi \cdot C_{in} \cdot R_f} \quad (5.8)$$

ここで、 C_{in} は TIA の入力寄生容量であり、式(5.8)と式(5.6)からトランスインピーダンスゲインが帯域幅に反比例することを意味し、高帯域化を実現するためには、トランスインピーダンス利得が減少することを意味する。そこで、この制限を克服するために、レギュレイトッドカスコード (RGC) 電流バッファを SFB TIA と入力の上に挿入した回路構成を新たに開発した。

図 5.4 に提案した TIA の全体構成を示す。RGC 電流バッファは、トランジスタ M5、電流源 I1、および M4 および RL のフィードバックループからなる。TIA のコア構成は前節で述べたノイズキャンセリング機能を備えた SFB TIA とソースフォロワで構成されている。電流源 I2 およびトランジスタ M3 のソースフォロワは、前段が適切な動作範囲となるように設けられている。トランスインピーダンス利得 A_v (RGC)、入力インピーダンス Z_{in} (RGC) および -3dB 帯域幅 F_c (RGC) は、式(5.9)、(5.10)、(5.11)のように表される。

$$A_v(\text{RGC}) = R_f \quad (5.9)$$

$$Z_{in}(\text{RGC}) = \frac{1}{g_{m5} \cdot A_2} \quad (5.10)$$

$$F_c(\text{SFB}) = \frac{1}{2\pi \cdot C_{in} \cdot Z_{in}(\text{RGC})} = \frac{g_{m5} \cdot A_2}{2\pi \cdot C_{in}} \quad (5.11)$$

ここで g_{m5} はトランジスタ M5 の相互コンダクタンスであり、 A_2 は RGC 電流バッファ内の M4、RL および M5 によるフィードバックループの利得である。 A_2 はおよそ $A_2 = g_{m4} \cdot R_L$ となる。ここで、 g_{m4} はトランジスタ M4 の相互コンダクタンスである。提案回路は、-3dB 帯域幅に関連するトランスインピーダンス利得と入力インピーダンスを SFB TIA で独立して設定することを示している。

これにより、トランスインピーダンス利得を低下させることなく帯域幅を拡大することが可能となる。図 5.5 は、電源ノイズキャンセルを備えた本研究の TIA と従来の SFB TIA (図 5.2) の PSRR シミュレーション結果の比較を示している。10MHz での PSRR は -96.6dB であり、従来回路と比較して 40dB 以上の改善効果を示している。提案手法を用いて重畳ノイズの低減が可能であることが確認できた。

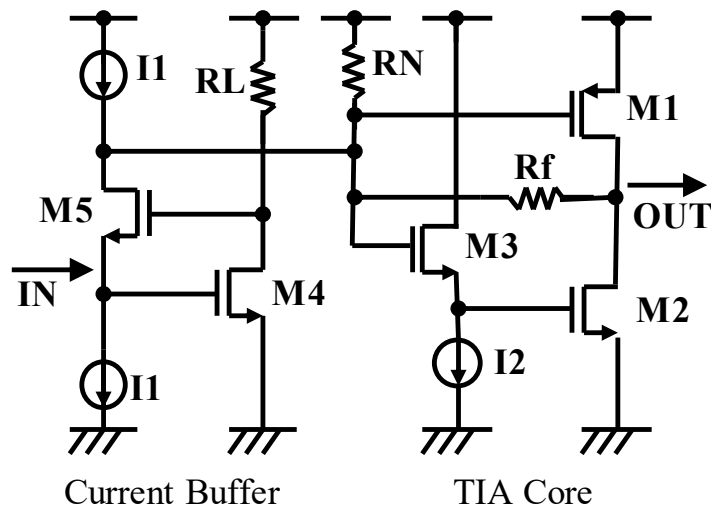


図 5.4 提案 TIA 回路の全体構成

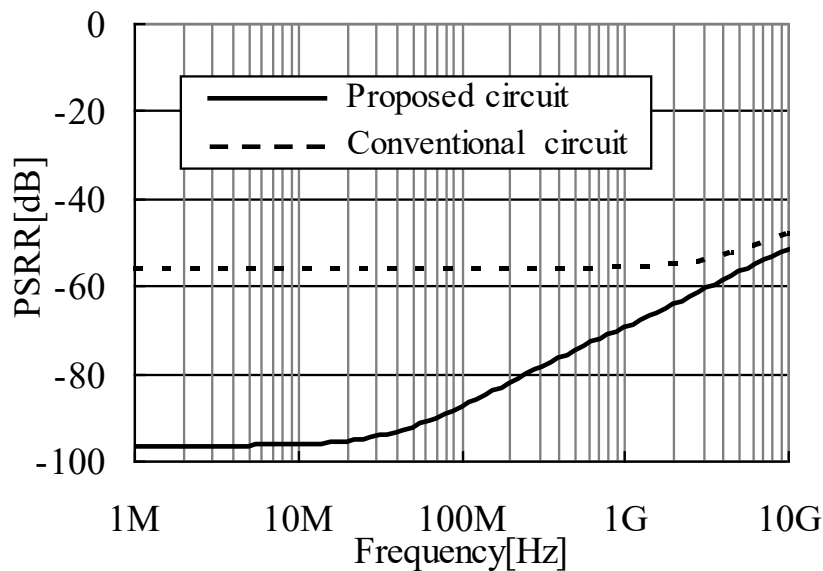


図 5.5 PSRR 特性比較

図 5.6 は PSRR 特性のコーナーシミュレーションをノイズキャンセリングのあり、なしで比較したものである。ノイズキャンセリングありの場合はばらつき幅が拡大するが、ノイズキャンセリングを搭載しない場合と比較して、ワーストでも 10dB 以上の効果が確認できる。

図 5.7 は、ノイズキャンセリングなしの電源雑音によるアイダイアグラム波形の変化のシミュレーション結果である。10 MHz で 10 mVpp の振幅を持つ 20 Gbps、 2^9-1 の PRBS のアイダイアグラム波形を示している。ノイズキャンセリングのない従来の回路では、電源雑音を加えられると、アイ開口が 19% 減少し、確定ジッタが 0.34 から 5.01ps に増加する。

一方、図 5.8 は提案回路のアイダイアグラム波形の変化を示している。本研究で提案したノイズキャンセリング技術の適用により信号品質、確定的ジッタおよびアイ開口は、電源ノイズが加えられる前後で変化がなく、電源雑音による性能劣化が見られないことを示している。

図 5.9 は、RGC 電流バッファのありなしによる周波数応答の比較である。低周波数での利得は、RGC 電流バッファによって約 1dB 減少するが、提案回路は、-3dB 帯域幅を 10.9 から 17.4GHz に改善させている。このとき、TIA の入力寄生容量は TIA 入力寄生容量 (100 fF) と PD の寄生容量 (100 fF) の和である 200 fF を想定している。

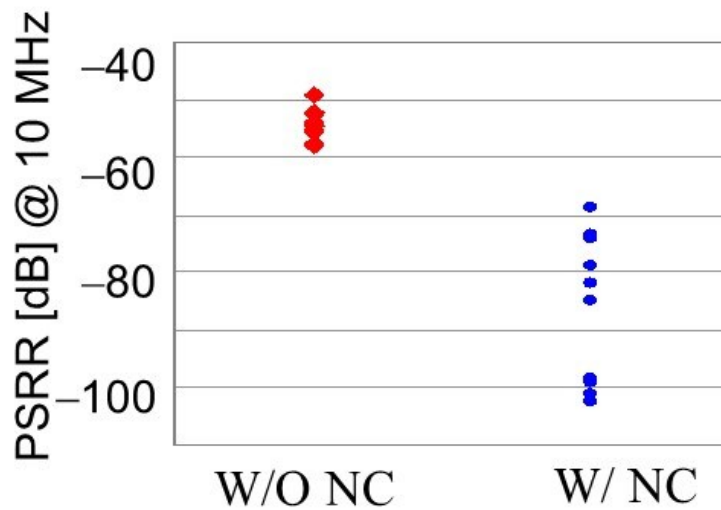
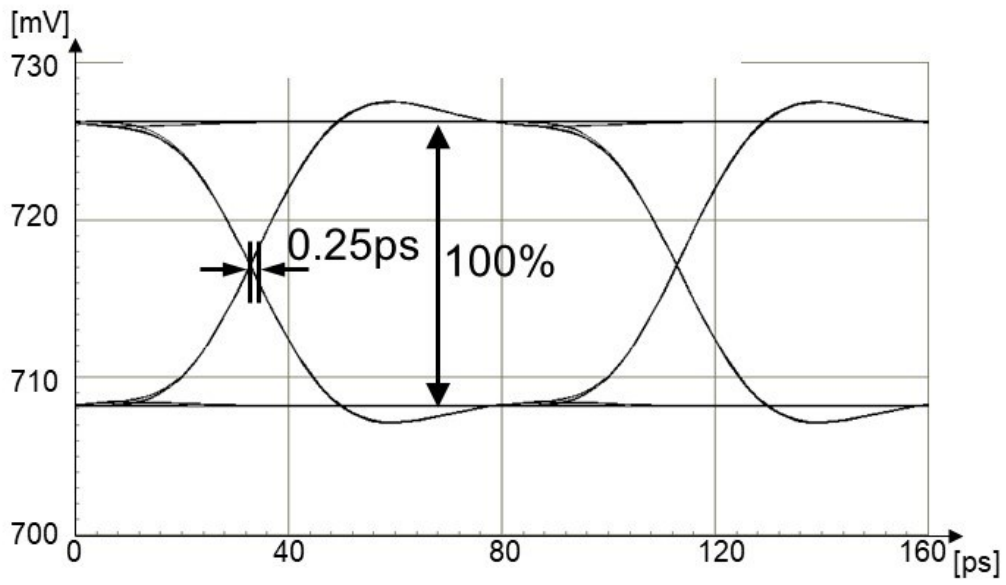
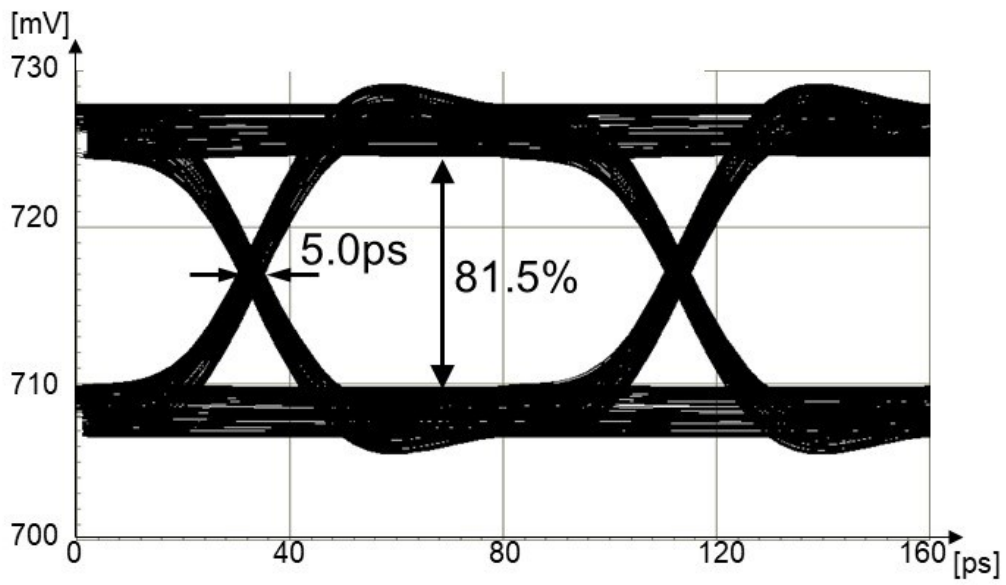


図 5.6 PSRR 特性のばらつき比較

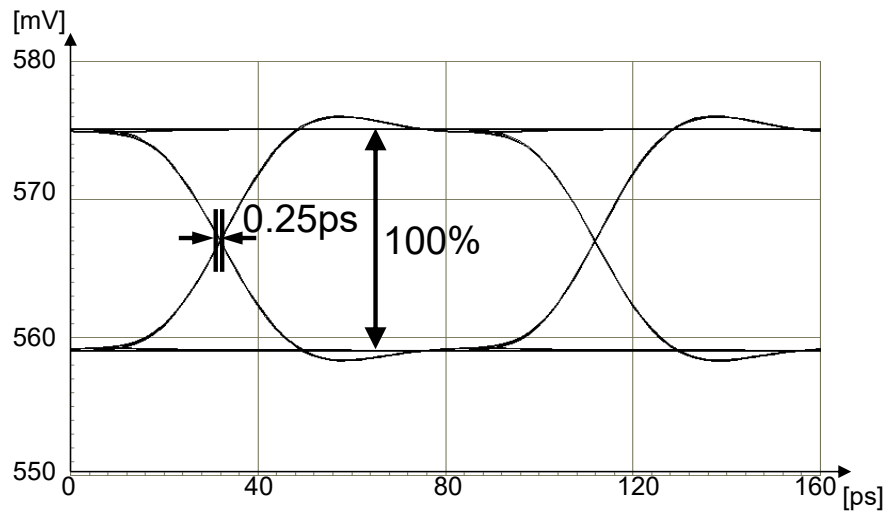


(a) 電源雑音なし

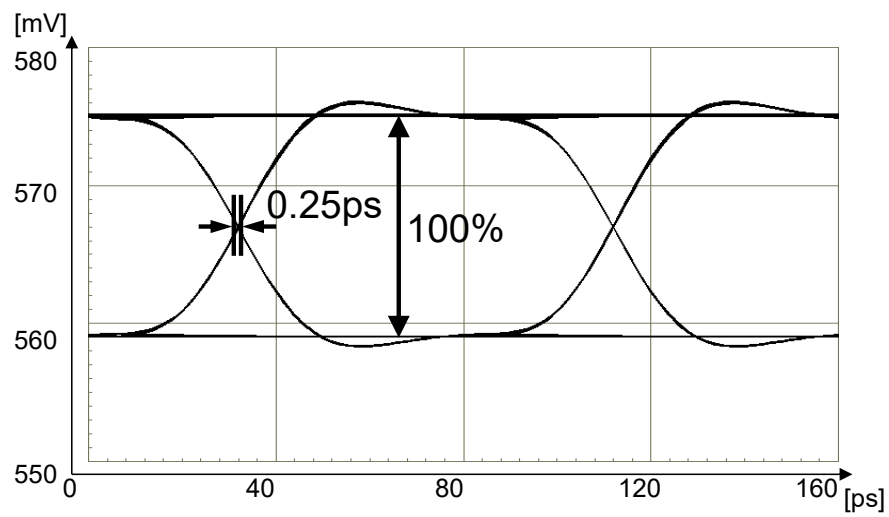


(b) 電源雑音あり

図 5.7 電源雑音によるアイダイアグラム波形変化 (ノイズキャンセリングなし)



(a) 電源雑音なし



(b) 電源雑音あり

図 5.8 電源雑音によるアイダイアグラム波形変化 (提案回路)

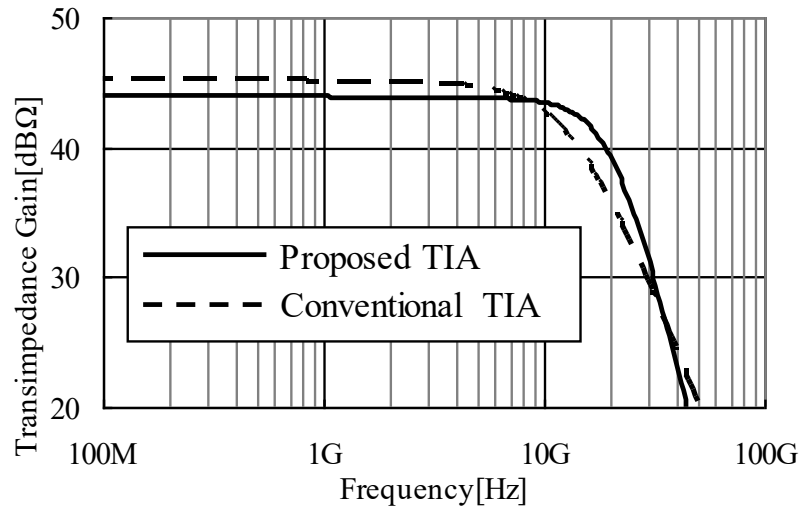


図 5.9 TIA 周波数特性

5.4 リミットアンプの高帯域化技術

高速光受信機用の LA は、高帯域幅、高利得特性を必要とする。図 5.10 は、アクティブフィードバック [47] と出力バッファ段を備えた Cherry-Hooper 増幅器に基づく LA のコア回路を示す。アクティブフィードバックループは、周波数ピーキングを調整することによって総帯域幅を増加させる。しかし、一般に、差動段回路の抵抗負荷による次段の大きな入力容量と帰還ラインの寄生容量は、より低い周波数で第 1 極となる。したがって、周波数ピーキングは不確実であり、LA の総帯域幅は減少する。この状況を回避するために、M6 と M5 からなる追加のバッファ段を使用して総帯域幅を拡張する。A1(s)、A2(s)、A3(s)、b(s) の各ステージの周波数特性は、式(4.17)から(4.20)で表される。

$$A1(s) = \frac{A1}{1 + \frac{s}{P1}}, \quad P1 = RL1 \cdot C1 \quad (4.17)$$

$$A2(s) = \frac{A2}{1 + \frac{s}{P2}}, \quad P2 = RL2 \cdot C2 \quad (4.18)$$

$$A3(s) = \frac{A3}{1 + \frac{s}{P3}}, \quad P3 = RL3 \cdot C3 \quad (4.19)$$

$$\beta(s) = \frac{\beta}{1 + \frac{s}{P_1}} \quad (4.20)$$

C1、C2、C3 は各段の寄生容量である。この場合、R3 の抵抗を R1、R2 と比べて小さくすることで、 $P_3 < P_2$ 、 P_1 が成り立つ。したがって、増幅器全体の周波数特性は、式(4.21)のように表すことができる。

$$\begin{aligned} A(s) &= \frac{A1(s) \cdot A2(s)}{1 + \beta \cdot A2(s)} \\ &= \frac{A1 \cdot A2}{1 + \beta \cdot A2 + s \left(\frac{1}{P_1} + \frac{1}{P_2} \right) + \frac{s^2}{P_1 \cdot P_2}} \end{aligned} \quad (4.21)$$

このとき、周波数帯域と ξ は式(4.22)と(4.23)で表される。

$$\omega_n = \sqrt{P_1 \cdot P_2 (1 + \beta \cdot A2)} \quad (4.21)$$

$$\xi = \frac{P_1 + P_2}{2 \sqrt{P_1 \cdot P_2 (1 + \beta \cdot A2)}} \quad (4.21)$$

その結果、 ξ を調整することによって高い帯域幅を達成することができる。

本研究で開発した光受信回路全体(TIA+LA)の周波数特性を図 5.11 に示す。82.8dBΩの総利得と 15.5GHz の-3dB 帯域幅を実現し、高帯域高利得を実現できた。

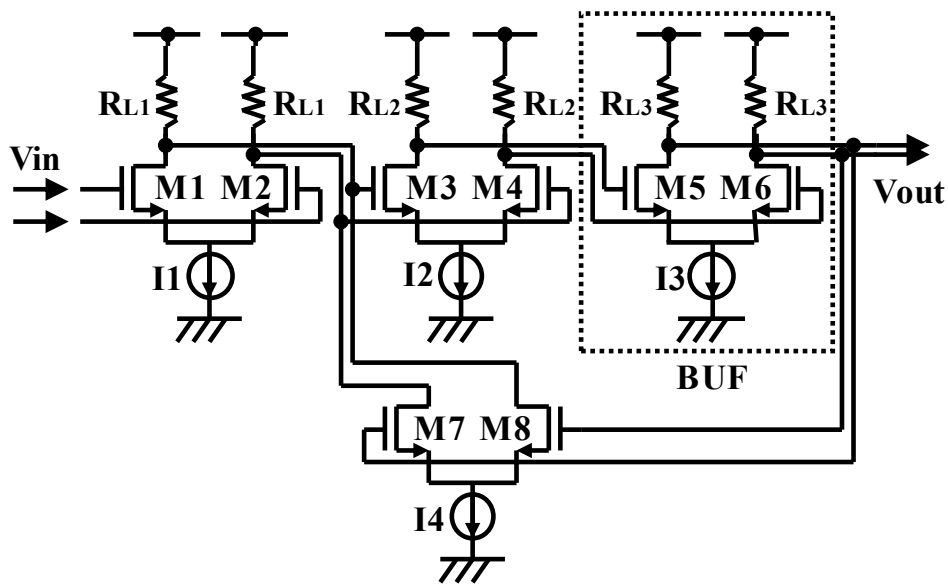


図 5.10 リミットアンプ回路

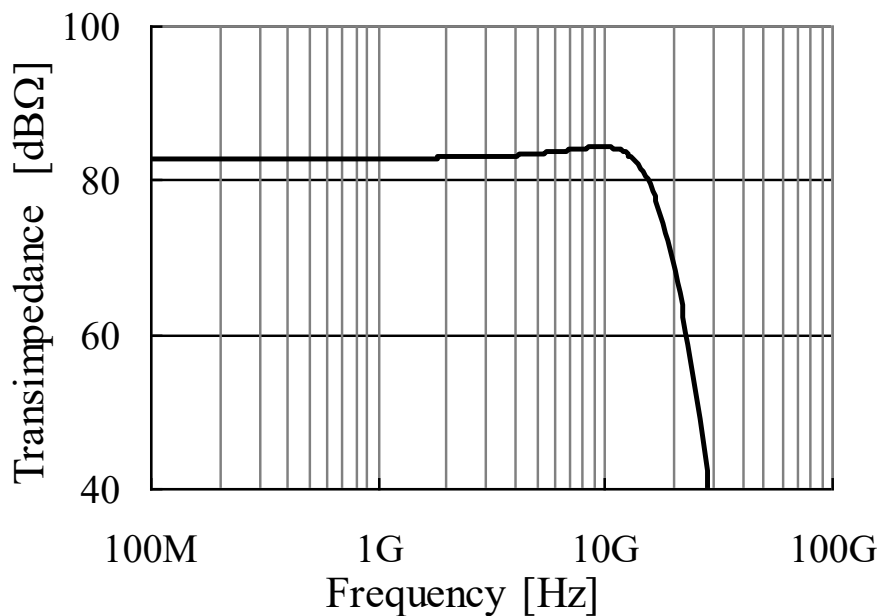


図 5.11 光受信回路の周波数特性

5.5 試作評価結果

図 5.12 に本研究の光受信回路を含む、試作回路全体の構成図を示す。TIA と 5 段の LA の間にはローパスフィルタ(LPF)が挿入され、シングルモード信号を差動モード信号に変換する。オフセットキャンセル回路 (CAL) は、LA 最終段の出力から LA 入力段に接続され、

オフセット電圧をキャンセルする。LAには負荷容量の駆動能力がないため、評価用に、光受信回路の後段に、帯域幅 20GHz でゲインが-6dB となるプリドライバ(Pre-DRV)と 50Ω ドライバ(DRV)を接続した。

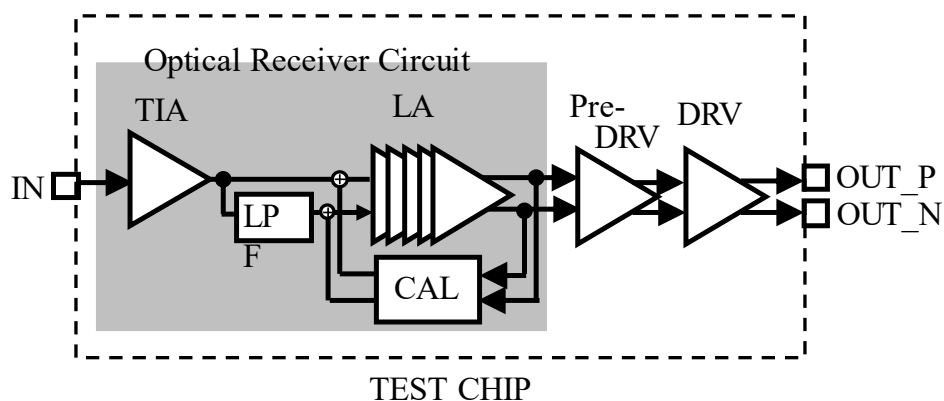


図 5.12 光受信回路のブロックと試作チップ構成

提案回路を 90nm CMOS プロセスを用いて試作設計を行った。図 5.13 は、17GHz の帯域幅と 850nm の波長で 0.53A/W の応答を有する PIN-PD を備えた 20Gbps 光受信器のプロトタイプの写真である。各光受信回路は、0.09mm±0.21mm のコア面積を有し、1.2V の電源電圧で、77.2mW/CH (TIA : 7.7mW、LA : 69.5mW) の消費電力であった。図 5.14 は、光伝送応答の光リンク評価のブロック図と評価セットアップ図を示している。入力光信号は、0.55A/W および 20GHz の小信号帯域幅を持つ VCSEL からマルチモード光ファイバと光減衰器を介して入力される。テスト信号発生器は、バイアス-T コネクタを介して VCSEL に直接接続され光波形を変調させる。光プローブ (カスケード・マイクロテック・インコーポレーテッド、LPW-LEN-MM) は、光ファイバと PD とを接続し、VCSEL からの光信号を入力することができる。試験チップの差出力は電気プローブ (ACP-GSGSG、Cascade Microtech Inc.) に直接接続されている。電源ノイズ耐性試験では、図 5.15 (a) に示すように、1.2V 電源に 10MHz で 80mVpp の振幅の連続した正弦波を持つノイズ信号を加える。図 5.16 は、図 5.15 (b) に示すような電源雑音を重ねられたときの、12.5Gbps で PRBS が 2⁹-1 のアイダイアグラム波形の変化を示している。印加前後でピークとジッタの合計が 11.3 ps と変わらず、本研究の回路技術により電源雑音低減可能であることを示している。

図 5.17 は、図 5.14 に示す試作 LSI のシングルエンド出力で、18Gbps および 20 Gbps で 190 μApp の入力電流を持つアイダイアグラム波形を示している。このとき、VCSEL は 7 mA のバイアス電流と 7 mApp 変調で直接変調され、PRBS は 2⁹-1 のパターンを用いて、20Gbps 伝送での PRBS ジッタの合計が 2.13 ps、20~80%の立ち上がり時間が 25 ps、立

ち下がり時間が 20ps を達成した。図 5.18 は、 2^9-1 の PRBS パターンで伝送速度を 10Gbps から 20Gbps まで変化させたときの Optical Modulation Amplitude(OMA)変化を示している。光受信回路は、20Gbps で 10^{-12} の BER に対して -7.1dBm の入力感度を達成した。測定された 20 Gbps バスタブ曲線を図 5.19 に示す。アイ開口部は 20 Gbps、 10^{-12} で 25% となった。表 4 は、本研究の CMOS 光受信回路の性能と、先行研究 [43] [45] [48] との比較を示したものである。本研究で提案した光受信回路は、内部インダクタを使用せずに 20Gbps の高速伝送と 82.8dB Ω の高利得を、0.02mm² の実装面積で実現しており、高性能で小面積を実現できる回路技術である。

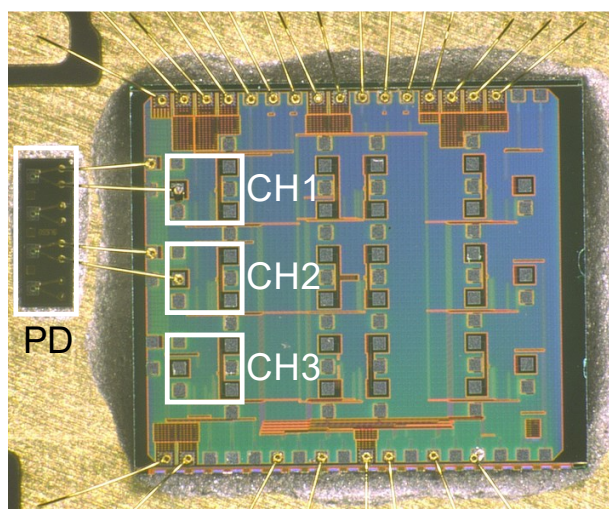
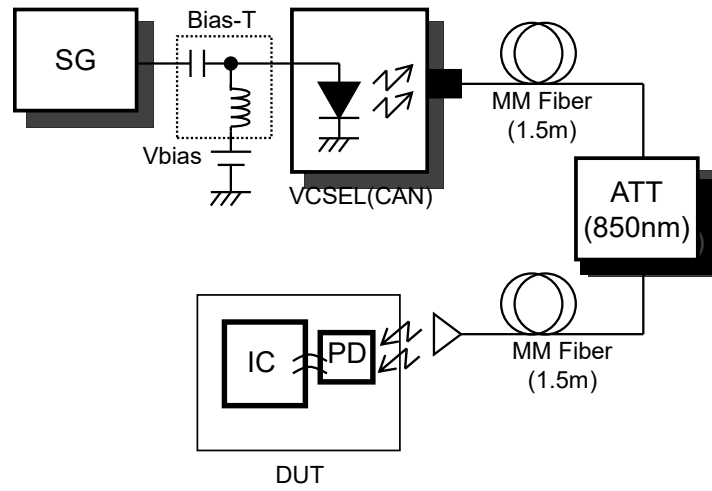
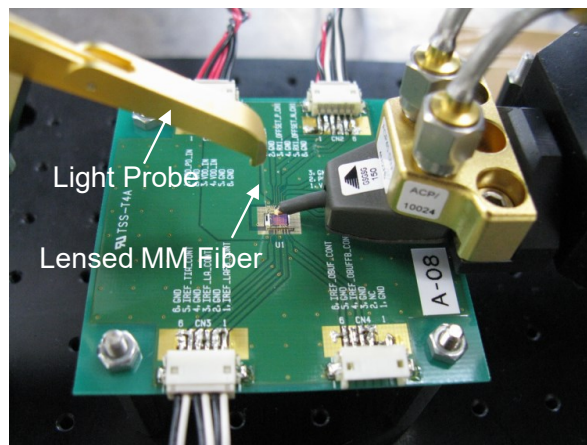


図 5.13 試作 LSI 写真

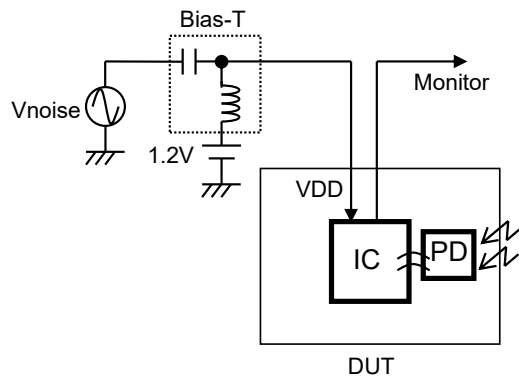


(a) 測定ブロック図

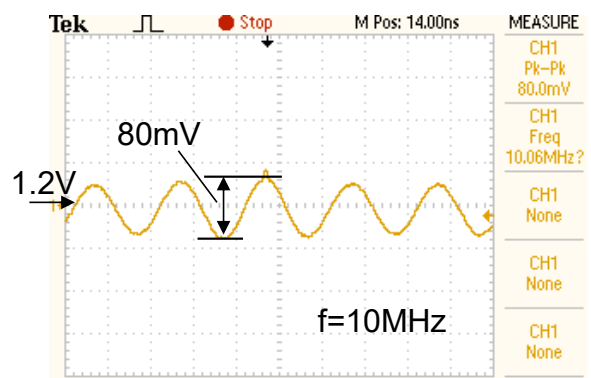


(b) 測定環境セットアップ写真

図 5.14 評価構成図(a)とセットアップ写真(b)

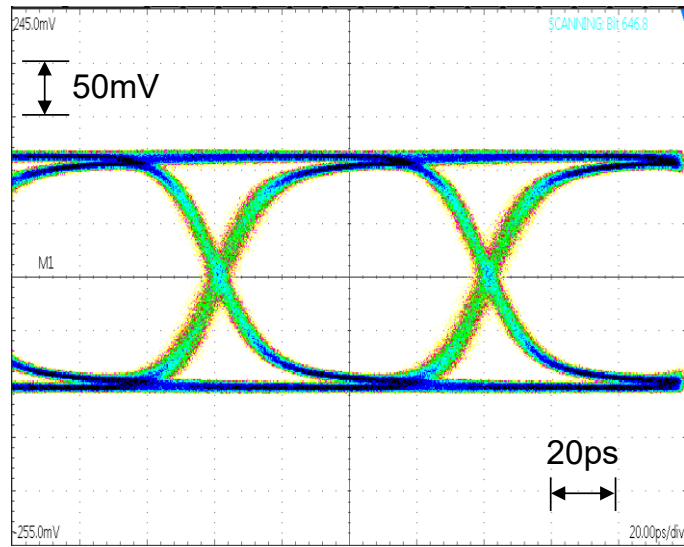


(a) 電源重畳試験ブロック図

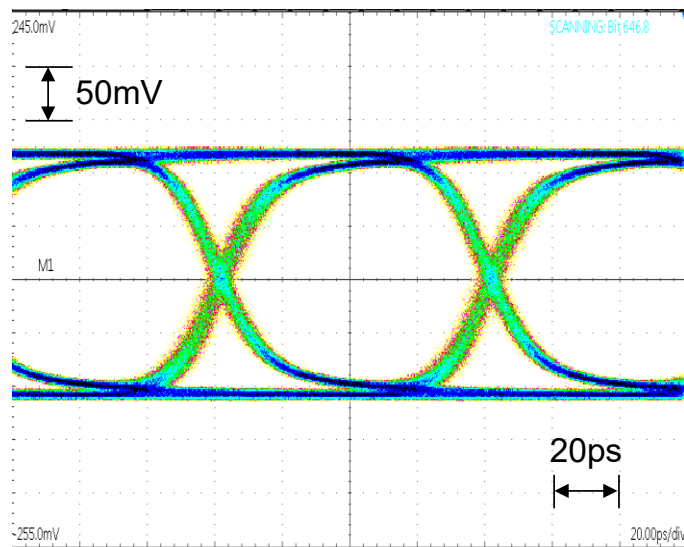


(b) 印加雑音

図 5.15 電源雑音の印加方法と印加した雑音波形(10MHz、80mVpp)

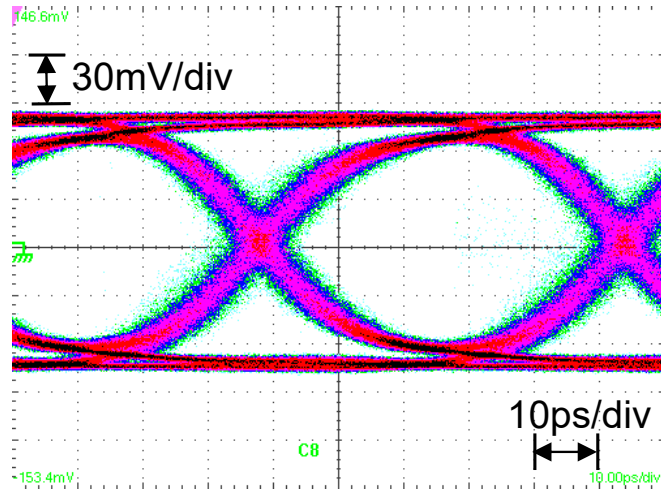


(a) 電源雑音なし

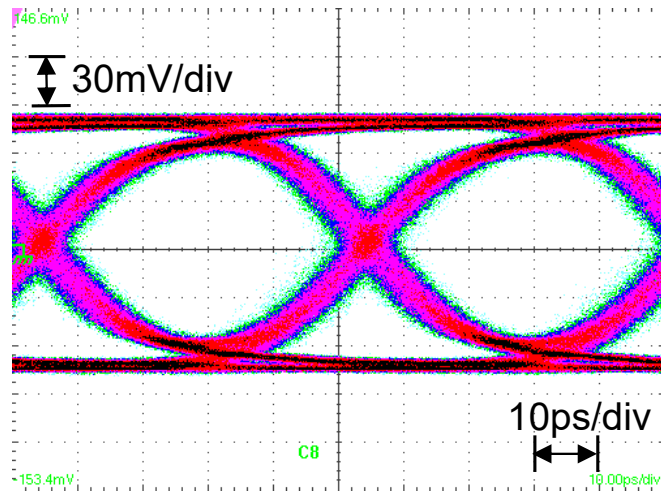


(b) 電源雑音あり

図 5.16 電源雑音重畳によるアイダイアグラム変化



(a) 18Gbps



(b) 20Gbps

図 5.17 18Gbps と 20Gbps のアイダイアグラム波形比較

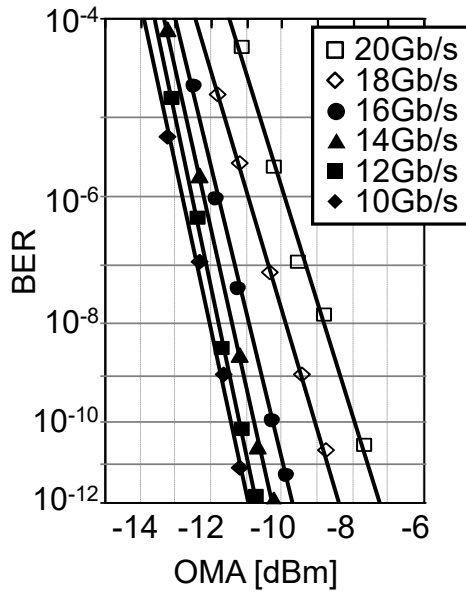


図 5.18 受信感度特性

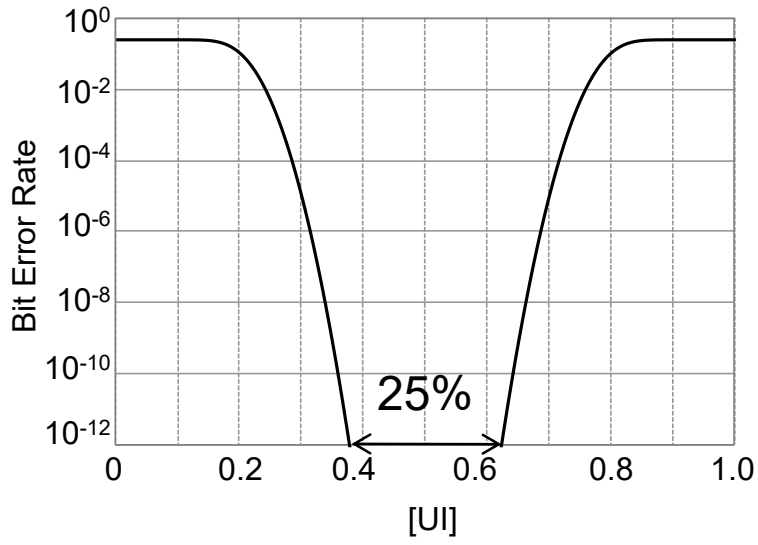


図 5.19 バスタブカーブ

表 4 本研究の光受信回路と先行研究の比較

	Unit	This work	[43]	[45]	[48]
Technology	-	90 nm	90 nm	65 nm	0.18 μm
Data rate	Gbps	20	40	25	10
Transimpedance gain	$\text{dB}\Omega$	82.8	66.7	69.8	90
Power	mW/CH	77.2	75	74	199
Occupation area	mm^2/CH	0.02	0.56	0.4	2.08
Density	Gbps/mm^2	1000	71.4	62.5	4.8

5.6 まとめ

本章は次世代マトリクスプローブ実現のための大容量高速光受信回路技術について述べた。次世代マトリクスプローブでは、送信信号制御のために、超音波診断装置本体からマトリクスプローブ側へ 20Gbps のデータ伝送が必要であり、それを実現する光受信回路技術について検討を行った。光受信回路ではシャントフィードバック型の TIA の入力段に RGC 電流バッファを追加することで、インダクタレスで高帯域動作可能な TIA を提案した。さらに、シャントフィードバックには電源ノイズを低減するノイズキャンセラを搭載し、シャントフィードバックの弱点であった雑音耐性を改善した。90nmCMOS プロセスで試作評価を行い、20Gbps の光受信可能で、コア回路は $0.02\text{mm}^2/\text{CH}$ と超低面積の光受信回路を実現した。

上記の技術をマトリクスプローブのデータ伝送に用いることで、光ケーブルの本数が削減し、かつ低消費電力でデータ伝送が可能となる技術である。

第6章 結論

本論文で提案した送受信回路技術と大容量高速伝送技術を次世代マトリクスプローブへ搭載した場合の有効性についてまとめる。

本研究で提案した SAR-ADC の内部 DAC を時分割利用した送信ビームフォーミング回路技術は、送受信信号が同時に処理されないという超音波診断装置特有の信号処理に着目し、受信信号処理で使用している SAR-ADC 内部の電流 DAC を送信時に時分割利用するという新しい回路方式である。本方式を用いて送信ビームフォーミングを実現するには専用のバッファ回路が必要となり、THI 撮像で重要となる歪特性の改善が課題であった。その課題を解決するために、ダイナミックレンジを拡大した低消費電力スーパーソースフォロワ回路を提案し、SAR-ADC 内部の電流 DAC 時分割利用による送信ビームフォーミング回路技術を確立した。本提案回路方式は送信専用の DAC が不要となるため従来技術と比較して 95.1%の面積削減効果があり省面積化に有効な回路技術である。

大容量高速伝送技術は超音波診断装置本体とマトリクスプローブをデジタル伝送するために必要であり、光通信による高速大容量通信を提案した。本研究で必要とされる光送受信回路の性能は、マトリクスプローブ側の光受信回路で 20Gbps、光送信回路で 25Gbps の高速伝送であった。

光送信回路の実現には、VCSEL 素子の非線形性や高電圧駆動回路が必要であった。そこで、エンファシス信号のデューティ比を調整した非対称エンファシスを考案し、フィードバック補正を搭載した VCSEL ドライバ回路を提案した。提案回路は 65nm CMOS プロセスで試作評価を行い 25Gbps の 4 チャンネル動作を実現した。

光受信回路の実現には内部 TIA 回路の電源雑音重畳の低減と高速高利得を実現する回路方式が必要であった。そこで、本研究では SFB 型 TIA にノイズキャンセリング機能を搭載し電源雑音の重畳を低減するとともに、RGC 電流バッファを追加した新たな回路方式を提案した。提案回路は 90nm CMOS プロセスで試作評価を行い、ノイズキャンセリング機能の有効性および 20Gbps 光受信特性を実現した。

提案した光送受信回路は小面積で実装可能で、小型化が必要な次世代マトリクスプローブに有効な回路技術であるとともに、要求されている送受信の伝送性能を実現する技術である。

表 5 にマトリクスプローブ向け送受信回路に関する既存技術と本研究の比較を示す [1] [49] [50]。本研究はチャンネル数を最大 10000 チャンネルとし、SAR-ADC 内の DAC 時分割方式により送信方式にリニア送信回路の搭載を可能としている。受信部については LNA および VGA を搭載した受信回路を SAR 方式の ADC により 12bit の離散デジタル信号に変換する。本研究で提案した高速大容量光伝送技術を用いることで、光ファイバ 3 本で最大 75Gbps の伝送が可能になり、従来技術では困難であった複数チャンネルの伝送が可能となる。

表 5 本研究とマトリクスプローブ既存技術との比較

	This work	ISSCC '17 (Hitachi)	ISSCC '17 (Stanford)	ISSCC '18 (Delft 大)	ISSCC '18 (ジョージア工科大)	
チャンネル数	~10000	3072	16	144	64	
Tx	送信回路	リニア	3値パルサ (138Vpp)	×	×	2値パルサ (60Vpp)
	ビームフォーマー	アナログ	2bit bus			デジタル回路
	DAC	搭載	非搭載(Digital)			非搭載(Digital)
Rx	受信回路	LNA+VGA	LNA	TIA+LPF+VGA	LNA+PGA	LNA+VGA
	ビームフォーマー	アナログ 25ns, ~ 30steps	アナログ 25ns, 27steps	デジタル 8.33ns, 128steps	アナログ N.A	デジタル N.A
	ADC	SAR, 12bit	×	$\Delta\Sigma$, 60dB	SAR, 51.8dB	×
Data Link	光 ~25Gbps	×	×	LVDS 1.5Gbps	TDM, アナログ	
Process	0.18 μ m HV + 65nm CMOS	0.18 μ m HV SOI CMOS	28 nm CMOS	0.18 μ m CMOS	0.18 μ m HV BCD	

以上の研究成果により、次世代マトリクスプローブの実用可能な目処を得た。しかしながら、実用化に向けては課題もまだ残る。その一つが消費電力の問題である。表 6 に要素ブロックごとの消費電力とマトリクスプローブ全体の消費電力を示す。本研究により高速インターフェイス部での消費電力、送信用ビームフォーミング回路部(DAC+BUF)では消費電力が大きく低減できている。しかしながら、マイクロビームフォーマ部では、消費電力が小さいパルサ方式を用いても 0.7mW/CH 程度の電力消費が必要とされる [1]。全体で 10000 チャンネルとすると、7W 相当になる、ここにさらに ADC では電流 DAC を用いた SAR-ADC によって高速高精度化が実現できるが、消費電力が増加している [12]。そのため合計の消費電力は 11W 超となる。また、本検討には含んでいないが、マトリクスプローブ内部には ADC や DAC のデータ処理、高速インターフェイスのデータ処理のため大規模なデジタル回路が必要になる。それらも含めると 15W 程度の消費電力が見込まれる。そのため、マトリクスプローブ内での自然放熱が困難になり、冷却機構の追加が必要となってくる。冷却機構については、実用上の観点から超音波プローブでは水冷方式が必要となり、この冷却機構によってプローブと装置本体の距離が制約されることになる。提案したマトリクスプローブを実現するためにはさらなる低消費電力化が必要であり、今後の研究課題として引き続き検討を進めていく。

表 6 各要素ブロックの消費電力

ブロック		消費電力[mW/CH]	CH数	Power[mW]
マイクロビームフォーマ		0.7	10000	7000
ADC/DAC	ADC	38	100	3800
	DAC+BUF	1.1	100	110
高速IF	光送信回路	75	3	225
	光受信回路	77.2	1	77.2
TOTAL[W]				11.2

参考文献

- [1] Yusaku Katsube, Shinya Kajiyama, Takuma Nishimoto, Tatsuo Nakagawa, Yasuyuki Okuma, Yohei Nakamura, Takahide Terada, Yutaka Igarashi, Taizo Yamawaki, Toru Yazaki, Yoshihiro Hayashi, Kazuhiro Amino, Takuya Kaneko, and Hiroki Tanaka, “Single-chip 3072ch 2D array IC with RX analog and all-digital TX beamformer for 3D ultrasound imaging,” IEEE International Solid-State Circuits Conference, pp. 458 -459, 2017.
- [2] Chao Chen, Zhao Chen, Deep Bera, Emile Noothout, Zu-yao Chang, Mingliang Tan, Hendrik Vos, Johan Bosch, Martin Verweij, Nico de Jong and Michiel Pertijs, “A 0.91mW/Element Pitch-Matched Front-End ASIC with Integrated Subarray Beamforming ADC for Miniature 3D Ultrasound Probes,” IEEE International Solid-State Circuits Conference, pp. 186 -188, 2018.
- [3] Christoph Risser, Hans Joachim Welsch, Heinrich Fonfara, Holger Hewener and Steffen Tretbar, “High channel count ultrasound beamformer system with external multiplexer support for ultrafast 3D/4D ultrasound,” IEEE International Ultrasonics Symposium (IUS), pp.1-4, 2016.
- [4] H. Hasegawa, H. Tanaka, T. Takezaki and S. Machida, “Amplitude modulated pulse inversion technique for high SNR of tissue harmonic imaging using CMUT,” 2017 IEEE International Ultrasonics Symposium (IUS), pp.1-4, 2017.
- [5] 日立金属, “https://www.hitachi-metals.co.jp/rad/pdf/2016/vol32_s04.pdf” .
- [6] Jaeduk Han, Yue Lu, Nicholas Sutardja and Elad Alon, “A 60Gb/s 288mW NRZ transceiver with adaptive equalization and baud-rate clock and data recovery in 65nm CMOS technology,” IEEE International Solid-State Circuits Conference, pp. 112 -113, 2017.
- [7] Zili Yu, Michiel A.P. Pertijs and Gerard C. M. Meijer, “A programmable analog delay line for Micro-beamforming in a transesophageal ultrasound probe,” 2010 10th IEEE International Conference on Solid-State and Integrated Circuit Technology, pp.299-301, 2010.
- [8] Song-Hyun Gu, Sung-Jin Jung, Seong-Kwan Hong and Oh-Kyong Kwon, “Low-power area-efficient high-voltage linear amplifier for driving integrated 2-D ultrasound transducer array,” 2013 International SoC Design Conference (ISOCC), pp.111-114, 2013.

- [9] B. Murmann, “ADC Performance Survey 1997-2014 “ <http://web.stanford.edu/~murmam/ adcsurvey.html>” .
- [10] Vaibhav Tripathi and Boris Murmann, “An 8-bit 450-MS/s single-bit/cycle SAR ADC in 65-nm CMOS,” Proceedings of the ESSCIRC (ESSCIRC), pp.117-120, 2013.
- [11] Shuo-Wei Michael Chen and Robert W. Brodersen, “A 6-bit 600-MS/s 5.3-mW Asynchronous ADC in 0.13um CMOS,” IEEE Journal of Solid-State Circuits, Volume: 41, Issue: 12, pp.2669-2680, 2006.
- [12] Martin Krämer, Erwin Janssen, Kostas Doris and Boris Murmann, “A 14-Bit 30-MS/s 38-mW SAR ADC Using Noise Filter Gear Shifting,” IEEE Transactions on Circuits and Systems II: Express Briefs, Volume: 64, Issue: 2, pp. 116 - 120, 2017.
- [13] Martin Krämer, Erwin Janssen, Kostas Doris and Boris Murmann, “A 14 b 35 MS/s SAR ADC Achieving 75 dB SNDR and 99 dB SFDR With Loop-Embedded Input Buffer in 40 nm CMOS,” IEEE Journal of Solid-State Circuits, Volume: 50, Issue: 12, pp. 2891 - 2900, 2015.
- [14] Toru Yazaki and Akira Hyogo, “Time-Shared DAC in SAR ADC for Tx Beamforming of Ultrasound Application,” IEEE International Symposium on Intelligent Signal Processing and Communication Systems, pp.453-456, 2018.
- [15] Shinsuke Fujii, Akira Hyogo and Keitaro Sekine, “A Super Source Follower with Wide Output Voltage Range,” Technical Meeting on Electronic Circuits, IEE Japan, Volume: ECT-05 Issue: 48 -55 pp.17 -20, 2005.
- [16] Toru Yazaki and Akira Hyogo, “Dynamic Range Expanded Class-AB CMOS Super Source Follower Circuit,” IEEEJ International Conference on Analog VLSI Circuits, pp.17-20, 2018.
- [17] H.Elwan and M.Ismail, “CMOS low noise class AB buffer,” Electronics Letters, Volume: 35, Issue: 21, pp. 1834 -1836, 1999.
- [18] B. Murmann, “On the use of redundancy in successive approximation A/D converters,” International Conference on Sampling Theory and Applications (SampTA), 2013.
- [19] Takayuki Shibasaki, Takumi Danjo, Yuuki Ogata, Yasufumi Sakai, Hiroki Miyaoka, Futoshi Terasawa, Masahiro Kudo, Hideki Kano, Atsushi Matsuda, Shigeaki Kawai, Tomoyuki Arai, Hirohito Higashi, Naoaki Naka, Hisakatsu Yamaguchi, Toshihiko Mori, Yoichi Koyana, “A 56Gb/s NRZ-electrical 247mW/lane serial-link transceiver in 28nm CMOS,” IEEE International Solid-State Circuits

- Conference, pp. 64-65, 2016.
- [20] C. L. Schow, A. V. Rylyakov, B. G. Lee, F. E. Doany, C. Baks, R. A. John, and J. A. Kash, "Transmitter Pre-Distortion for Simultaneous Improvements in Bit-Rate, Sensitivity, Jitter, and Power Efficiency in 20 Gb/s CMOS-driven VCSEL Links," Optical Fiber Communication Conference and Exposition, pp.1-3, 2011.
- [21] Kenichi Ohhata, Hironori Imamura, Toshinobu Ohno, Takaya Taniguchi, Kiichi Yamashita, Toru Yazaki and Norio Chujo, "17 Gb/s VCSEL Driver Using Double-Pulse Asymmetric Emphasis Technique in 90-nm CMOS for Optical Interconnection," IEEE International Symposium on Circuits and Systems, pp.1847-1850, 2010.
- [22] D. Kucharski, Y. Kwark, D. Kuchta, D. Guckenberger, K. Kornegay, M. Tan, Chao-Kun Lin and A. Tandon, "A 20 Gb/s VCSEL driver with pre-emphasis and regulated output impedance in 0.13 μ m CMOS," IEEE International Solid-State Circuits Conference, pp.222-223, 2005.
- [23] Toru YAZAKI, Norio CHUJO, Takeshi TAKEMOTO, Hiroki YAMASHITA and Akira HYOGO, "25-Gbps 3-mW/Gbps/ch VCSEL Driver Circuit in 65-nm CMOS for Multichannel Optical Transmitter," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Volume E101.A, Issue 2, pp. 402-409, 2018.
- [24] Zhiyao Zeng, Kexu Sun, Guanhua Wang, Tao Zhang, Szymon Kulis, Ping Gui and Paulo Moreira, "A Compact Low-Power Driver Array for VCSELs in 65-nm CMOS Technology," IEEE Transactions on Nuclear Science, Issue 99, pp1-1, 2016.
- [25] Guido Belfiore, Ronny Henker and Frank Ellinger, "The effect of strong equalization in high-speed VCSEL-based optical communications up to 48 Gbit/s," IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM), pp.13-16, 2016.
- [26] Yukito Tsunoda, Mariko Sugawara, Hideki Oku, Satoshi Ide, and Kazuhiro Tanaka, "25-Gb/s Transmitter for Optical Interconnection with 10-Gb/s VCSEL Using Dual Peak-Tunable Pre-Emphasis," Optical Fiber Communication Conference and Exposition and the National Fiber Optic Engineers Conference, pp. 1-3, 2011.
- [27] Kwan Ting Ng, Yeung Bun Choi and Keh Chung Wang, "A 25Gb/s Common-Cathode VCSEL Driver," IEEE Compound Semiconductor Integrated Circuit Symposium, pp.1-4, 2014.
- [28] "Datasheet of V25A-850C12," VI Systems GmbH.

- [29] “Datasheet of 850nm 20 Gbps Multimode VCSEL Chip Array,” Oclaro.
- [30] Martin Grabherr, Steffan Intemann, Stefan Wabra, Philipp Gerlach, Michael Riedl and Roger King, “25 Gbps and beyond: VCSEL development at Philips,” SPIE Proceedings, Vol. 8639, 2013.
- [31] Jonathan Proesel, Clint Schow and Alexander Rylyakov, “25Gb/s 3.6pJ/b and 15Gb/s 1.37pJ/b VCSEL-Based Optical Links in 90nm CMOS,” IEEE International Solid-State Circuits Conference, pp. 418-419, 2012.
- [32] Juncheng Wang, Li Sun, Zhongkai Wang, Nan Qi, Patrick Yin Chiang and Zhiliang Hong, “25 Gb/s VCSEL Driver with Pulse Equalization Technique,” Optical Interconnects Conference, pp.55-56, 2014.
- [33] Jin-Wei Shi, Kai-Lun Chi, Jin-Hao Chang, Zhi-Rui Wei, Jia-Wei Jiang and Ying-Jay Yang, “Single-Mode Vertical-Cavity Surface-Emitting Laser Array With High Power and Narrow Far-Field Divergence Angle,” IEEE Photonics Journal, Volume 5, Issue 6, 2013.
- [34] László Szilágyi, Guido Belfiore, Ronny Henker and Frank Ellinger, “A High-voltage DC Bias Architecture Implementation in a 17 Gbps Low-power Common-cathode VCSEL Driver in 80 nm CMOS,” IEEE International Symposium on Circuits and Systems, pp. 2385 - 2388, 2015.
- [35] G. Belfiore, L. Szilagy, R. Henker and F. Ellinger, “Common cathode VCSEL driver in 90 nm CMOS enabling 25 Gbit/s optical connection using 14 Gbit/s 850 nm VCSEL,” IET Electronics Letters, Vol.51, Issue 4, pp.349 - 351, 2015.
- [36] Toru Yazaki, Norio Chujo, Hiroki Yamashita, Takashi Takemoto, Yong Lee and Yasunobu Matsuoka, “25-Gbps \times 4 optical transmitter with adjustable asymmetric pre-emphasis in 65-nm CMOS,” IEEE International Symposium on Circuits and Systems, pp. 2962- 2965, 2014.
- [37] Alexandra Kern, Anantha Chandrakasan and Ian Young, “18Gb/s Optical IO: VCSEL Driver and TIA in 90nm CMOS,” IEEE Symposium on VLSI Circuits, 2007.
- [38] Norio Chujo, Toru Yazaki, Toshiaki Takai, Daichi Kawamura, Yasunobu Matsuoka, Yong Lee, Toshiki Sugawara, Hiroki Yamashita, Takashi Takemoto, Yoshiaki Ishigami, Kinya Yamazaki, Yoshinori Sunaga and Naoki Matsushima, “A 25-Gb/s \times 4-Ch, 8 \times 8 mm², 2.8-mm thick compact optical transceiver module for on-board optical interconnect,” Optical Fiber Communication Conference and Exposition and the National Fiber Optic Engineers Conference (OFC/NFOEC),

pp.1-3, 2013.

- [39] Takashi Takemoto, Hiroki Yamashita, Toru Yazaki, Norio Chujo, Yong Lee and Yasunobu Matsuoka, "A 4×25 -to-28Gb/s 4.9mW/Gb/s -9.7 dBm high-sensitivity optical receiver based on 65nm CMOS for board-to-board interconnects," IEEE International Solid-State Circuits Conference, 2013.
- [40] Juncheng Wang, Nan Qi, Zhongkai Wang, Qianqian Yang, Hui Guo, Rui Bai, Zhiliang Hong and Patrick Yin Chiang, " 4×30 Gbps 155mW/channel VCSEL driver in 65nm CMOS," IEEE Optical Interconnects Conference (OI), pp.111 - 112, 2015.
- [41] Yukito Tsunoda, Mariko Sugawara, Hideki Oku, Satoshi Ide and Kazuhiro Tanaka, "A 40Gb/s VCSEL over-driving IC with group-delay-tunable pre-emphasis for optical interconnection," IEEE International Solid-State Circuits Conference, pp.154-155, 2014.
- [42] Uematsu, Y., Osaka, H., Suzuki, E., Yagyu, M., and Saito, T, "Measurement techniques for on-chip power supply noise waveforms based on fluctuated sampling delays in inverter chain circuits," In Electrical Performance of Electronic Packaging (EPEP), pp. 69-72, 2008.
- [43] Liao, C.-F. and Liu, S.-I, "40 Gb/s transimpedance-AGC amplifier and CDR circuit for broadband data receivers in 90 nm CMOS," IEEE Journal of Solid-State Circuits, 45(3), pp.642-655, 2008.
- [44] Nakahara, T., Tsuda, H., Tateno, K., and Ishihara, N., "Highsensitivity 1-Gb/s CMOS receiver integrated with a III-V photodiode by wafer-bonding," In Electronic-enhanced optics. Optical sensing in semiconductor manufacturing. Electro-optics in space, Broadband optical networks, Florida, pp. I17-I18, 2000.
- [45] Takemoto, T., Yuki, F., Yamashita, H., Tsuji, S., Saito, T. and Nishimura, S., "A 25 Gb/s x 4-channel 74 mW/ch transimpedance amplifier in 65 nm CMOS," Custom Integrated Circuits Conference (CICC), San Jose, pp. 1-4, 2010.
- [46] Toru Yazaki, Norio Chujo, Naoki Matsushima, Yasunobu Matsuoka, Yong Lee, Toshiki Sugawara and Kenichi Ohhata, "A 20 Gb/s Inductor-less CMOS Optical Receiver for Short-Distance Interconnects," IEEE International Conference on Analog VLSI Circuits, 2012.
- [47] Galal, S. and Razavi, B, "10 Gb/s limiting amplifier and laser/modulator driver in 0.18 um CMOS technology," IEEE Journal Solid-State Circuits, 38(12), 2138-2146, 2012.

- [48] Chen, W.Z., Lin and D.-S., “A 90-dBX 10-Gb/s Optical receiver analog front-end in a 0.18 um CMOS technology,” IEEE Transactions on Very Large Scale Integration (VLSI) Systems,15(3), 2015.
- [49] Man-Chia Chen, Aldo Peña Perez, Sri-Rajasekhar Kothapalli, Philippe Cathelin, Andreia Cathelin, Sanjiv Sam Gambhir and Boris Murmann, “A pixel-pitch-matched ultrasound receiver for 3D photoacoustic imaging with integrated delta-sigma beamformer in 28nm UTBB FDSOI,” IEEE International Solid-State Circuits Conference (ISSCC), pp.456-457, 2017.
- [50] Gwangrok Jung, M. Wasequr Rashid, Thomas M. Carpenter, Coskun Tekes, David M. J. Cowell, Steven Freeear, F. Levent Degertekin and Maysam Ghovanloo, “Single-chip reduced-wire active catheter system with programmable transmit beamforming and receive time-division multiplexing for intracardiac echocardiography,” IEEE International Solid - State Circuits Conference - (ISSCC), pp.188-190, 2018.
- [51] Toru Yazaki, Toshiaki Takai, Norio, Chujo, Naoki Matsushima and Kenichi Ohhata, “A 20 Gbps inductorless CMOS optical receiver for short -distance VCSEL-based 850 nm optical links,” An International Journal of Analog Integrated Circuits and Signal Processing, Vol. 78, Issue 1, pp. 43 - 51, 2014.

研究業績

主論文を構成する論文

1. A 20 Gbps inductorless CMOS optical receiver for short -distance VCSEL-based 850 nm optical links
(850nm 帯の VCSEL を用いた短距離通信向け 20Gbps インダクタレス CMOS 光受機)
Toru Yazaki, Toshiaki Takai, Norio, Chujo, Naoki Matsushima, Kenichi Ohhata
An International Journal of Analog Integrated Circuits and Signal Processing, Vol. 78, Issue 1, pp. 43 - 51 (2014 年 1 月)
2. 25-Gbps 3-mW/Gbps/ch VCSEL Driver Circuit in 65-nm CMOS for Multichannel Optical Transmitter
(マルチチャネル光送信機用 65nm CMOS における 25Gbps 3mW/Gbps/ch VCSEL ドライバ回路)
Toru YAZAKI, Norio CHUJO, Takeshi TAKEMOTO, Hiroki YAMASHITA, Akira HYOGO
IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Volume E101.A, Issue 2, pp. 402-409 (2018 年 2 月)
3. 25-Gbps×4 optical transmitter with adjustable asymmetric pre-emphasis in 65-nm CMOS
(非対称で調整可能なプリエンファシスを用いた 25Gbps×4 チャンネルの 65nm CMOS 光送信器)
Toru Yazaki, Norio Chujo, Hiroki Yamashita, Takashi Takemoto, Yong Lee, Yasunobu Matsuoka
IEEE International Symposium on Circuits and Systems, pp. 2692-2695 (2014 年 5 月)
4. Dynamic Range Expanded Class-AB CMOS Super Source Follower Circuit
(ダイナミックレンジを拡張したクラス AB 級 CMOS スーパーソースフォロワ回路)
Toru Yazaki and Akira Hyogo
2018 International Conference on Analog VLSI Circuits, pp.17-20 (2018 年 10 月)

5. Time-Shared DAC in SAR ADC for Tx Beamforming of Ultrasound Application
(超音波送信ビームフォーミングに向けた SAR-ADC 内部 DAC の時分割利用)
Toru Yazaki and Akira Hyogo
2018 International Symposium on Intelligent Signal Processing and Communication
Systems, pp.453-456 (2018 年 11 月)

参考論文

1. A 20 Gb/s Inductor-less CMOS Optical Receiver for Short-Distance Interconnects
(短距離インターコネクト向け 20Gbps インダクタレス CMOS 光受信回路)
Toru Yazaki, Norio Chujo, Naoki Matsushima, Yasunobu Matsuoka, Yong Lee,
Toshiki Sugawara and Kenichi Ohhata
IEEE International Conference on Analog VLSI Circuits (2012 年 10 月)
2. Single-chip 3072ch 2D array IC with RX analog and all-digital TX beamformer for
3D ultrasound imaging
Yusaku Katsube, Shinya Kajiyama, Takuma Nishimoto, Tatsuo Nakagawa,
Yasuyuki Okuma, Yohei Nakamura, Takahide Terada, Yutaka Igarashi, Taizo
Yamawaki, Toru Yazaki, Yoshihiro Hayashi, Kazuhiro Amino, Takuya Kaneko and
Hiroki Tanaka
IEEE International Solid-State Circuits Conference, pp.458-459 (2017 年 2 月)
3. 17 Gb/s VCSEL driver using double-pulse asymmetric emphasis technique in 90-nm
CMOS for optical interconnection
Kenichi Ohhata, Hironori Imamura, Toshinobu Ohno, Takaya Taniguchi, Kiichi
Yamashita, Toru Yazaki and Norio Chujo
IEEE International Symposium on Circuits and Systems, pp.1847-1850 (2010 年 6
月)
4. 7.2-Tb/s compact optical backplane using ribbon fiber sheet and high-density
connector
Norio Chujo, Rika Nomura, Toru Yazaki, Toshiaki Takai and Naoki Matsushima
IEEE Optical Interconnects Conference, pp.93-94 (2014 年 5 月)
5. A 25 Gb/s \times 4-ch, 8 \times 8 mm small size optical transceiver module for optical
interconnection

Naoki Matsushima, Norio Chujo, Toshiaki Takai, Toru Yazaki, Daichi Kawamura,
Yasunobu Matsuoka, Yong Lee, Hiroki Yamashita, Takashi Takemoto, Hideo
Arimoto, Yoshiaki Ishigami, Kinya Yamazaki and Yoshinori Sunaga
IEEE 2013 3rd IEEE CPMT Symposium Japan, pp.1-4 (2013 年 11 月)

謝辞

本論文の執筆にあたり、研究のご指導ご鞭撻と、本論文をまとめるうえで適切な助言と多大なご尽力を賜りました東京理科大学 兵庫明教授に心より感謝いたします。さらに、本研究をまとめるにあたり、終始有益なご指導と、ご審査の労を賜りました東京理科大学 榎田洋太郎教授、永田肇教授、鈴木英之教授、大和田勇人教授に深く感謝いたします。

また、本研究の推進にあたり多大なご指導、ご協力いただきました、日立製作所 中條主任研究員、山下主任研究員、竹本主任研究員、高井主任研究員、鹿児島大学 大島教授に心より感謝いたします。

本研究を遂行することができたのは、以上の各位をはじめ多くの方々のご指導とご協力ご支援によるものであり、御礼申し上げます。