

学位申請論文

セル電圧均等化回路の有用性向上に関する研究

2019年3月

佐藤 大記



# 目次

<b>第1章 序論</b>	<b>1</b>
1.1 セル電圧均等化回路の必要性	2
1.2 従来回路における課題	4
1.3 本論文の目的と意義	6
1.4 本論文の構成	7
<b>第2章 LC直列回路方式セル電圧均等化回路の提案</b>	<b>9</b>
2.1 提案回路の構成と特徴	9
2.1.1 動作モード	11
2.1.2 提案回路の特徴	14
2.1.3 動作原理	16
2.2 各回路パラメータの設計法	19
2.2.1 回路素子 $L, C$ の設計指針	19
2.2.2 セル切替周期 $T_{CC}$ の設計指針	21
2.3 シミュレーションによる動作特性の検証	36
2.4 実機実験による動作特性の検証	45
2.5 提案回路の課題	56
2.6 第2章のまとめ	58
<b>第3章 擬似乱数列を用いた均等化時間低減法</b>	<b>59</b>
3.1 提案制御手法の概要と目的	59
3.2 動作原理	60
3.3 シミュレーションによる有用性の検証	62
3.3.1 従来制御法と擬似乱数法の比較	64
3.4 実機実験による有用性の検証	67
3.4.1 従来制御法と擬似乱数法の比較	71
3.5 平均均等化時間についての考察	73

3.6	均等化時間のばらつきについての考察 . . . . .	73
3.7	乱数周期 $M$ が均等化時間に与える影響 . . . . .	74
3.8	第3章のまとめ . . . . .	76
<b>第4章</b>	<b>蓄電セル電圧の大小関係推定を利用した均等化時間低減法</b>	<b>77</b>
4.1	提案制御手法の概要と目的 . . . . .	77
4.2	動作原理 . . . . .	80
4.2.1	各セル電圧大小関係の推定方法 . . . . .	80
4.2.2	推定した大小関係を利用したセルの選択 . . . . .	82
4.2.3	選択したセル間の電圧差の収束判定 . . . . .	83
4.3	最大電圧セルと最小電圧セル間の電圧差検出方法 . . . . .	86
4.4	シミュレーションによる有用性の検証 . . . . .	90
4.4.1	従来制御法と大小関係推定法の比較 . . . . .	92
4.5	実機実験による有用性の検証 . . . . .	94
4.5.1	従来制御法と大小関係推定法の比較 . . . . .	96
4.6	第4章のまとめ . . . . .	98
<b>第5章</b>	<b>回生型ゲート駆動回路を用いたゲート駆動回路の簡素化</b>	<b>99</b>
5.1	回生型ゲート駆動回路を提案回路に適用した際の回路構成 . . . . .	101
5.2	回生型ゲート駆動回路の制御法 . . . . .	104
5.3	3巻線トランスの設計指針 . . . . .	105
5.4	シミュレーションによる動作特性の検証 . . . . .	107
5.5	実機実験による動作特性の検証 . . . . .	111
5.6	バッテリーモジュール充電時の動作特性 . . . . .	114
5.7	第5章のまとめ . . . . .	120
<b>第6章</b>	<b>結論</b>	<b>121</b>
	謝辞	124
	参考文献	127
	主論文を構成する論文	135
	研究業績	137

# 目次

1.1	Conceptual diagram of a smart community. . . . .	1
1.2	Comparison of the available voltage ranges between balanced and imbalanced modules. . . . .	3
1.3	Conventional cell voltage equalizers. . . . .	5
2.1	LC series circuit type cell voltage equalizer. . . . .	10
2.2	Operating modes of the proposed voltage equalizer connected to three series-connected cells. . . . .	12
2.3	Comparison between operating modes and simulation current waveforms. . . . .	13
2.4	Equivalent circuit of a part of the proposed cell voltage equalizer. . . . .	17
2.5	Simulation results of the relationship between the cell change cycle $T_{CC}$ and the equalization time under three cells condition. . . . .	23
2.6	Simulation results of the relationship between the cell change cycle $T_{CC}$ and the equalization time under eight cells condition. . . . .	23
2.7	Simulation results of the relationship between the cell change cycle $T_{CC}$ and the equalization time under sixteen cells condition. . . . .	24
2.8	Comparison among the simulation results of the relationships on the number of cells $n$ . . . . .	24
2.9	Simulation results of the relationship between the cell change cycle $T_{CC}$ and the time constant of the LC series circuit. . . . .	27
2.10	Comparison among the relationships between the cell change cycle $T_{CC}$ and the transient response characteristics of the LC series circuit. . . . .	29
2.11	Comparison among the relationships between the cell change cycle $T_{CC}$ and the dead-time $T_{dead}$ . . . . .	31
2.12	Comparison among the relationships between the current limit value $i_{ref}$ and the equalization time. . . . .	33
2.13	Experimental results of the relationships between the equalization time and the cell change cycle $T_{CC}$ . . . . .	35

## 目次

2.14	Experimental results of the relationships between the efficiency and the cell change cycle $T_{CC}$ . . . . .	35
2.15	Simulation current waveforms of each cell of three series-connected cells. . . . .	39
2.16	Simulation current waveforms of each cell of eight series-connected cells. . . . .	40
2.17	Simulation current waveforms of each cell of sixteen series-connected cells. . . . .	40
2.18	Simulation results of the proposed cell voltage equalizer connected to three series-connected cells. . . . .	42
2.19	Simulation results of the proposed cell voltage equalizer connected to eight series-connected cells. . . . .	43
2.20	Simulation results of the proposed cell voltage equalizer connected to sixteen series-connected cells. . . . .	44
2.21	Experimental results of the proposed cell voltage equalizer connected to three series-connected EDLC cells. . . . .	50
2.22	Experimental results of the proposed cell voltage equalizer connected to eight series-connected EDLC cells. . . . .	51
2.23	Comparison of the experimental and simulation current waveforms of each cell ( $n = 3$ ). . . . .	52
2.24	Comparison of the experimental and simulation current waveforms of each cell ( $n = 8$ ). . . . .	53
2.25	Experimental results of the proposed cell voltage equalizer connected to eight series-connected lithium-ion battery cells. . . . .	55
2.26	Simulation results with the conventional method. . . . .	57
3.1	Flowchart of the proposed equalization time reduction method using pseudo-random numbers. . . . .	61
3.2	Simulation results with the proposed reduction method using pseudo-random numbers. . . . .	63
3.3	Simulation results with conventional method (represented below as Fig. 2.26). . . . .	65
3.4	Equalization time comparison between the proposed reduction method and the conventional method in the simulation. . . . .	66
3.5	Experimental results with the conventional method. . . . .	68
3.6	Experimental results with the proposed reduction method using pseudo-random numbers. . . . .	70
3.7	Equalization time comparison between the proposed reduction method and the conventional method in the experiment. . . . .	72

3.8	Characteristics of the equalization time to the period of random number $M$ under eight cells condition. . . . .	75
3.9	Characteristics of the equalization time to the period of random number $M$ under sixteen cells condition. . . . .	75
4.1	Flowchart of the proposed equalization time reduction method using a cell voltage estimation. . . . .	79
4.2	Detection of the equalization current direction. . . . .	81
4.3	Conceptual diagram of the cell voltage estimate. . . . .	81
4.4	Characteristics between the equalization time $T_{eq}$ and the cell monitoring cycle $T_{moni}$ in the simulation. . . . .	85
4.5	Relationship among the substantive equalization time $T_{subeq}$ , the voltage estimation time $T_{est}$ , the equalization time $T_{eq}$ and the cell monitoring cycle $T_{moni}$ . . . . .	85
4.6	Equivalent circuit of the proposed cell voltage equalizer ( $N = 2$ ). . . . .	89
4.7	Conceptual diagram of the input voltage on the LC series circuit and the equalization current waveforms. . . . .	89
4.8	Simulation results with the proposed reduction method using a cell voltage estimation. . . . .	91
4.9	Simulation results with the conventional method. . . . .	93
4.10	Experimental results with the proposed reduction method using a cell voltage estimation. . . . .	95
4.11	Experimental results with the conventional method. . . . .	97
5.1	Appearance of the proposed cell voltage equalizer using Photo-MOS Relays. . . . .	100
5.2	Circuit configuration of the proposed cell voltage equalizer with a regenerative gate drive circuit. . . . .	102
5.3	Operation modes of the proposed regenerative gate drive circuit. . . . .	103
5.4	Block diagram of the control method for the proposed regenerative gate drive circuit. . . . .	104
5.5	Conceptual diagrams of three-winding transformers. . . . .	105
5.6	Simulation results of the proposed regenerative gate drive circuit. . . . .	109
5.7	Voltages of each gate drive capacitor $V_{C1-C4}$ . . . . .	110
5.8	Experimental results of the proposed regenerative gate drive circuit. . . . .	113
5.9	Connection diagram of a battery module with an external power supply. . . . .	116
5.10	Experimental results of the proposed regenerative gate drive circuit (in charging state). . . . .	117
5.11	Voltage of the gate drive capacitor $V_{C1}$ (under CC charging period, $t = 5$ min). . . . .	119

図目次

5.12 Voltage of the gate drive capacitor  $V_{C1}$  (under CV charging period,  $t = 15$  min). . . . 119



# 表目次

1.1	Comparison of the characteristics between each cell voltage equalizer. . . . .	5
2.1	Comparison of the characteristics between conventional equalizers and the proposed equalizer. . . . .	15
2.2	Relationships among condition of $r$ , angular frequency of the oscillation and $t_{iMax}$ . . .	18
2.3	Required specifications of the simulation circuit. . . . .	20
2.4	Circuit parameters in the simulations to derive the cell change cycle $T_{CC}$ . . . . .	22
2.5	Circuit parameters in the simulations to derive the cell change cycle $T_{CC}$ considering the time constant of the LC series circuit. . . . .	26
2.6	Circuit parameters in the simulations to derive the cell change cycle $T_{CC}$ considering the transient response characteristics of the LC series circuit. . . . .	28
2.7	Circuit parameters in the simulations to derive the cell change cycle $T_{CC}$ inserted the dead-time $T_{dead}$ . . . . .	30
2.8	Circuit parameters in the simulations to derive the cell change cycle $T_{CC}$ considering the current limit value $i_{ref}$ . . . . .	32
2.9	Circuit parameters in the simulation for the three series-connected cells. . . . .	37
2.10	Circuit parameters in the simulation for the eight series-connected cells. . . . .	37
2.11	Circuit parameters in the simulation for the sixteen series-connected cells. . . . .	38
2.12	Circuit parameters in the experiment for the three series-connected EDLC cells. . . .	46
2.13	Circuit parameters in the experiment for the eight series-connected EDLC cells. . . .	46
2.14	Circuit parameters in the experiment for the eight series-connected lithium-ion battery cells. . . . .	47
3.1	Circuit parameters in the simulation for the proposed reduction method using pseudo-random numbers. . . . .	62
3.2	Circuit parameters in the experiment for the proposed reduction method using pseudo-random numbers. . . . .	67

## 表目次

4.1	Circuit parameters in the simulation for the proposed reduction method using a cell voltage estimation. . . . .	90
4.2	Circuit parameters in the experiment for the proposed reduction method using a cell voltage estimation. . . . .	94
5.1	Parameter comparison between Photo-MOS Relays “TLP3100” and Photocouplers “TLP250H”. . . . .	100
5.2	Circuit parameters in the simulation for the proposed regenerative gate drive circuit. .	107
5.3	Parameters of MOS-FETs using in the simulation. . . . .	108
5.4	Circuit parameters in the experiment for the proposed regenerative gate drive circuit.	112
5.5	Circuit parameters in the experiment for the proposed regenerative gate drive circuit (in charging state). . . . .	115

# 第1章 序論

近年，地球環境問題や化石燃料の枯渇問題などを背景として，Fig. 1.1 に示すようなスマートコミュニティと呼ばれる構想が広がりを見せている。スマートコミュニティとは，風力発電や太陽光発電などの自然エネルギーによる発電と，電気自動車や電気鉄道，スマートハウスといった負荷を連携させることにより，コミュニティ全体として電力を賢く利用しようという考えである [1]。しかしながら，風力発電や太陽光発電といった自然エネルギーによる発電は，日照時間や気温，風速といった気象条件によって大きく発電電力が変化するという特徴があり [2]，また，電気自動車の急速充電や電気鉄道といった負荷は，使用時と待機時で大きく消費電力が変動するため，これらの機器が増加するとシステムの電力が不安定になる危険性がある [3]。そのため，電力貯蔵や電力調整を目的とした，蓄電装置の需要が高まっている。

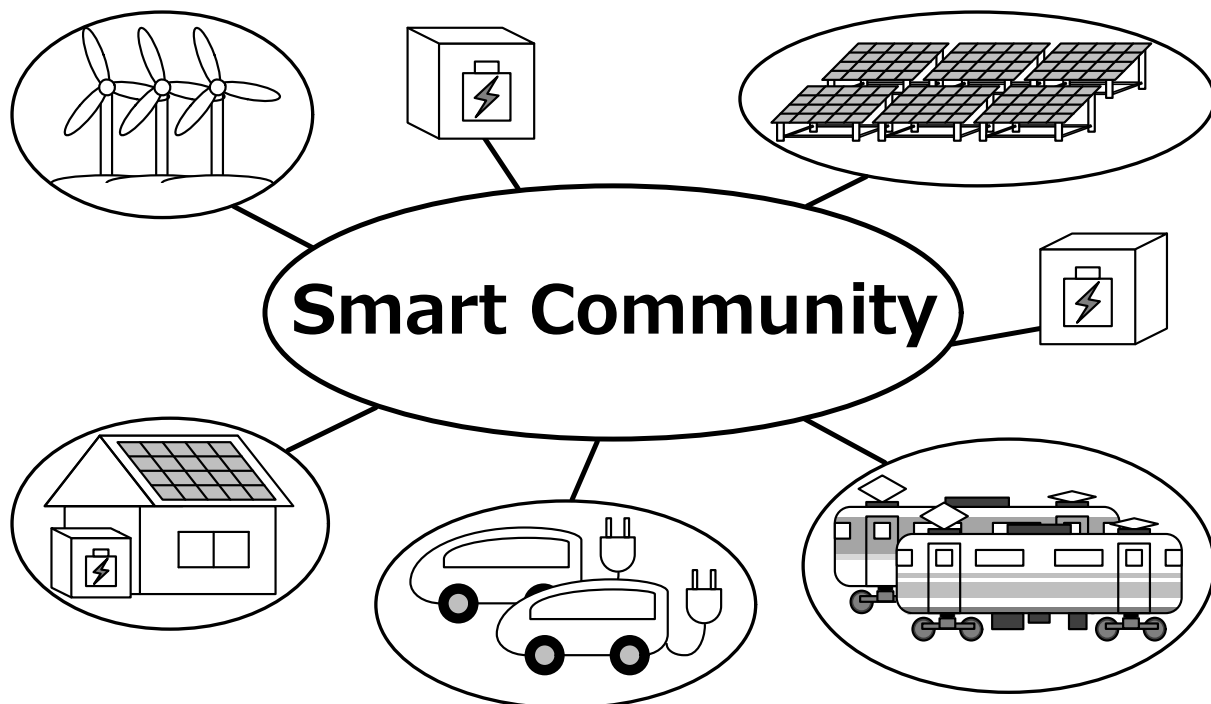


Fig. 1.1. Conceptual diagram of the smart community [1,2].

## 1.1 セル電圧均等化回路の必要性

蓄電装置には寿命や電力密度、エネルギー密度などの観点から電気二重層キャパシタ (EDLC: Electric Double-Layer Capacitor) やリチウムイオンバッテリーが広く用いられている。しかしながら、EDLC やリチウムイオンバッテリーは単セルあたりの電圧が低いため、実際に蓄電装置で用いる場合には、単セルを直列接続させたモジュールとして用いる場合が多い。このような使用では、セルごとの容量、自己放電率、内部インピーダンス、温度等の個体差により、EDLC やリチウムイオンバッテリーの各セル間において電圧のばらつきが生じる [4]。なお、現状の系統電力用電力貯蔵装置としてはナトリウム硫黄電池 (NAS 電池) やレドックスフロー電池などが一般に用いられているが [5-8]、近年、電気自動車で使用されたりチウムイオンバッテリー等を系統電力用の電力貯蔵装置にて再利用する取り組みが加速していることから [9]、本論文では EDLC ならびにリチウムイオンバッテリーを対象とした。

Fig. 1.2 に、各セル電圧のばらつきによるバッテリーモジュール容量低下のイメージ図を示す [10]。Fig. 1.2 では、バッテリーセル  $B_{1-4}$  を直列接続したバッテリーモジュールを充放電可能な状態 (図中、中央の状態) から、放電下限値 (Discharge limit) まで放電、または充電上限値 (Charge limit) まで充電した際の、各セルの電圧値とモジュール全体として利用可能な電気エネルギー量 (Available range) の関係を示している。図中の “Safe operation range” は、バッテリーセルとして安全に利用可能な電圧の範囲を表しており、横軸はバッテリーモジュールの充電状態を3段階で示し、縦軸は各セルの電圧値を表している。ここで、直列に接続したバッテリーセル  $B_{1-4}$  を充放電する場合、モジュール全体として充電可能な電気エネルギーは、電圧の最も高いセルによって制限される (図中、Charge limit の点線で丸を付けたセル電圧により制限される)。同様に、モジュール全体として放電可能な電気エネルギーは、電圧の最も低いセルによって制限される (図中、Discharge limit の点線で丸を付けたセル電圧により制限される)。その結果、セルの電圧バランスが崩れた状態で使用可能なモジュール全体の電気エネルギー量 (Available range) は、セルの電圧バランスが整っている状態と比較して減少する。これは Fig. 1.2(a) と Fig. 1.2(b) の “Available range” の差からも明らかである。

また、EDLC やリチウムイオンバッテリーは充放電の繰り返しにより劣化し、内部インピーダンスが増加する。一般的に、セルの劣化は電圧の高い状態で進行しやすいため、電圧の高いセルと低いセルの間では劣化の速度が異なり、劣化は不均一に進行する。これにより、充電時においては劣化の進行した内部インピーダンスの高いセルの電圧が高くなり、他のセルよりも更に劣化が進行する。その結果、バッテリーモジュールの充放電によって得られる電気エネルギーは更に減少することとなり、セル電圧のばらつきもより一層加速する。

このように、充放電サイクルの過程で一旦セル間の電圧バランスが崩れると、セルの劣化が加速度的に進行する。更に、充放電を頻繁に繰り返すような用途においては、この劣化の速度はより高いものとなる。このような悪循環を防止し、EDLCならびにリチウムイオンバッテリーの蓄電エネルギー、および充放電容量を最大限に活用するためには、セル電圧の均等化回路が必要不可欠となる [11]。

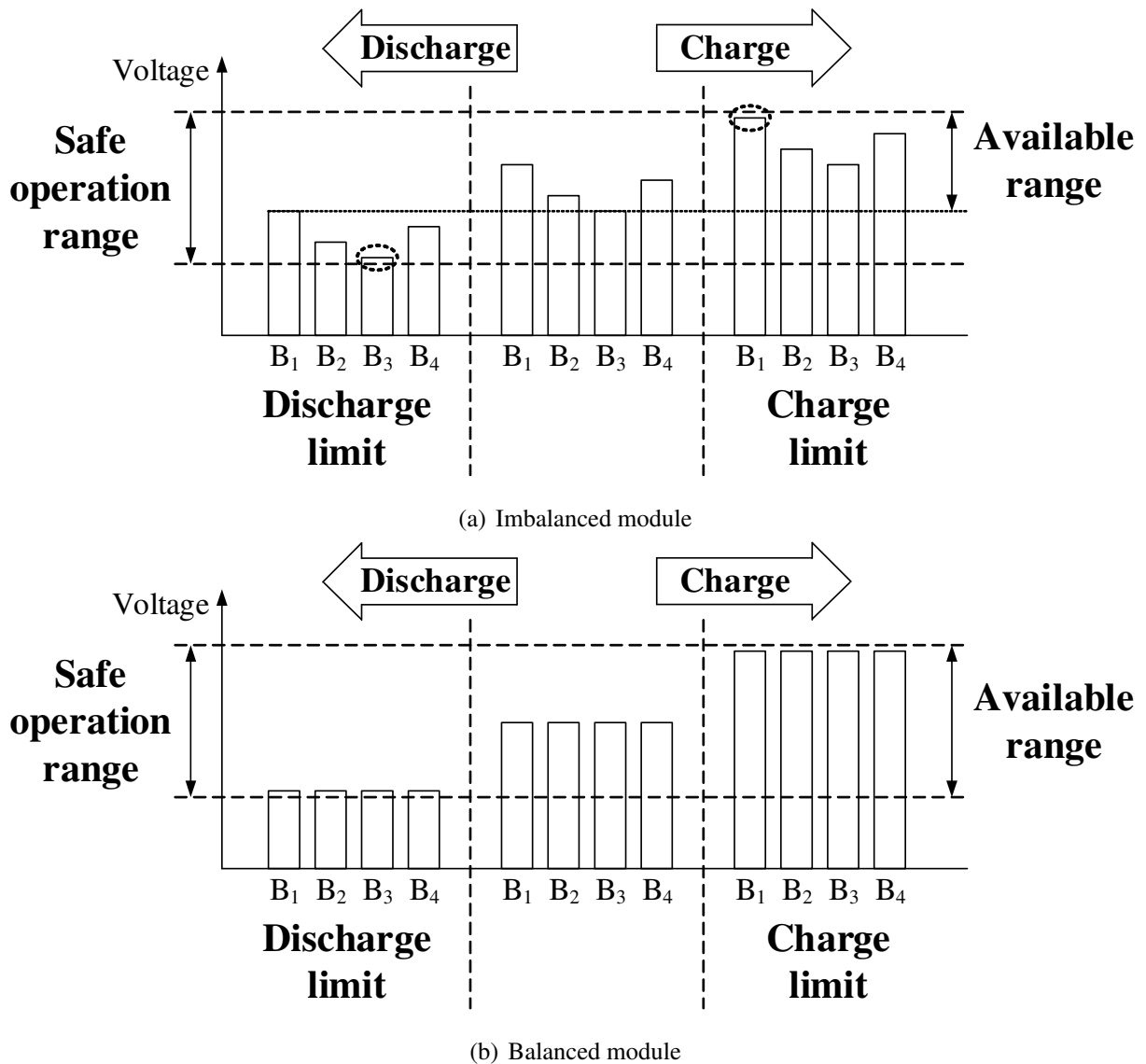


Fig. 1.2. Comparison of the available voltage ranges between balanced and imbalanced modules [10].

## 1.2 従来回路における課題

セル間の電圧のばらつきを解消するセル電圧均等化回路としては、既に様々な方式が提案されており [12–47]，各方式の有用性がこれまでに比較検討されてきた (本論文ではこれらの回路をまとめて従来回路と呼ぶ)。

Fig. 1.3(a) に示す回路はセル間の電圧の均等化を図るために余剰エネルギーを抵抗で消費させるパッシブ型と呼ばれる方式 [12, 13] であり，セル電圧均等化回路として現在最も一般に普及している方式である [11]。パッシブ型は抵抗とスイッチング素子のみで構成されることから構成が簡素であるという特徴を有する反面，均等化動作時の損失が必然的に大きくなるという課題がある。また，電圧の高いセルから低いセルへ蓄電エネルギーを移すことで均等化を図るアクティブ型と呼ばれる方式 [14–47] であっても，Fig. 1.3(b) に示すようなバッテリーモジュール内のセル同士の直並列を切り替える方式 [14, 15] では，均等化動作時に各セルに流れる電流 (以下，本論文では均等化電流と呼ぶ) を動的に制御できないといった課題や，Fig. 1.3(c) に示すようなトランス等の磁性素子やキャパシタ等の蓄電素子を用いて各セル間でコンバータを形成することにより各セル間で双方向に電荷の授受を行う方式 [16–47] では，一時的にエネルギー蓄えるためのインダクタやトランス，キャパシタといった受動素子がセル数に比例して多数必要となることから，回路規模が増大するといった課題があった。したがって，従来回路の特徴をまとめると Table 1.1 のようになり，新たなセル電圧均等化回路にはアクティブ型の採用による均等化動作の効率向上，均等化電流の動的な制御性，およびインダクタやキャパシタといった一時的なエネルギー貯蔵のために必要な受動素子数の削減による回路規模の低減の全ての課題を克服することが期待される。

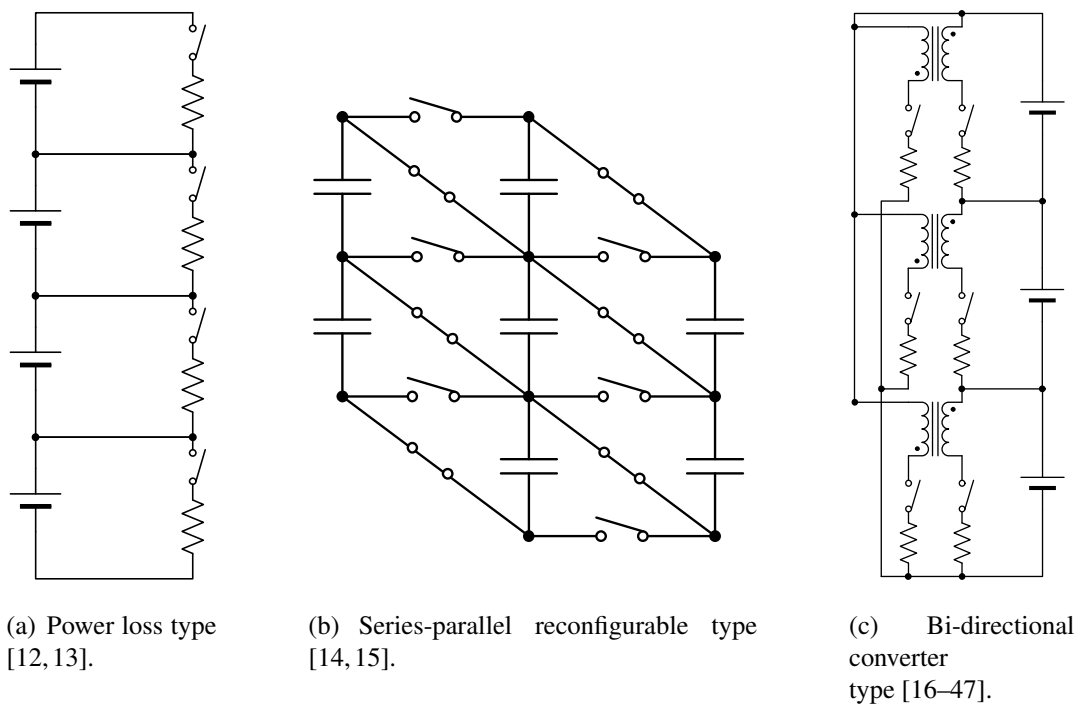


Fig. 1.3. Conventional cell voltage equalizers [12-47].

Table 1.1. Comparison of the characteristics between each cell voltage equalizer [12-47].

Equalizer type	Efficiency	Current controllability	Size
Power loss type [12, 13]	× (Passive type)	Possible	0
Series-parallel reconfigurable type [14, 15]	○ (Active type)	Impossible	$2(n - 1)$
Bi-directional converter type [16-47]	○ (Active type)	Possible	$n$ or $n - 1$
Expectation for a novel proposed equalizer	○ (Active type)	Possible	$< n$

## 1.3 本論文の目的と意義

本論文では、蓄電装置の需要拡大に伴って必要性が増しているセル電圧均等化回路の更なる有用性向上を目的とし、Table 1.1 に示したような従来回路が抱える課題に着目した新たなセル電圧均等化回路として、LC直列回路方式セル電圧均等化回路(以下、本論文では提案回路と呼ぶ)を提案する。提案回路では、アクティブ方式の採用による均等化動作の効率向上と均等化電流の動的な制御性、ならびに受動素子数の削減による回路規模の低減が期待される。また、シミュレーションおよび実機実験により動作特性を検証し、提案回路の有用性について検討する。

加えて、提案回路の価値の更なる向上を目的として、均等化に要する時間(以下、本論文では均等化時間と呼ぶ)を低減する制御法(以下、本論文では均等化時間低減法と呼ぶ)、および高い制御性を維持しつつゲート駆動回路を簡素化することが可能な双方向スイッチの構成方法についても検討する。均等化時間低減法では、擬似乱数列を利用してセルの切替順をランダムとする方法と、均等化動作時に流れる電流から各セル電圧の大小関係を推定することにより、バッテリーモジュール内で電圧が最も高いセルと最も低いセルとの間で選択的に均等化動作を行う方法について提案する。これらの均等化時間低減法は、どちらも新たにセンサ等を追加する必要がなく、制御法の変更のみで均等化時間を低減可能である。双方向スイッチの構成方法では、ゲート駆動回路用コンバータの削減に着目した回生型ゲート駆動回路を提案する。回生型ゲート駆動回路の適用により、バッテリーモジュールのセル数が増加した場合においても必要となるゲート駆動回路用コンバータは3つのみとなり、ゲート駆動回路の簡素化が期待される。以上の3つの手法それぞれについて、提案回路に適用した場合の動作特性をシミュレーションおよび実機実験により検証し、提案手法の有用性を検討する。

これらの成果により、本論文はセル電圧均等化回路の有用性向上に寄与する。その結果、高効率かつシンプルなセル電圧均等化回路をより手軽に蓄電装置に導入可能となる。これにより、蓄電装置の相対的なコスト低減からスマートグリッドなどに代表される賢い電力利用が安価に実現可能となることで、ひいては世界的なエネルギー問題への貢献が期待される。



## 1.4 本論文の構成

以下に、各章の概要を述べる。本論文は6章から構成される。

第1章では、蓄電装置の需要の高まりから、セル電圧均等化回路が今後益々必要とされる背景について述べるとともに、従来回路の特徴と課題について示し、本論文における研究の目的と意義を明確化する。

第2章では、第1章にて示した従来回路が抱える課題に対して、アクティブ方式の採用による蓄電エネルギーの有効活用、均等化電流の動的な制御性、ならびに一時的なエネルギー貯蔵のために必要な受動素子数の削減に着目した新たなセル電圧均等化回路として、LC直列回路方式セル電圧均等化回路を提案する。更に、シミュレーションと実機実験により均等化動作特性の検証を行い、セル電圧均等化回路としての提案回路の有用性を示す。加えて実機実験の結果から、提案回路は従来のパッシブ型のセル電圧均等化回路と比較して、均等化動作の効率を向上可能であることを示す。最後に、提案回路の更なる価値向上を目的として、均等化時間と双方向スイッチの構成という提案回路特有の課題についても合わせて整理する。

第3章では、第2章にて示した提案回路が抱える課題の1つである均等化時間に対して、疑似乱数列を利用してセルの切替順をランダムとすることで各バッテリーセルの初期条件による影響を小さくし、均等化時間を低減可能な制御法(以下、疑似乱数法)を提案する。疑似乱数法は追加センサを必要とせず、制御法の変更のみで均等化時間を低減可能である。更に、シミュレーションと実機実験により均等化動作特性の検証を行い、疑似乱数法の有用性について検討する。加えてシミュレーションおよび実機実験の結果から、疑似乱数法は従来の制御法と比較して均等化時間を概ね低減可能であること、また各バッテリーセルの初期条件に依存することなく、平均的な均等化時間を低減可能であることを示す。

第4章では、第2章にて示した提案回路が抱える課題の1つである均等化時間に対して、均等化動作時に流れる電流の向きから各バッテリーセル電圧の大小関係を推定し、バッテリーモジュール内で電圧が最も高いセルと最も低いセルとの間で選択的に均等化動作を行うことで均等化時間を低減可能な制御法(以下、大小関係推定法)を提案する。大小関係推定法では従来の制御法で均等化電流の制限のために使用していた電流センサを用いるため、追加センサを必要とせず、制御法の変更のみで均等化時間を低減可能である。更に、シミュレーションおよび実機実験により均等化動作特性の検証を行い、大小関係推定法の有用性について検討する。加えてシミュレーションおよび実機実験の結果から、大小関係推定法は従来の制御法と比較して均等化時間を低減可能であること、また各バッテリーセル電圧のばらつき状況に合わせた均等化動作が可能であることを示す。

## 第 1 章 序論

第 5 章では、第 2 章にて示した提案回路が抱える課題の 1 つである双方向スイッチの構成に対して、2 つの n チャネル MOS-FET(Metal-Oxide-Semiconductor Field-Effect Transistor) を逆直列に接続した構成とすることで高い制御性を有するとともに、それらのゲート駆動回路用コンバータ数を削減可能な回生型ゲート駆動回路およびその制御法を提案する。更に、シミュレーションおよび実機実験により均等化動作特性ならびにゲート駆動回路用電源の生成動作特性の検証を行い、回生型ゲート駆動回路の有用性について検討する。加えてシミュレーションおよび実機実験の結果から、回生型ゲート駆動回路を用いることでバッテリーモジュールのセル数が増加した場合においても 3 つのコンバータのみで提案回路のゲート駆動回路を構成することが可能であること、バッテリーモジュールが外部電源により充電されている場合においては安定的な均等化動作ならびにゲート駆動回路用電源の生成動作が可能であることを示す。

第 6 章では、第 2 章から第 5 章で得られた結論を総括するとともに、今後の展望について述べる。

## 第2章 LC直列回路方式セル電圧均等化回路の提案

第2章では、第1章にて示した従来回路が抱える課題に対して、アクティブ方式の採用による蓄電エネルギーの有効活用、均等化電流の動的な制御性、ならびに一時的なエネルギー貯蔵のために必要な受動素子数の削減に着目した新たなセル電圧均等化回路として、LC直列回路方式セル電圧均等化回路を提案する。加えて、シミュレーションと実機実験により動作特性の検証を行い、セル電圧均等化回路としての提案回路の有用性について検証する。最後に、提案回路の更なる価値向上を目的として、均等化時間と双方向スイッチの構成という提案回路特有の課題についても合わせて整理する。

### 2.1 提案回路の構成と特徴

Fig. 2.1 に本章で提案するLC直列回路方式セル電圧均等化回路を示す。提案回路は、直列に接続されたバッテリーセルに対して各セルの正極と負極それぞれにスイッチング素子を接続し、スイッチング素子を用いて各セルとLC直列回路部の接続を順次切り替えることにより、各セルの電荷をキャパシタ  $C$  を経由させて他セルに分配することで、各セル電圧の均等化を図る方式である。

図中の  $r$  は、インダクタ  $L$ 、およびキャパシタ  $C$  の抵抗分を示している。また、任意のバッテリーセル  $B_j$  ( $j = 1-n$ ) と、LC直列回路を接続するために使用する複数のスイッチング素子を、まとめて  $S_j$  と表記する(図中破線部)。

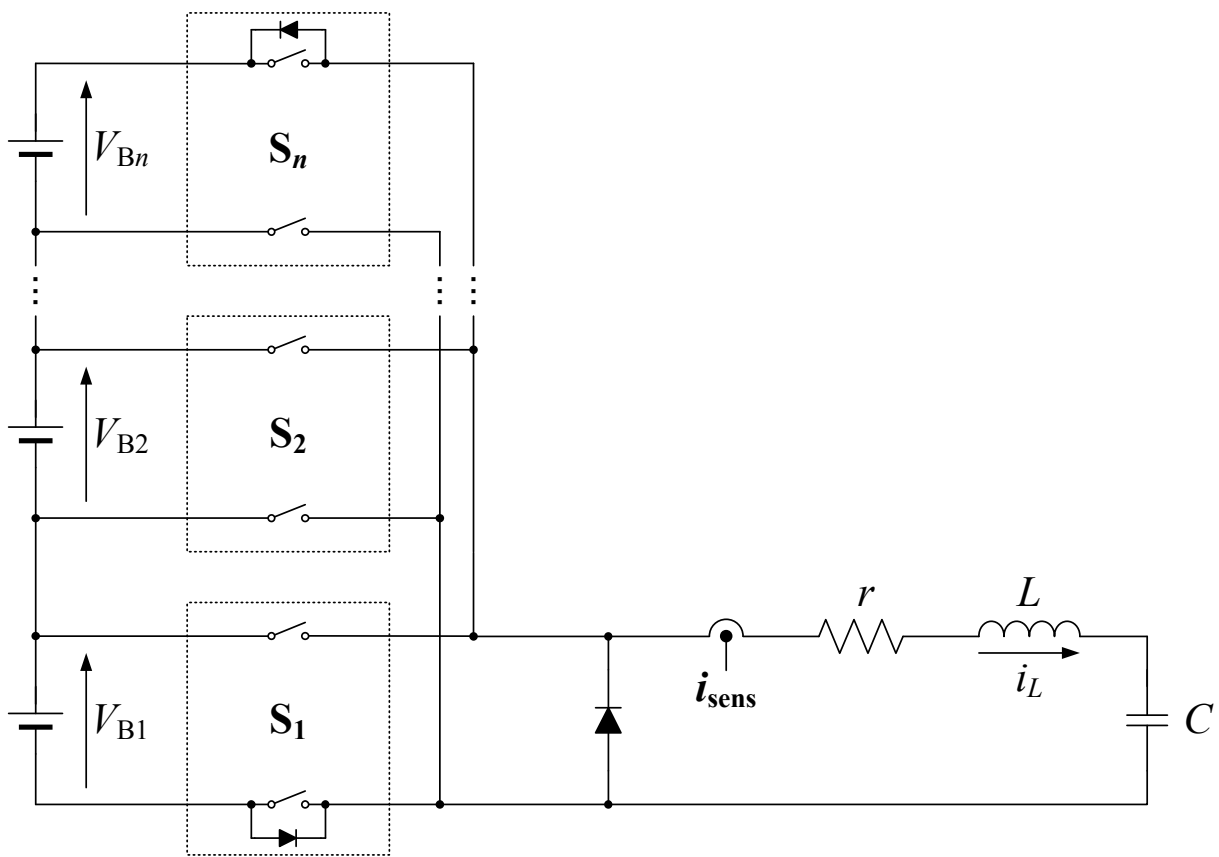


Fig. 2.1. LC series circuit type cell voltage equalizer.

### 2.1.1 動作モード

提案回路を、直列セル数が3 ( $n = 3$ ) のバッテリーモジュールに適用した場合には、5つの動作モードが存在する。Fig. 2.2(a)–(e)に、それぞれのモードを示す。

#### 均等化モード

Fig. 2.2(a)–(c)に示す動作モード (Mode 1–3) を、本論文では均等化モードと呼ぶ。このモードでは、それぞれのモード中において各バッテリーセル電圧  $V_{Bj}$  ( $j = 1-3$ ) とキャパシタ  $C$  の電圧  $V_C$  の高電位側から低電位側へと均等化電流が流れる。この際、電流センサにより均等化電流を検出し、電流制限値  $i_{ref}$  [A] によるオン/オフ制御を行う。これは、バッテリーセルの定格電流値を超えないようにするためであり、過大電流によるバッテリーセルの劣化を防ぐ目的もある。なお、提案回路はバッテリーモジュールが充放電状態である場合においても適用可能であるが、この場合には各バッテリーの定格電流を超えないように提案回路の回路パラメータ、および充放電電流値を設定する必要がある。

#### 環流モード

全てのスイッチング素子がオフに切り換わった場合においても、インダクタ  $L$  の電流はすぐには0にならず、しばらくの間流れ続ける。すべてのスイッチング素子がオフした状態で電流の流路が無くなってしまうと、インダクタ  $L$  に高電圧が生じ、スイッチング素子を損傷させる可能性がある。これを防ぐため、ダイオードを挿入し環流させている (Fig. 2.2(d), (e))。このモード (Mode F1, F2) を、本論文では環流モードと呼ぶこととする。

ここで、後述するセル数が  $n = 3$  の場合におけるシミュレーション結果の電流波形を用いて、各動作モードとの対応を示す。Fig. 2.3に、均等化動作中における各セルの電流のシミュレーション結果を示す。Fig. 2.3より、Mode 1–3が順に切り替わっていることが確認できる。また、Mode 1において電流が断続的となっているが、これは電流制限値  $i_{ref} = 5.0$  A によるオン/オフ制御が行われているためである。Mode 1では電流が立ち上がる過程で電流制限値の5.0 Aを超過したため、途中断続的に全てのスイッチング素子がオフとなるMode F1の環流モードとなっている。なお、本シミュレーション結果では電流が負方向に流れている際にスイッチング素子がオフとなったためMode F1が選択されているが、電流が正方向に流れている際にスイッチング素子がオフとなった場合はMode F2が選択されることとなる。

第 2 章 LC直列回路方式セル電圧均等化回路の提案

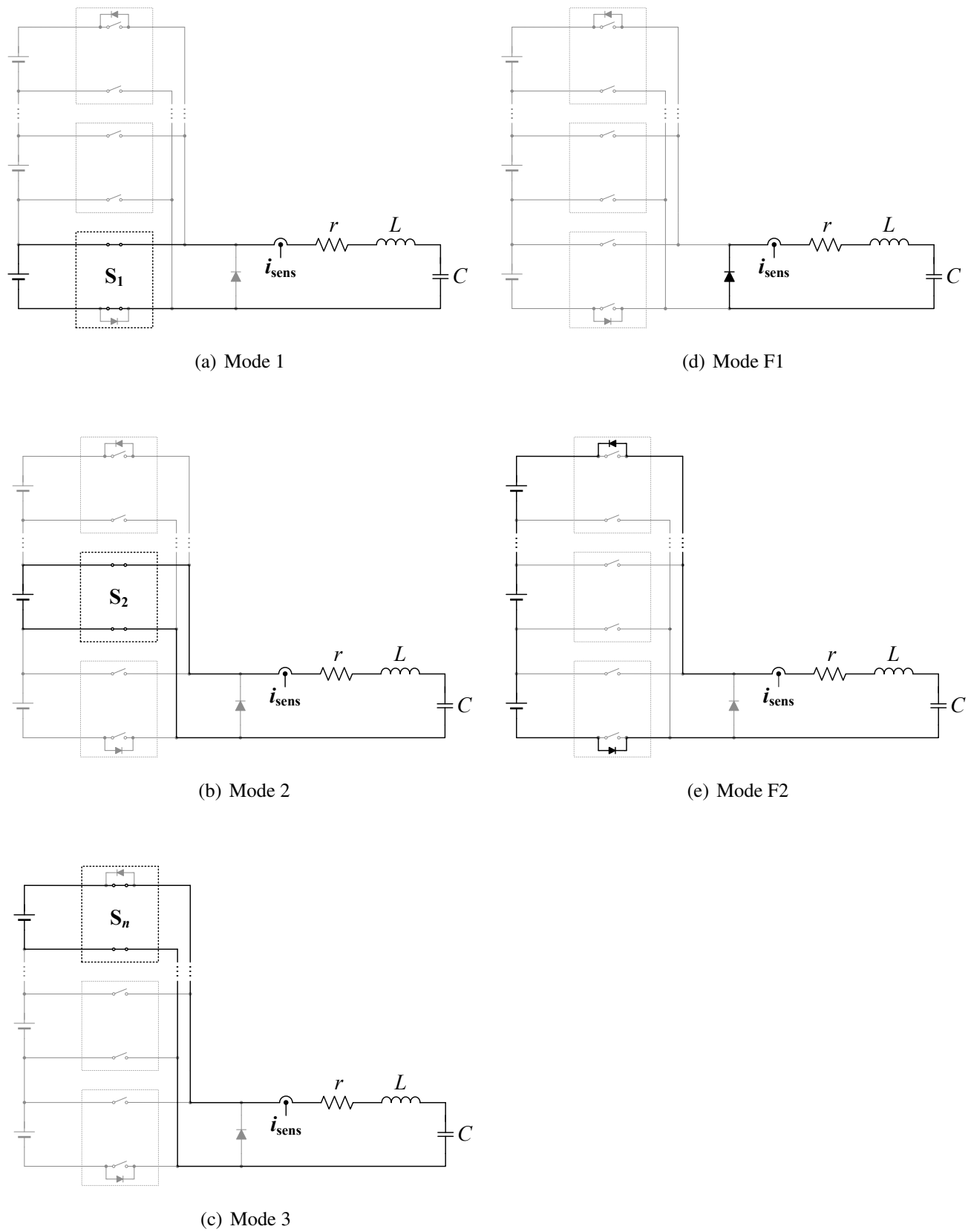


Fig. 2.2. Operating modes of the proposed voltage equalizer connected to three series-connected cells.

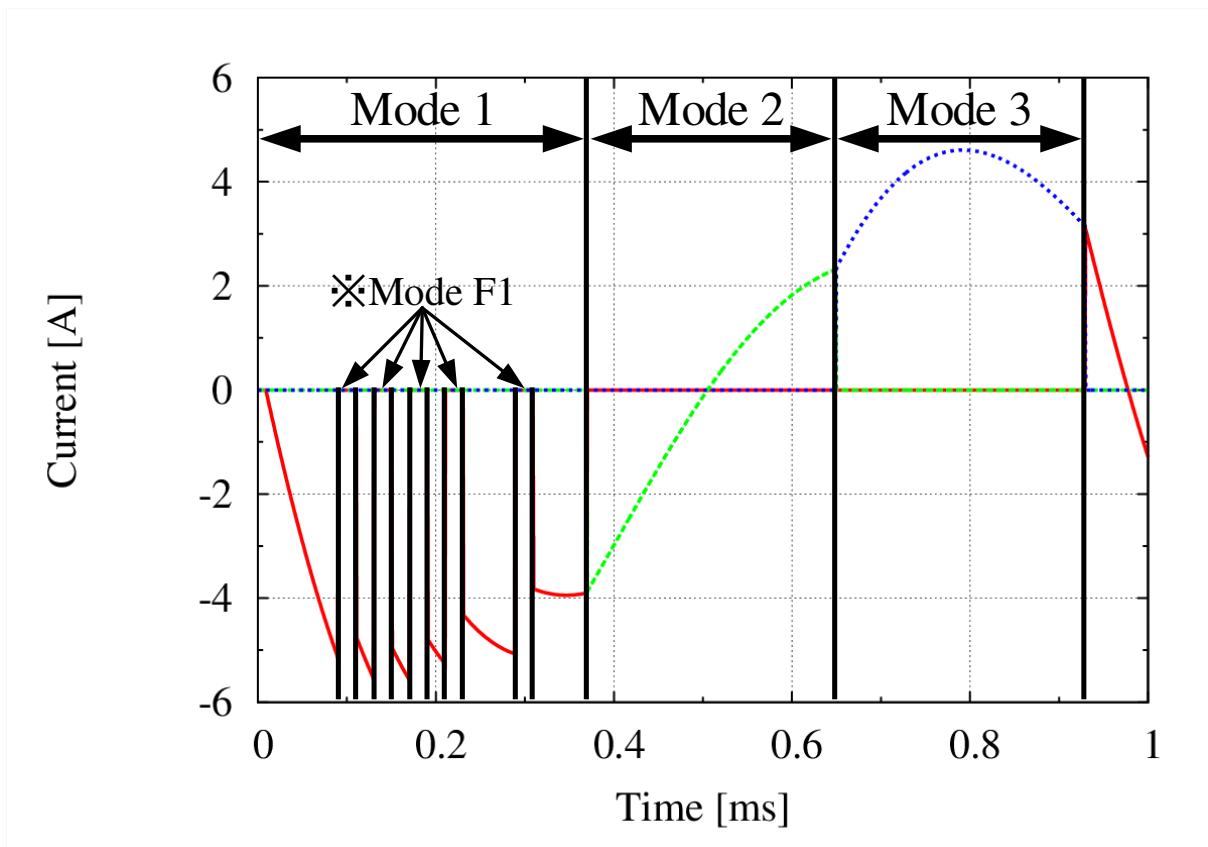


Fig. 2.3. Comparison between operating modes and simulation current waveforms.

### 2.1.2 提案回路の特徴

提案回路の特徴は、抵抗を用いたパッシブ型 [12,13] と比較し、バッテリーの蓄電エネルギーをより有効に活用することが可能である点にある。これにより、セル電圧の均等化を図ることでバッテリーモジュールとしての充放電容量を最大限に活用できるだけでなく、セル電圧均等化動作時の消費電力をパッシブ型と比較して低減させ、均等化動作の効率向上が期待できる。

また、バッテリーセルの直並列を切り替えることでセル電圧の均等化を図る方式 [14,15] では、一時的なエネルギー貯蔵素子を介さずに各バッテリーセル間で直接的に電荷を移動させることが可能であることから効率面で優位性がある一方、各セル間の電圧差によってはスイッチング素子を切り替えた際に瞬間的に大電流が流れる可能性がある。提案回路では、バッテリーセルとキャパシタ  $C$  の間にインダクタ  $L$  を挿入することで、接続するセルを切り替えた際の突入電流を軽減させている。加えて、スイッチング素子を用いてオン/オフ制御を行うことにより、均等化動作時に各バッテリーセルに流れる電流を動的に制限することが可能である。

更に、提案回路ではバッテリーセルとキャパシタ  $C$  を並列にすることで電荷を移動させているため、電圧の高いセルから低いセルへと自動的に電流が流れ、各バッテリーセルの電荷を移すことが可能である。そのため、セル電圧の均等化を図る際にセルごとの電圧値を測定する必要がなく、 $V_{Bj}$  ( $j=1-3$ ) および  $V_C$  それぞれの電位差の減少に比例して均等化電流も減少する。したがって、提案回路ではセル電圧均等化の制御を1つの電流センサのみで行うことが可能である。これにより、センサの数を大幅に減らすことが可能となる。

トランス等の磁性素子やキャパシタ等の蓄電素子を用いて各セル間でコンバータを形成することで各セル間で双方向に電荷の授受を行う方式 [16-47] では、一時的にエネルギーを蓄えるための受動素子がセル数に比例して多数必要となることから、回路規模が増大するといった課題があった。一方、提案回路でエネルギー貯蔵のために必要となる受動素子はインダクタ  $L$  とキャパシタ  $C$  がそれぞれ1つずつのみであることから、回路規模についても低減が期待される。

しかしながら、提案回路ではスイッチング素子がバッテリーセルに対して並列に接続されているため、スイッチング素子が短絡モードで故障した場合にバッテリーセルが短絡する可能性が考えられる。一般に、EDLC やリチウムイオンバッテリーはエネルギー密度が高いという特徴があることから [48,49]、短絡故障の際には大電流が流れることで機器の故障を招くだけでなく、最悪の場合、発火・爆発の可能性もある。したがって、万一短絡モードで故障した際に、バッテリーセルに大電流が流れることを防ぐ方法を検討する必要がある。本論文における回路の製作にあたっては、各バッテリーセルと提案回路の間に自動復帰型ヒューズを挿入することでこれを防止した。なお、挿入したヒューズにより提案回路動作時の損失が増加する可能性があるが、使



Table 2.1. Comparison of the characteristics between conventional equalizers and the proposed equalizer [12–47].

Equalizer type	Efficiency	Current controllability	Size
Power loss type [12, 13]	× (Passive type)	Possible	0
Series-parallel reconfigurable type [14, 15]	○ (Active type)	Impossible	$2(n - 1)$
Bi-directional converter type [16–47]	○ (Active type)	Possible	$n$ or $n - 1$
LC series circuit type (Proposed equalizer)	○ (Active type)	Possible	2

用したヒューズの抵抗分は約 20 mΩ 程度であり、前述のインダクタ  $L$  やキャパシタ  $C$  の抵抗分  $r$  と比較しても影響は小さいと考えられる。また、遮断器等を用いた保護装置と比較してサイズやコストを大幅に削減できる点や、過電流が取り除かれた後の復旧の容易さから自動復帰型ヒューズを採用した。

また、スイッチング素子の数が従来回路と比較して多くなっている。そのため、制御回路やゲート駆動回路が複雑化する可能性がある。そこで、第2章から第4章の実機検討にあたっては、スイッチング素子に“Photo-MOS リレー [50]”を用いることでゲート駆動回路を簡素化した。

提案回路では従来回路と比較してスイッチング素子の数は増加しているが、アクティブ方式の採用による蓄電エネルギーの有効活用や均等化電流の動的な制御性のほか、一時的なエネルギー貯蔵のために必要な受動素子数の削減による回路規模の低減が期待される。以上、提案回路の特徴を従来回路とともにまとめると Table 2.1 のようになる。

### 2.1.3 動作原理

本節では、提案回路の動作原理について説明する。提案回路は、バッテリーセルとLC直列回路部の接続をセル切替周期  $T_{CC}$  [s] で順次切り替えることにより、セル電圧の均等化を図る方式である。ここで、提案回路のLC直列回路部に着目すると、キャパシタ  $C$  および突入電流を防ぐために挿入したインダクタ  $L$  は、 $L$  および  $C$  の等価直列抵抗 (ESR: Equivalent Series Resistor)  $r$  [ $\Omega$ ] を考慮すると、単純なRLC直列回路とみなすことが出来る。したがって、LC直列回路部の各素子のパラメータの値によって提案回路の挙動は決定される。そこで、このパラメータを決定するにあたり、LC直列回路部の回路解析を行う。

Fig. 2.4 に、LC直列回路部の等価回路を示す。ここではまず、SWがオンした後、 $C$  が  $V_C = 0$  の状態から  $V$  [V] まで充電されたときのバッテリーセルの電圧変化量  $\Delta V_B$  を考える。簡易化のため、バッテリーセルはキャパシタンス成分のみを考慮するものとし、その容量を  $C_B$  [F] とする。また、インダクタ  $L$  のインダクタンス成分を  $L$  [H]、キャパシタ  $C$  のキャパシタンス成分を  $C$  [F] とする。 $V_C = V$  となったときのキャパシタ  $C$  の電荷  $q$  [C] について考えると、定常状態においては  $i = 0$  であるので

$$\begin{aligned} V_C &= \frac{q}{C} \\ \therefore q &= CV_C \end{aligned} \quad (2.1)$$

となる。このときの  $\Delta V_B$  は

$$\begin{aligned} \Delta V_B|_{V_C:0 \rightarrow V} &= \frac{1}{C_B} \int i(t) dt \\ &= \frac{q}{C_B} = \frac{C}{C_B} V \end{aligned} \quad (2.2)$$

となり、 $\Delta V_B$  は  $C$  と  $C_B$  の比で表される。ここで、バッテリーセルの容量  $C_B$  は、LC直列回路のキャパシタ容量  $C$  に比べて十分に大きく (一般に100倍から1000倍以上)、 $C \ll C_B$  の関係が成り立つとすれば

$$\Delta V_B \cong 0 \quad (2.3)$$

とすることが出来る。以降では、この仮定のもとでLC直列回路部の解析を行う。

$v_{in}$  と  $i$  は、Fig. 2.4 にキルヒホッフの電圧則を適用すると

$$v_{in} = ri(t) + L \frac{di(t)}{dt} + \frac{1}{C} \int i(t) dt \quad (2.4)$$

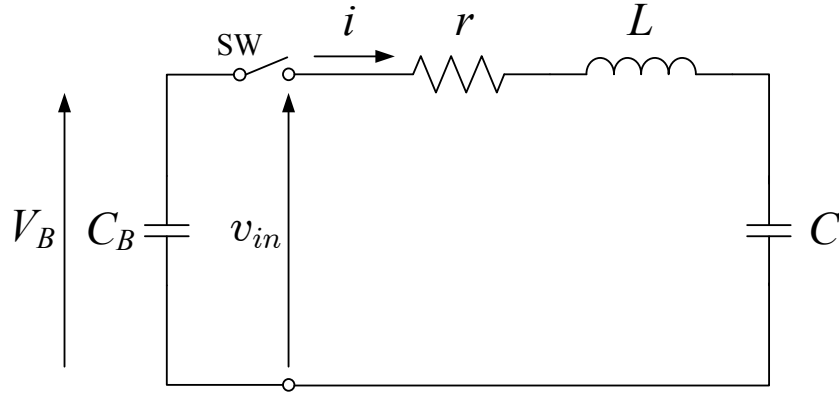


Fig. 2.4. Equivalent circuit of a part of the proposed cell voltage equalizer.

の関係にあることがわかる。これをラプラス変換すると

$$\begin{aligned}\mathcal{L}[v_{in}] &= \frac{V_{in}}{s} = \left( r + sL + \frac{1}{sC} \right) I(s) \\ \therefore I(s) &= \frac{V_{in}}{s \left( sL + r + \frac{1}{sC} \right)} \\ &= \frac{V_{in}}{L \left\{ \left( s + \frac{r}{2L} \right)^2 + \left( \frac{1}{LC} - \left( \frac{r}{2L} \right)^2 \right) \right\}}\end{aligned}\quad (2.5)$$

となる。このとき、 $r, L, C$  各値の大小関係により、以下の3つの場合に分けて考えることができる。

(i)  $r^2 < \frac{4L}{C}$  のとき

$$\alpha = \frac{r}{2L}, \omega^2 = \frac{1}{LC} - \left( \frac{r}{2L} \right)^2 \text{ とおくと}$$

$$\begin{aligned}I(s) &= \frac{V_{in}}{L \{ (s + \alpha)^2 + \omega^2 \}} \\ &= \frac{V_{in}}{\omega L} \cdot \frac{\omega}{(s + \alpha)^2 + \omega^2} \\ \mathcal{L}^{-1}[I(s)] = i(t) &= \frac{V_{in}}{\omega L} e^{-\alpha t} \sin \omega t\end{aligned}\quad (2.6)$$

(ii)  $r^2 = \frac{4L}{C}$  のとき

$$\begin{aligned}I(s) &= \frac{V_{in}}{L(s + \alpha)^2} \\ &= \frac{V_{in}}{L} \cdot \frac{1}{(s + \alpha)^2} \\ \mathcal{L}^{-1}[I(s)] = i(t) &= \frac{V_{in}}{L} e^{-\alpha t} t\end{aligned}\quad (2.7)$$

Table 2.2. Relationships among condition of  $r$ , angular frequency of the oscillation and  $t_{iMax}$ .

Condition of $r$	Angular frequency of the oscillation	$t_{iMax}$
$r^2 < \frac{4L}{C}$	$\sqrt{\frac{1}{LC} - \left(\frac{r}{2L}\right)^2}$	$\frac{\varphi}{\omega}$
$r^2 = \frac{4L}{C}$	0	$\frac{1}{\alpha}$
$r^2 > \frac{4L}{C}$	-	$\frac{\gamma}{\beta}$

$(\varphi = \tan^{-1} \frac{\omega}{\alpha}, \gamma = \tanh^{-1} \frac{\beta}{\alpha})$

(iii)  $r^2 > \frac{4L}{C}$  のとき

$$\beta = \left(\frac{r}{2L}\right)^2 - \frac{1}{LC} \text{ とおくと}$$

$$\begin{aligned} I(s) &= \frac{V_{in}}{L\{(s + \alpha)^2 - \beta^2\}} \\ &= \frac{V_{in}}{\beta L} \cdot \frac{\beta}{(s + \alpha)^2 - \beta^2} \\ \mathcal{L}^{-1}[I(s)] = i(t) &= \frac{V_{in}}{\beta L} e^{-\alpha t} \sinh \beta t \end{aligned} \quad (2.8)$$

したがって、 $r$ と過渡状態における振動の角周波数  $\omega$  [rad/s]、および  $i$ が最大となるときの時刻  $t_{iMax}$  [s] の関係性についてまとめると Table 2.2 のようになる。

ここで、電流の過渡特性は  $L$  および  $C$  の値により決定される。電流の立ち上がりが急峻すぎると、制御周波数  $f_{cnt}$  [Hz] による電流制限値  $i_{ref}$  [A] での制限が困難となる。すなわち、 $L$  および  $C$  の値は  $i_{ref}$  や  $f_{cnt}$  の値に依存する。提案回路では電流の制限値を設けて制御を行うことを想定していることから、回路定数の設計に際しては、電流値  $i$  が電流制限値  $i_{ref}$  付近で制御可能となるようなパラメータを選択することが求められる。

次節では、上記パラメータの設計手法について説明する。

## 2.2 各回路パラメータの設計法

前節で述べたように、提案回路で均等化電流の制限を行うためには、適切な回路パラメータを選択することが求められる。本節では、後述のシミュレーションで用いる回路パラメータ (Table 2.9) の導出方法について説明する。

### 2.2.1 回路素子 $L, C$ の設計指針

シミュレーション回路で要求される回路条件を Table 2.3 に示す。この条件より、最大電圧 4.0 V を印加した際に、制御周波数  $f_{\text{cnt}} = 50 \text{ kHz}$  より、制御周期  $T_{\text{cnt}} = 1/f_{\text{cnt}} = 20 \mu\text{s}$  で電流制限値 5.0 A を超えないような  $r, L, C$  の値を設定すれば良い。具体的には  $\frac{\varphi}{\omega} \geq 20 \mu\text{s}$ 、また  $i(20 \mu\text{s}) \leq 5.0 \text{ A}$  を満たすパラメータを求める。ここで、一般にキャパシタ  $C$  が大きいほど LC 直列回路部に蓄えられる電力が大きくなるため、提案回路の均等化時間も短くなると考えられる。一方で、 $C$  を大きくしすぎるとキャパシタ  $C$  の体積が増加し、回路規模が増大する可能性がある。そこで、本論文におけるキャパシタ  $C$  の選定にあたっては、前述の  $\frac{\varphi}{\omega} \geq 20 \mu\text{s}$ 、また  $i(20 \mu\text{s}) \leq 5.0 \text{ A}$  を満たしつつ、回路規模が肥大化しない小型の電解コンデンサ等で実現可能な値とした。以上の条件から、これらを満たすパラメータを表計算ソフトを用いて算出した。算出した各値はそれぞれ、 $r = 100 \text{ m}\Omega$ 、 $L = 50 \mu\text{H}$ 、 $C = 470 \mu\text{F}$  である。これらを式に代入すると

$$\frac{\varphi}{\omega} = \frac{\tan^{-1}\left(\frac{\sqrt{\frac{1}{LC} - \left(\frac{r}{2L}\right)^2}}{\frac{r}{2L}}\right)}{\sqrt{\frac{1}{LC} - \left(\frac{r}{2L}\right)^2}} = 220 \mu\text{s} \quad (2.9)$$

$$\begin{aligned} i(20 \mu\text{s}) &= \frac{V_{\text{in}}}{L\sqrt{\frac{1}{LC} - \left(\frac{r}{2L}\right)^2}} e^{-\frac{r}{2L}t} \cdot \sin\left(\sqrt{\frac{1}{LC} - \left(\frac{r}{2L}\right)^2}t\right) \\ &= 1.56 \text{ A} \end{aligned} \quad (2.10)$$

となり、Table 2.3 に示した、要求される回路条件を満足していることがわかる。ここで、式 (2.10) により求められた  $i(20 \mu\text{s}) = 1.56 \text{ A}$  とは、最大電圧 4.0 V を印加した際に  $20 \mu\text{s}$  で変化する電流値を表している。今回のシミュレーションでは制御周波数  $f_{\text{cnt}} = 50 \text{ kHz}$  としたために、制御周期  $T_{\text{cnt}} = 1/f_{\text{cnt}} = 20 \mu\text{s}$  の時間変化の中で電流値が電流制限値  $i_{\text{ref}} = 5.0 \text{ A}$  以上に変化しないように設定する必要がある。しかしながら、本論文では電流制御を  $i_{\text{ref}}$  をしきい値としたオン/オフ制御を採用しているため、 $i(20 \mu\text{s})$  が  $i_{\text{ref}}$  に近い値になるように設定すると、制御のタイミングにより  $i_{\text{ref}}$  を大幅に超える電流が流れる可能性がある。そこで、これを防止するために  $i(20 \mu\text{s}) = 1.56 \text{ A}$  という 5.0 A から大きなマージンをとった値を設定した。これにより前述のような  $i_{\text{ref}}$  をしきい値としたオン/オフ制御を用いた場合でも、 $i$  を最大で  $5.0 + 1.56 \cong 6.6 \text{ A}$  以内

Table 2.3. Required specifications of the simulation circuit.

Maximum input voltage	4.0 V
Current limit value	5.0 A
Control frequency $f_{\text{cnt}}$	50 kHz

に制限可能である。ここで、設計上は  $i$  が最大で 6.6 A 程度流れる可能性があると考えられるが、これはキャパシタ  $C$  の電圧  $V_C$  が 0 V である均等化動作開始直後のみに限定されており、均等化動作が進行すると  $V_C > 0$  となるため  $i$  の最大値は 6.6 A よりも小さな値となる。また、一般にセル電圧均等化回路の均等化動作時に流れる電流はバッテリーセルの定格電流値に対して小さい値となるように設計されることが多く [16, 17]、前述の電流制限値  $i_{\text{ref}}$  についても同様に設定しているため、オン/オフ制御を用いたことで  $i$  が  $i_{\text{ref}}$  を多少超過したとしても大きな問題は無いが、本論文のようにオン/オフ制御を用いる場合には  $i_{\text{ref}} + i(T_{\text{cnt}})$  がバッテリーセルの定格電流値を超えないように設計する必要がある。なお、より厳密な電流制限を行う場合には各回路パラメータの設計方針のほか、制御周期  $T_{\text{cnt}}$  の高速化や電流の予測制御などを取り入れることが有効であると考えられる。

また、実機ではバッテリーセルの劣化による ESR の増加も考えられるが、劣化による ESR の増加量は  $r$  と比較して十分小さく、これによる電流制御への影響は小さい。

### 2.2.2 セル切替周期 $T_{CC}$ の設計指針

次に、提案回路の動作特性を決定する一因であるセル切替周期  $T_{CC}$  の設計指針を示す。 $T_{CC}$  の設計に際しては提案回路の理論解析により最適となる値を導出するべきであると考えられるが、Fig. 2.3 に示したように提案回路の均等化動作は常に過渡状態の連続であるため、理論式は複雑なものとなり、簡易的に解析を行うことは困難である。そのため、本論文ではセル切替周期  $T_{CC}$  と均等化時間(本章では各セル電圧の標準偏差が 10 mV となるまでの時間と定義)の関係に着目し、シミュレーションおよび実機実験により両者の関係性について検証し、その傾向を分析することで  $T_{CC}$  の設計指針を示すこととした。

#### セル数の違いによる影響

まず、後述のシミュレーションで用いる回路パラメータ (Table 2.9) を利用し、セル数を 3 セル、8 セル、16 セルと変化させた際のセル切替周期  $T_{CC}$  と均等化時間と関係性について検討した。シミュレーション条件を Table 2.4 に示す。本シミュレーションでは、セル数  $n$  と  $T_{CC}$  以外のパラメータを同一としたときに、 $T_{CC}$  を 0.04–0.40 ms で変化させた際の均等化時間をシミュレーションにより求めた。

3 セル、8 セル、16 セルのシミュレーション結果をそれぞれ Fig. 2.5–2.7 に示す。Fig. 2.5–2.7 より、3 セル、8 セル、16 セルのいずれも  $T_{CC}$  の変化に伴って均等化時間が変化することがわかる。また、均等化時間が最小となる  $T_{CC}$  に対して、 $T_{CC}$  が小さい場合と大きい場合のどちらも均等化時間は増加することが確認された。ここで、セル数  $n$  に対する  $T_{CC}$  と均等化時間の関係を比較しやすくするため、それぞれのシミュレーション結果について、最小の均等化時間を 1 としたときの各  $T_{CC}$  に対する均等化時間の相対値を Fig. 2.8 にまとめて示す。Fig. 2.8 より、均等化時間が最小となる  $T_{CC}$  はセル数によって変化することがわかる。ここで、LC 直列回路部の共振周期  $T_{rs}$  に着目すると、 $T_{rs} = 2\pi\sqrt{LC} \cong 0.96$  ms であるので、その 1/4 周期は 0.24 ms となる。この  $T_{rs}/4 = 0.24$  ms と Fig. 2.8 の結果を比較すると、 $T_{CC} = 0.24$  ms とした際の均等化時間は、3 セル、8 セル、16 セルのいずれの場合においても、それぞれ最小均等化時間の概ね 2–4 倍以内に収まっていることが確認できる。

Table 2.4. Circuit parameters in the simulations to derive the cell change cycle  $T_{CC}$ .

Number of cells $n$	3, 8, 16
Battery cell capacity	50 mF
ESR of each battery cell	100 m $\Omega$
Initial voltage of $V_{B1-B3}$ (under 3 cells condition)	1.30–2.90 V (1.30 V step)
Initial voltage of $V_{B1-B8}$ (under 8 cells condition)	0.50–4.00 V (0.50 V step)
Initial voltage of $V_{B1-B16}$ (under 16 cells condition)	0.25–4.00 V (0.25 V step)
ESR of inductor and capacitor $r$	100 m $\Omega$
Inductance $L$	50 $\mu$ H
Capacitance $C$	470 $\mu$ F
Control frequency $f_{cnt}$	50 kHz
Cell change cycle $T_{CC}$	0.04–0.40 ms (0.04 ms step)
Current limit value $i_{ref}$	5.0 A



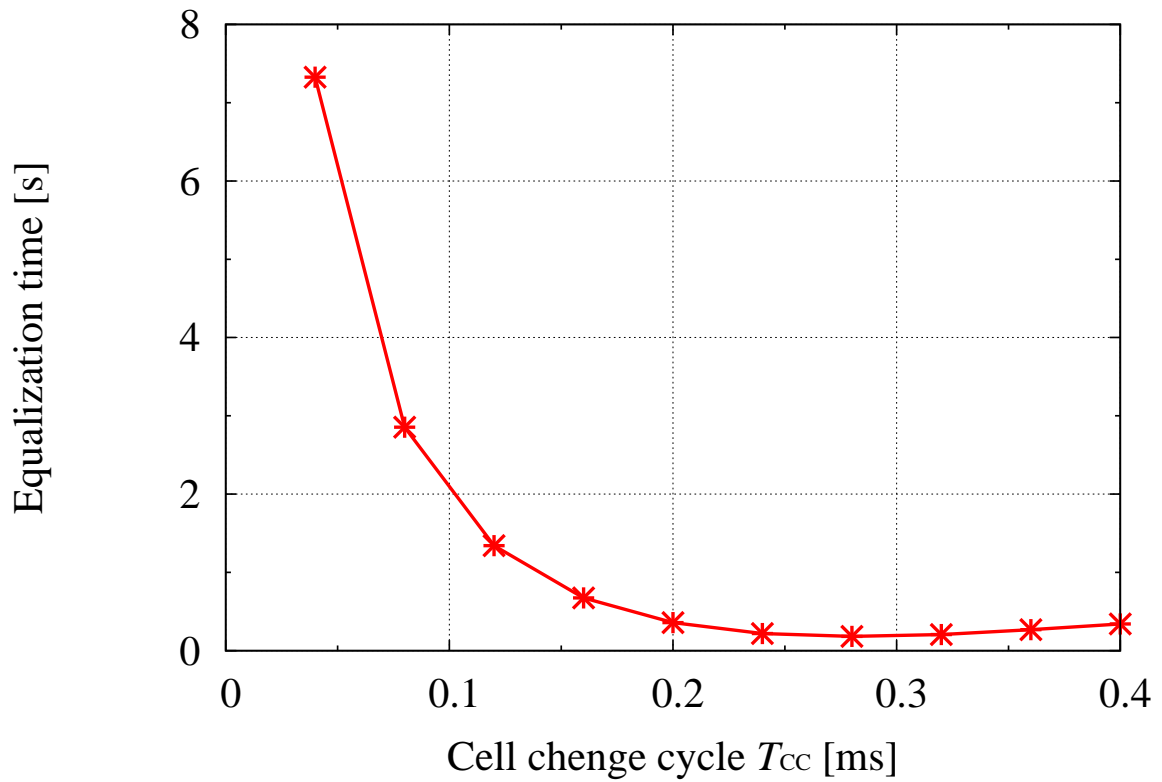


Fig. 2.5. Simulation results of the relationship between the cell change cycle  $T_{CC}$  and the equalization time under three cells condition.

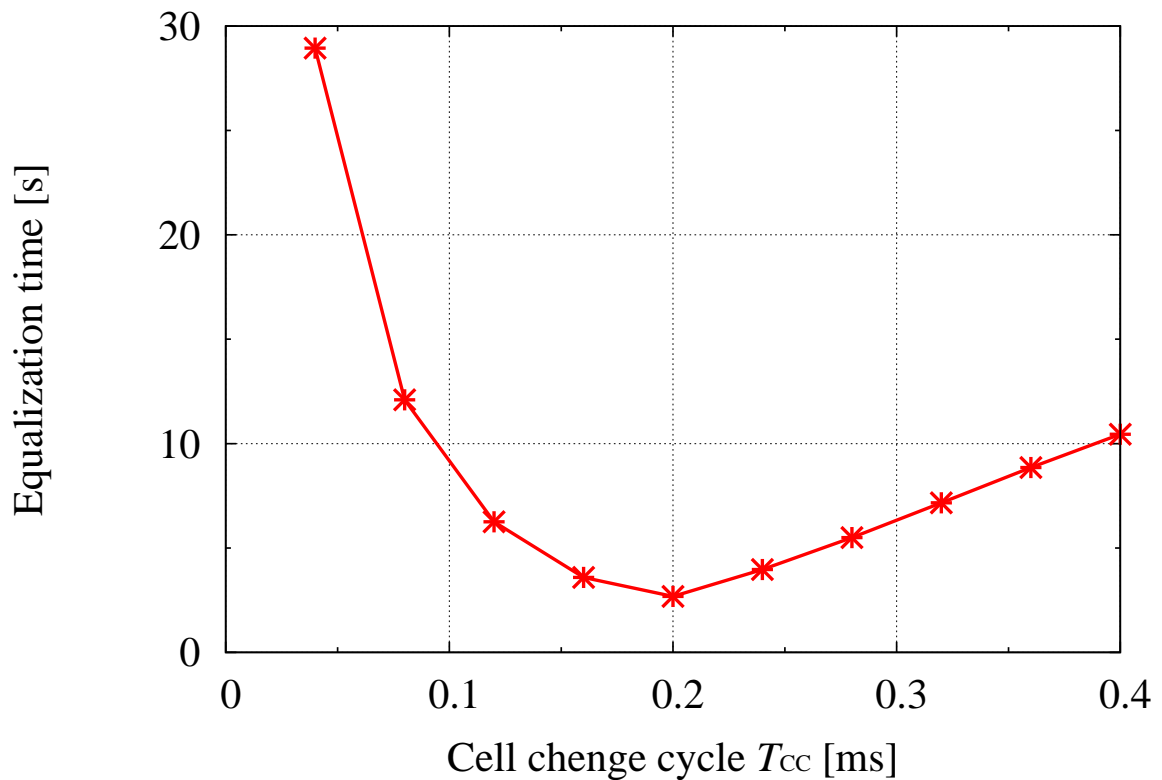


Fig. 2.6. Simulation results of the relationship between the cell change cycle  $T_{CC}$  and the equalization time under eight cells condition.

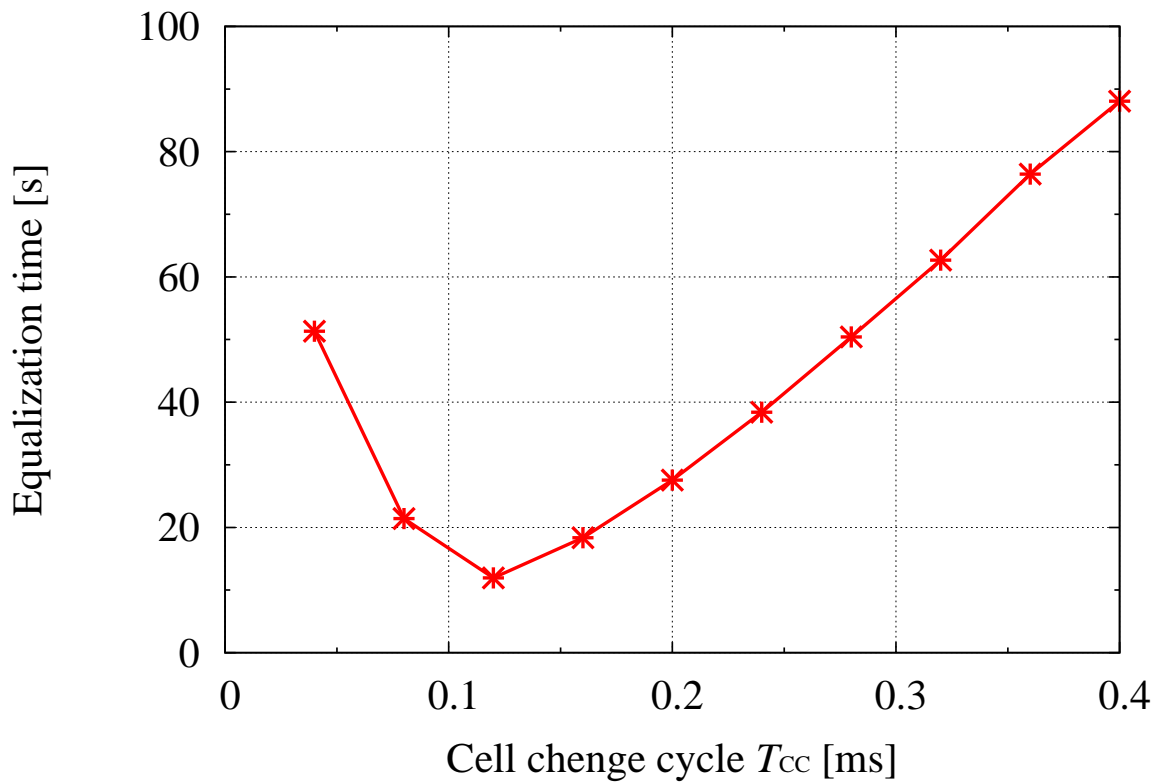


Fig. 2.7. Simulation results of the relationship between the cell change cycle  $T_{CC}$  and the equalization time under sixteen cells condition.

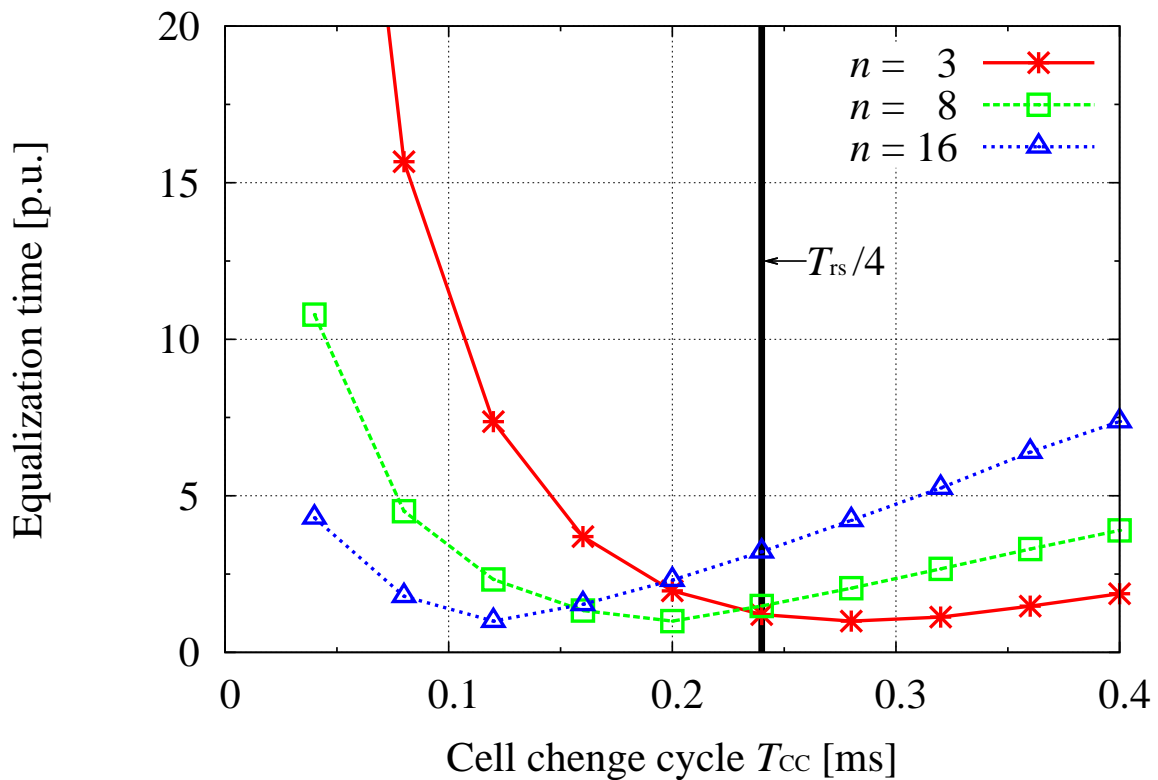


Fig. 2.8. Comparison among the simulation results of the relationships on the number of cells  $n$ .

### LC 直列回路部の時定数の違いによる影響

次に、インダクタ  $L$  とキャパシタ  $C$  の値に起因する LC 直列回路部の時定数と均等化時間の関係性について検討した。シミュレーション条件として、インダクタンス  $L$  とキャパシタンス  $C$  の組み合わせがそれぞれ  $100\ \mu$ ,  $600\ \mu$  の 2 つの場合について検証した。これらは、時定数の差が明確であり、かつシミュレーションに要する時間が長すぎない値となるように選定した。シミュレーション条件を Table 2.5 に示す。本シミュレーションでは、 $L$  と  $C$  の各組み合わせに対し、 $100\ \mu$  のときは  $T_{CC}$  を  $0.10\text{--}0.50\ \text{ms}$ 、 $600\ \mu$  のときは  $T_{CC}$  を  $0.10\text{--}3.00\ \text{ms}$  で変化させた際の均等化時間をそれぞれシミュレーションにより求めた。

Fig. 2.9(a) に  $L = 100\ \mu\text{H}$ ,  $C = 100\ \mu\text{F}$  のときのシミュレーション結果を示す。Fig. 2.9(a) より、均等化時間が最小となる  $T_{CC}$  の値は  $0.18\ \text{ms}$  であった。

同様に、 $L = 600\ \mu\text{H}$ ,  $C = 600\ \mu\text{F}$  のときについても検討した。Fig. 2.9(b) にシミュレーション結果を示す。Fig. 2.9(b) より、均等化時間が最小となる  $T_{CC}$  の値は  $1.00\ \text{ms}$  であった。

ここで、LC 直列回路部の共振周期  $T_{rs}$  に着目すると、 $L = 100\ \mu\text{H}$ ,  $C = 100\ \mu\text{F}$  の組み合わせでは  $T_{rs} = 2\pi\sqrt{LC} \cong 0.63\ \text{ms}$  であるので、その  $1/4$  周期は  $0.16\ \text{ms}$  となる。同様に、 $L = 600\ \mu\text{H}$ ,  $C = 600\ \mu\text{F}$  の組み合わせでは  $T_{rs} = 2\pi\sqrt{LC} \cong 3.77\ \text{ms}$  であるので、その  $1/4$  周期は  $0.94\ \text{ms}$  となる。ここで、これらの値と均等化時間が最小となったときの  $T_{CC}$  を比較すると、概ね一致していることが確認された。

Table 2.5. Circuit parameters in the simulations to derive the cell change cycle  $T_{CC}$  considering the time constant of the LC series circuit.

Number of cells $n$	3
Battery cell capacity	50 mF
Initial voltage of $V_{B1-B3}$	1.00–3.00 V (1.00 V step)
ESR of inductor and capacitor $r$	1 $\Omega$
Inductance $L$	100, 600 $\mu$ H
Capacitance $C$	100, 600 $\mu$ F
Control frequency $f_{cnt}$	50 kHz
Cell change cycle $T_{CC}$ ( $L = 100 \mu$ H, $C = 100 \mu$ F)	0.10–0.50 ms (0.02 ms step)
Cell change cycle $T_{CC}$ ( $L = 600 \mu$ H, $C = 600 \mu$ F)	0.10–3.00 ms (0.10 ms step)
Current limit value $i_{ref}$	5.0 A

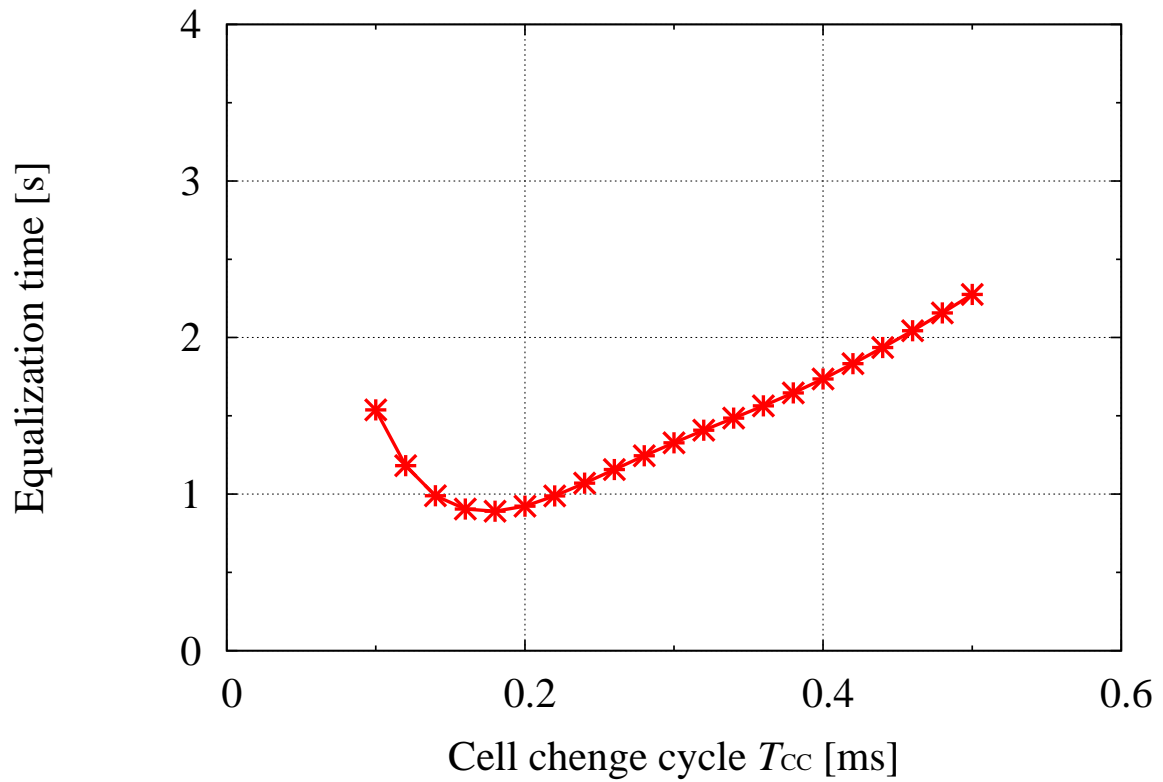
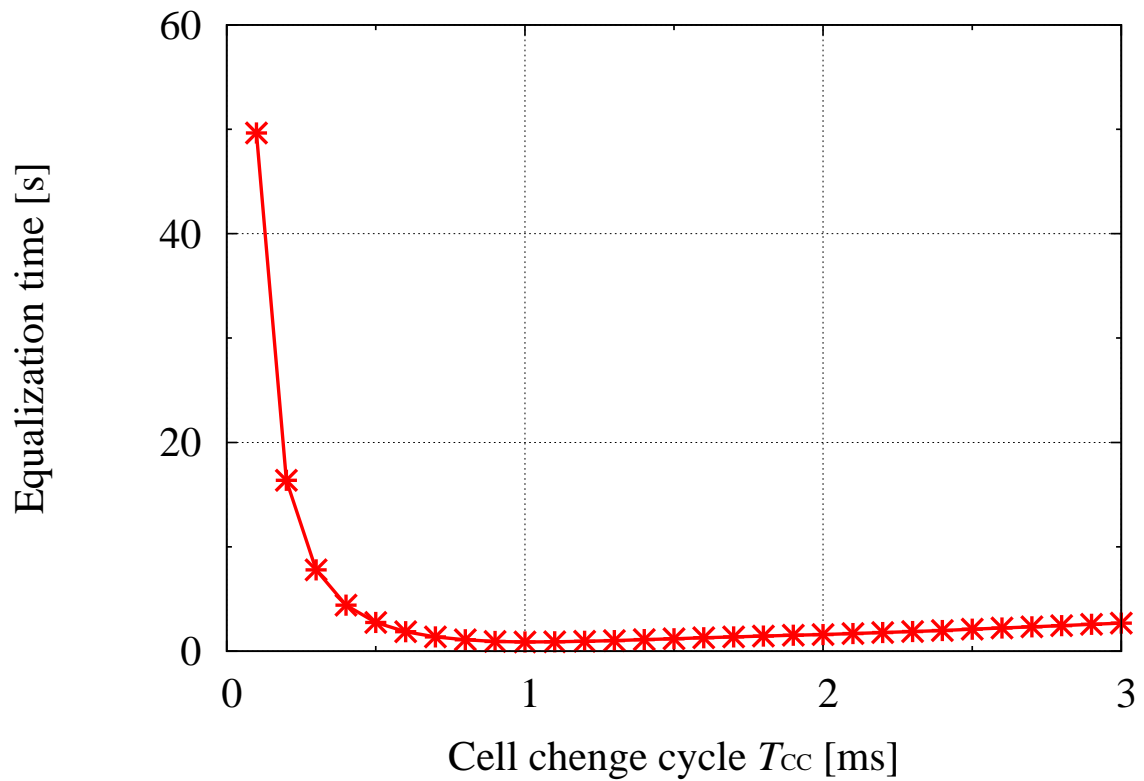
(a)  $L = 100 \mu\text{H}$ ,  $C = 100 \mu\text{F}$ .(b)  $L = 600 \mu\text{H}$ ,  $C = 600 \mu\text{F}$ .

Fig. 2.9. Simulation results of the relationship between the cell change cycle  $T_{CC}$  and the time constant of the LC series circuit.

LC 直列回路部の過渡応答特性の違いによる影響

また、インダクタ  $L$  とキャパシタ  $C$ 、およびそれぞれの ESR 分  $r$  の値に起因する LC 直列回路部の過渡応答特性と均等化時間の関係性についてもシミュレーションにより検討した。シミュレーション条件を Table 2.6 に示す。シミュレーションでは、インダクタンス  $L = 50 \mu\text{H}$ 、キャパシタンス  $C = 470 \mu\text{F}$  固定とし、LC 直列回路部の過渡応答特性が振動減衰系 ( $r < \sqrt{\frac{4L}{C}}$ )、臨界減衰系 ( $r = \sqrt{\frac{4L}{C}}$ )、過減衰系 ( $r > \sqrt{\frac{4L}{C}}$ ) のそれぞれとなる  $r = 100, 652, 1204 \text{ m}\Omega$  の場合について検証した。

シミュレーション結果を Fig. 2.10 に示す。ここで、 $i_{\text{ref}}$  による  $T_{\text{CC}}$  と均等化時間の関係性を比較しやすくするため、Fig. 2.10 ではそれぞれの  $i_{\text{ref}}$  に対する結果について、最小の均等化時間を 1 としたときの各  $T_{\text{CC}}$  に対する均等化時間の相対値を示した。Fig. 2.10 より、 $r$  を変化させ LC 直列回路部の過渡応答特性が変化した際に、均等化時間が最小となる  $T_{\text{CC}}$  の変化は認められなかった。したがって、LC 直列回路部の過渡応答特性の違いがセル切替周期  $T_{\text{CC}}$  と均等化時間の関係性に与える影響は小さいことが示唆された。

Table 2.6. Circuit parameters in the simulations to derive the cell change cycle  $T_{\text{CC}}$  considering the transient response characteristics of the LC series circuit.

Number of cells $n$	8
Battery cell capacity	50 mF
ESR of each battery cell	100 m $\Omega$
Initial voltage of $V_{\text{B1-B8}}$	0.50–4.00 V (0.50 V step)
ESR of inductor and capacitor $r$	100, 652, 1204 m $\Omega$
Inductance $L$	50 $\mu\text{H}$
Capacitance $C$	470 $\mu\text{F}$
Control frequency $f_{\text{cnt}}$	50 kHz
Cell change cycle $T_{\text{CC}}$	0.04–0.40 ms (0.04 ms step)
Current limit value $i_{\text{ref}}$	5.0 A

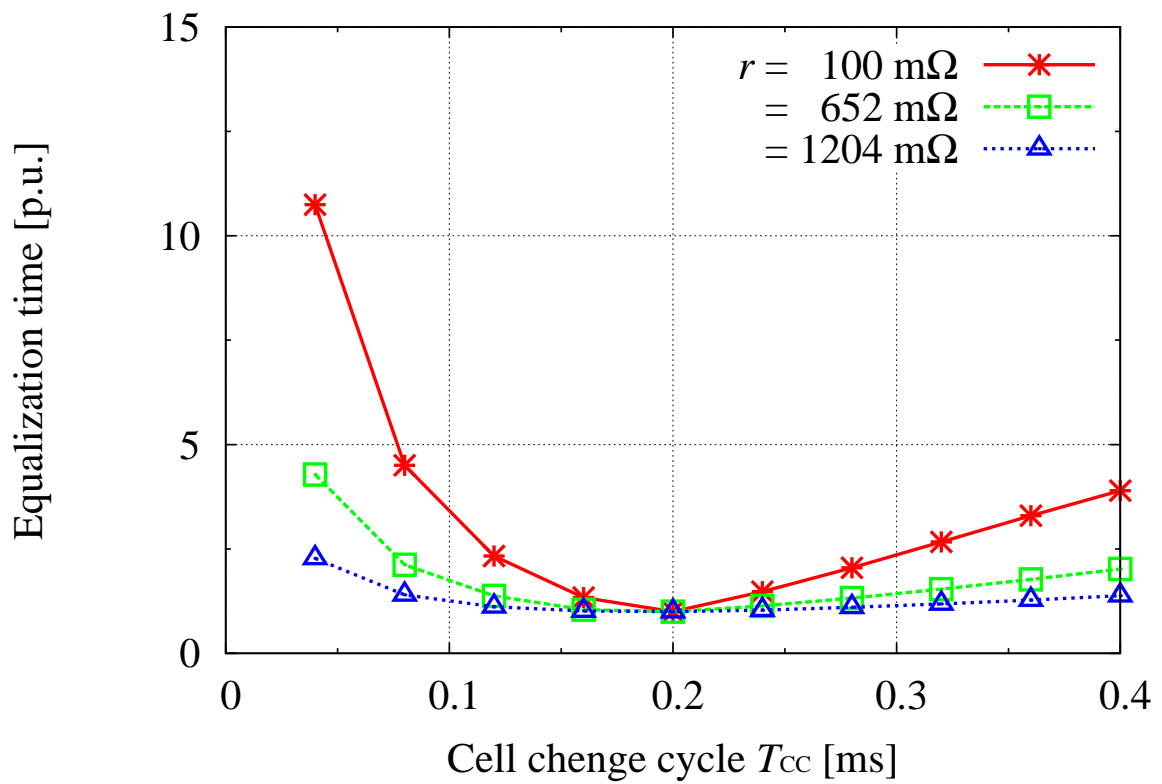


Fig. 2.10. Comparison among the relationships between the cell change cycle  $T_{CC}$  and the transient response characteristics of the LC series circuit.

デッドタイムによる影響

実機実験においては、各スイッチング素子間でのバッテリーセルの短絡を防止するため、各均等化モードの切り替わりのタイミングで全てのスイッチング素子がオフとなるようにデッドタイムを挿入している。本論文では、 $T_{CC}$  を削るようにデッドタイムを挿入していることから、このデッドタイムも均等化時間へ影響を与える可能性がある。そこで、セル数は 8 セル固定とし、デッドタイム  $T_{dead}$  とセル切替周期  $T_{CC}$  を変化させた際の均等化時間をシミュレーションにより求めた。シミュレーション条件 Table 2.7 に示す。

シミュレーション結果を Fig. 2.11 に示す。ここで、 $T_{dead}$  による  $T_{CC}$  と均等化時間の関係を比較しやすくするため、Fig. 2.11 ではそれぞれの  $T_{dead}$  に対する結果について、最小の均等化時間を 1 としたときの各  $T_{CC}$  に対する均等化時間の相対値を示した。Fig. 2.11 より、 $T_{dead}$  が大きくなるにつれて、均等化時間が最小となる  $T_{CC}$  も大きくなっていることがわかる。なお、Fig. 2.6 に示したデッドタイム無しのシミュレーション結果と比較すると、Fig. 2.11 における  $T_{dead} = 0.04 \text{ ms}$  のときの結果の方が、均等化時間が最小となる  $T_{CC}$  が  $0.20 \text{ ms}$  から  $0.16 \text{ ms}$  と小さく

Table 2.7. Circuit parameters in the simulations to derive the cell change cycle  $T_{CC}$  inserted the dead-time  $T_{dead}$ .

Number of cells $n$	8
Battery cell capacity	50 mF
ESR of each battery cell	100 m $\Omega$
Initial voltage of $V_{B1-B8}$	0.50–4.00 V (0.50 V step)
ESR of inductor and capacitor $r$	100 m $\Omega$
Inductance $L$	50 $\mu$ H
Capacitance $C$	470 $\mu$ F
Control frequency $f_{cnt}$	50 kHz
Cell change cycle $T_{CC}$	0.04–0.40 ms (0.04 ms step)
Dead-time $T_{dead}$	0.04–0.16 ms (0.04 ms step)
Current limit value $i_{ref}$	5.0 A



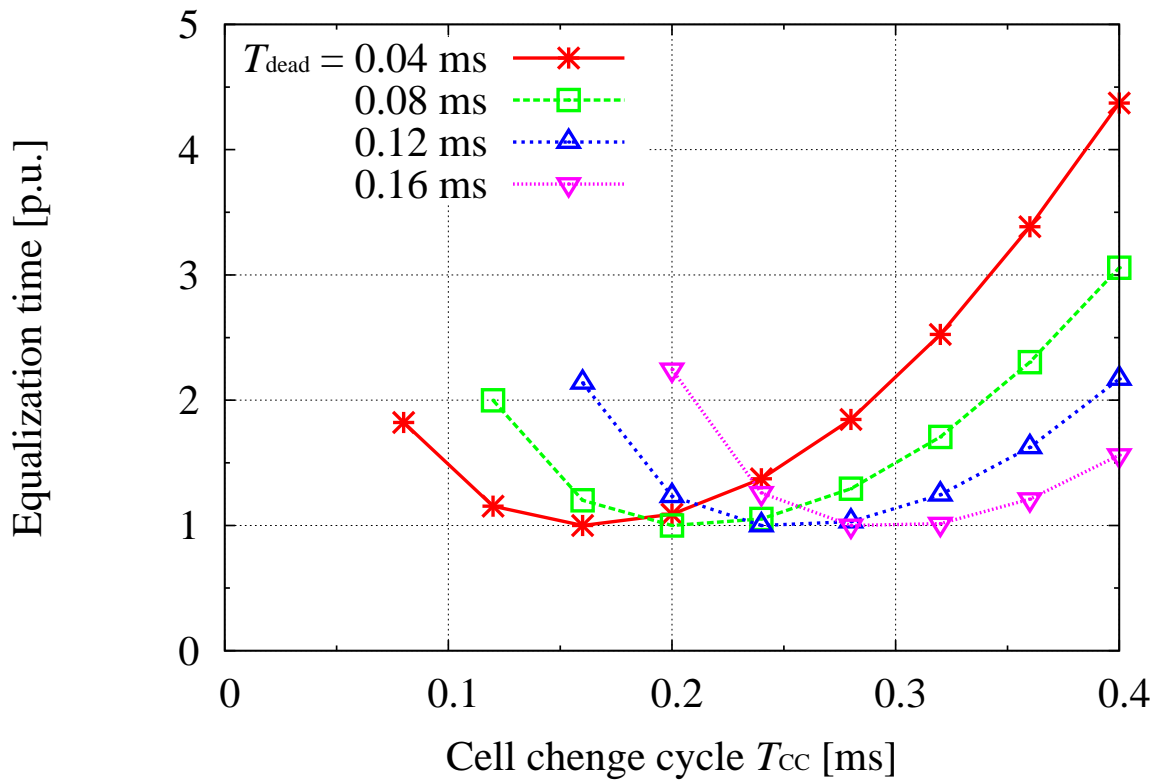


Fig. 2.11. Comparison among the relationships between the cell change cycle  $T_{CC}$  and the dead-time  $T_{dead}$ .

なっている。これは、デッドタイムを挿入したことにより各バッテリーセルに流れる電流のモードが変化した影響が、均等化時間にも現れたものと考えられる。しかしながら、全体的な傾向としては  $T_{dead}$  の増加に比例して均等化時間も増加することが確認された。

電流制限値による影響

提案回路の特徴として、電流制限値  $i_{\text{ref}}$  による均等化電流の動的な制限が挙げられる。そのため、Fig. 2.3 に示したように  $i_{\text{ref}}$  の値によって均等化動作の挙動が変化することから、セル切替周期  $T_{\text{CC}}$  と均等化時間の関係性にも影響を与える可能性がある。そこで、電流制限値  $i_{\text{ref}}$  を変化させた際のセル切替周期  $T_{\text{CC}}$  と均等化時間の関係性について、シミュレーションにより検証した。シミュレーション条件 Table 2.8 に示す。

シミュレーション結果を Fig. 2.12 に示す。ここで、 $i_{\text{ref}}$  による  $T_{\text{CC}}$  と均等化時間の関係を比較しやすくするため、Fig. 2.12 ではそれぞれの  $i_{\text{ref}}$  に対する結果について、最小の均等化時間を 1 としたときの各  $T_{\text{CC}}$  に対する均等化時間の相対値を示した。Fig. 2.12 より、 $i_{\text{ref}}$  を変化させた際の均等化時間が最小となる  $T_{\text{CC}}$  に大きな変化は認められなかった。したがって、電流制限値  $i_{\text{ref}}$  がセル切替周期  $T_{\text{CC}}$  と均等化時間の関係性に与える影響は小さいことが示唆された。

Table 2.8. Circuit parameters in the simulations to derive the cell change cycle  $T_{\text{CC}}$  considering the current limit value  $i_{\text{ref}}$ .

Number of cells $n$	8
Battery cell capacity	50 mF
ESR of each battery cell	100 m $\Omega$
Initial voltage of $V_{\text{B1-B8}}$	0.50–4.00 V (0.50 V step)
ESR of inductor and capacitor $r$	100 m $\Omega$
Inductance $L$	50 $\mu$ H
Capacitance $C$	470 $\mu$ F
Control frequency $f_{\text{cnt}}$	50 kHz
Cell change cycle $T_{\text{CC}}$	0.04–0.40 ms (0.04 ms step)
Current limit value $i_{\text{ref}}$	2.0–8.0 A (2.0 A step)

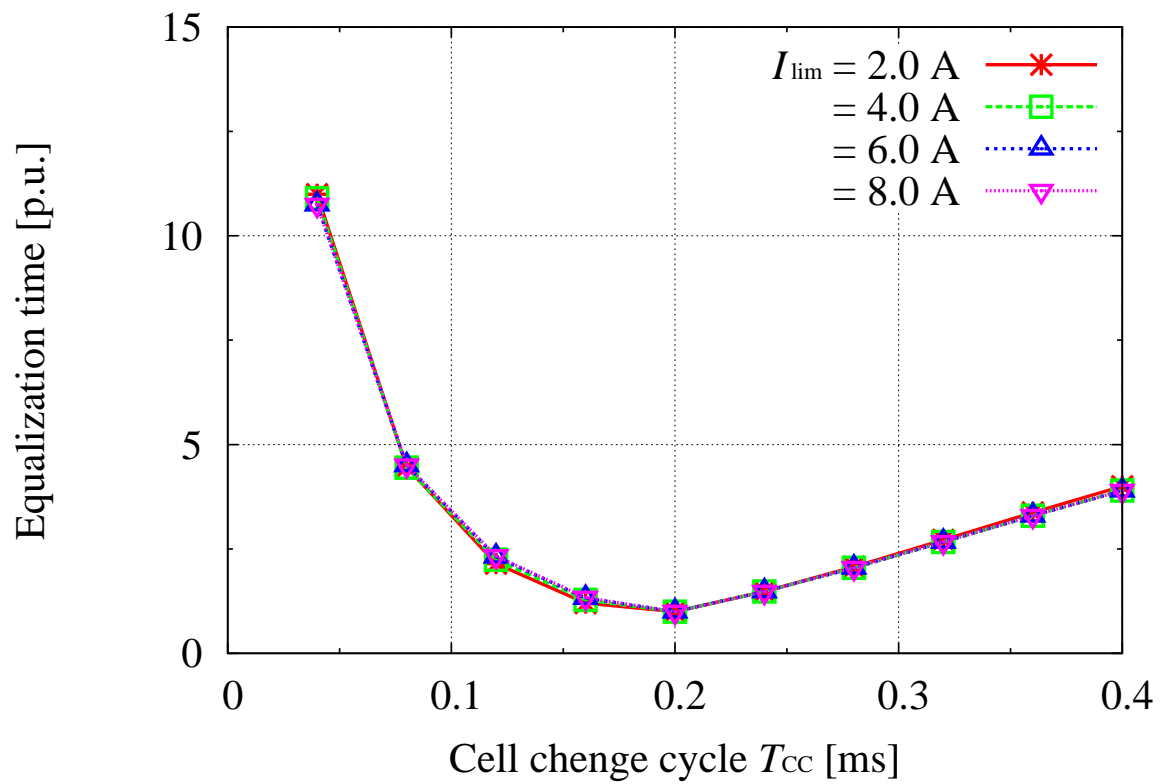


Fig. 2.12. Comparison among the relationships between the current limit value  $i_{ref}$  and the equalization time.

シミュレーションによる検証結果の分析

前述のシミュレーション結果から、提案回路では  $T_{CC}$  を LC 直列回路部の共振周期  $T_{rs}$  の  $1/4$  となるように設定することで、セル数  $n$  ならびに時定数が変化した場合でも均等化時間を概ね小さくできることが示唆された。また、デッドタイム  $T_{dead}$  の増加に比例して均等化時間も増加することも確認された。したがって、 $T_{CC} = T_{rs} / 4 + T_{dead}$  (ただし、 $T_{rs} = 2\pi\sqrt{LC}$ ) という指針を基に  $T_{CC}$  を設定することで、均等化時間を大幅に増加させることなく、容易に  $T_{CC}$  の設計が可能であると考えられる。

実機実験による分析結果の検証

前述のシミュレーション検証の結果から、 $T_{CC} = T_{rs} / 4 + T_{dead}$  (ただし、 $T_{rs} = 2\pi\sqrt{LC}$ ) という指針を基に  $T_{CC}$  を設定することで、均等化時間を大幅に増加させることなく、容易に  $T_{CC}$  の設計が可能であることが示唆された。そこで、前述の分析結果の妥当性について、後述の実機実験で用いる回路パラメータ (Table 2.13) を利用し、セル切替周期  $T_{CC}$  を 0.40–2.80 ms で 0.20 ms 毎に変化させた場合の均等化時間の変化について検証を行った。このとき  $r = 349 \text{ m}\Omega$  であり、 $r < \sqrt{\frac{4L}{C}}$  を満たしている。また、前述の分析結果より  $T_{CC}$  は

$$\begin{aligned} T_{CC} &= T_{rs}/4 + T_{dead} \\ &= 1.52 + 0.10 \cong 1.6 \text{ [ms]} \end{aligned} \tag{2.11}$$

とすることが妥当である。

Fig. 2.13 に実験結果を示す。Fig. 2.13 より、均等化時間が最小となる  $T_{CC}$  の値は 1.8 ms であった。これは、前述のシミュレーション分析の結果から得られた  $T_{CC} = 1.6 \text{ ms}$  と概ね一致している。また、 $T_{CC} = 1.6 \text{ ms}$  のときの均等化時間は 32.7 min、均等化時間が最小となった  $T_{CC} = 1.8 \text{ ms}$  のときの均等化時間は 32.5 min であり、その差は 1%未満であった。したがって、提案回路ではセル切替周期  $T_{CC}$  を  $T_{rs} / 4 + T_{dead}$  (ただし、 $T_{rs} = 2\pi\sqrt{LC}$ ) という指針を基に設計することで、均等化時間を大幅に増加させることなく、容易に  $T_{CC}$  の設計が可能であることが実機実験の結果からも明らかとなった。

また、Fig. 2.14 にそれぞれの  $T_{CC}$  における均等化動作の効率を示す。なお、効率の算出にあたっては後述の式 (2.12) を用いて、均等化動作前後の静電エネルギーの差から求めた。Fig. 2.14 より、 $T_{CC}$  により均等化動作時の効率は多少変動するものの、概ね 85–90% の範囲で推移していた。特に、均等化時間が大きく変化していない  $T_{CC} > 1.0 \text{ ms}$  の領域においては、均等化動作時の効率についても大きな変化は認められなかった。

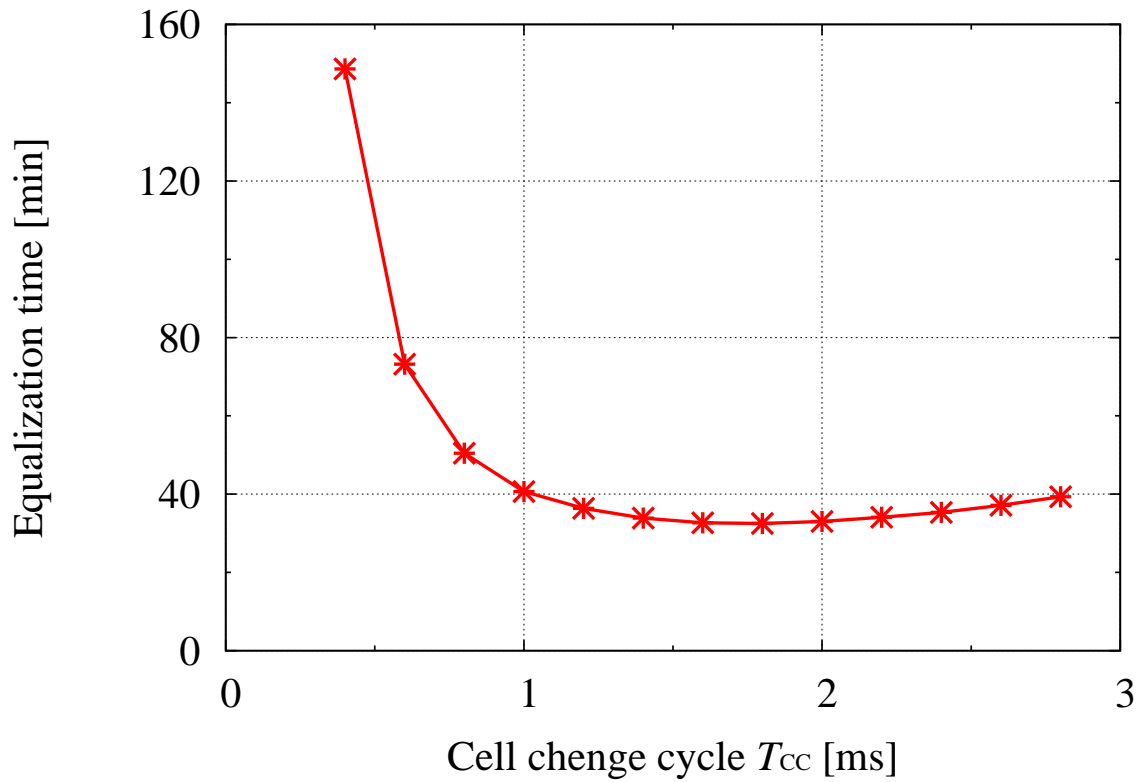


Fig. 2.13. Experimental results of the relationships between the equalization time and the cell change cycle  $T_{cc}$ .

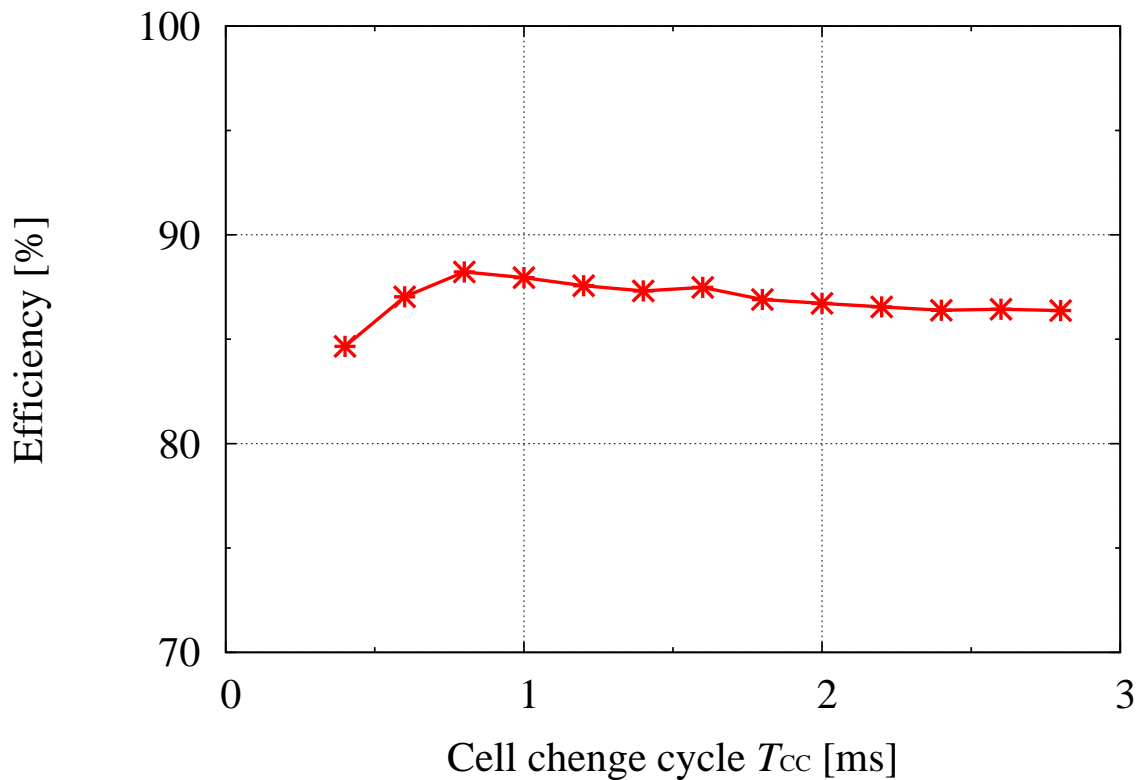


Fig. 2.14. Experimental results of the relationships between the efficiency and the cell change cycle  $T_{cc}$ .

## 2.3 シミュレーションによる動作特性の検証

提案回路の有用性について検討するため、バッテリーモジュールの模擬としてキャパシタンス成分と ESR のみを考慮したバッテリーセルを3セル直列に接続した場合、8セル直列に接続した場合、および16セル直列に接続した場合のそれぞれについてセル電圧均等化動作のシミュレーションを行った。本節のシミュレーション検証ではセル数の違いによる動作特性への影響についても検討するため、均等化動作の最小数である3セルと、一般的なセル電圧均等化回路が対象としている8セルおよび16セルの3種類についてシミュレーションを行った。

本シミュレーションにおけるパラメータを Table 2.9, Table 2.10, および Table 2.11 に示す。ここで、シミュレーション時の回路パラメータは、後述の実機実験時の回路パラメータと異なる値を用いた。これは、提案回路の均等化動作の特性上、シミュレーションにおいて実機実験と同じ回路パラメータを用いた場合には膨大なシミュレーション時間を要するためである。本論文のシミュレーションでは提案回路の基本動作特性の検証を目的としていることから、以降のシミュレーションにおいては実機実験時と異なる回路パラメータを用いた。

また、本論文のシミュレーションおよび実機実験では、初期電圧のばらつきを SOC(State Of Charge) に換算して 10–90 % 程度と大きく設定している。これは、通常のバッテリーモジュールの運用ではセル電圧のばらつきが小さい段階から均等化動作を行うことが一般的であるが、本論文では各セル間で電圧のばらつきが大きい場合においても提案回路の均等化動作が可能であることを示すために前述のような初期条件を設定した。

Table 2.9. Circuit parameters in the simulation for the three series-connected cells.

Number of cells $n$	3
Battery cell capacity	50 mF
ESR of each battery cell	100 m $\Omega$
Initial voltage of $V_{B1-B3}$	1.30–2.90 V (1.30 V step)
ESR of inductor and capacitor $r$	100 m $\Omega$
Inductance $L$	50 $\mu$ H
Capacitance $C$	470 $\mu$ F
Control frequency $f_{\text{cnt}}$	50 kHz
Cell change cycle $T_{\text{CC}}$	0.24 ms
Current limit value $i_{\text{ref}}$	5.0 A

Table 2.10. Circuit parameters in the simulation for the eight series-connected cells.

Number of cells $n$	8
Battery cell capacity	50 mF
ESR of each battery cell	100 m $\Omega$
Initial voltage of $V_{B1-B8}$	0.50–4.00 V (0.50 V step)
ESR of inductor and capacitor $r$	100 m $\Omega$
Inductance $L$	50 $\mu$ H
Capacitance $C$	470 $\mu$ F
Control frequency $f_{\text{cnt}}$	50 kHz
Cell change cycle $T_{\text{CC}}$	0.24 ms
Current limit value $i_{\text{ref}}$	5.0 A

Table 2.11. Circuit parameters in the simulation for the sixteen series-connected cells.

Number of cells $n$	16
Battery cell capacity	50 mF
ESR of each battery cell	100 m $\Omega$
Initial voltage of $V_{B1-B16}$	0.25–4.00 V (0.25 V step)
ESR of inductor and capacitor $r$	100 m $\Omega$
Inductance $L$	50 $\mu$ H
Capacitance $C$	470 $\mu$ F
Control frequency $f_{\text{cnt}}$	50 kHz
Cell change cycle $T_{\text{CC}}$	0.24 ms
Current limit value $i_{\text{ref}}$	5.0 A



Fig. 2.15, 2.16, 2.17 にそれぞれバッテリーセルを 3 セル, 8 セル, 16 セル直列にした場合における各セル電流のシミュレーション波形の一部をそれぞれ示す。Fig. 2.15, 2.16, 2.17 より, 本シミュレーション条件の電流制限値 5.0 A 近傍で, 各セルの電流値が制限されていることが確認できる。第 2.2.1 節で述べたように, 本論文では電流制限値  $i_{ref}$  によるオン/オフ制御を用いているために, オン/オフのタイミングによっては電流が  $i_{ref}$  を超える場合がある。そこで, 本シミュレーションのパラメータ設計にあたっては,  $i_{ref}$  の値をバッテリーセルの定格電流値よりも十分に小さくするとともに,  $i(T_{cnt})$  についても 1.56 A のような 5.0 A から大きなマージンをとった値を設定した。そのため, 設計上は  $i$  が最大で 6.6 A 程度流れる可能性があるが, 実際の電流波形を見ると最大で 5.6 A となっており, 想定した 6.6 A 以内に収まっている。したがって, 前節のように使用するバッテリーセルの定格電流値に対して余裕を持たせたパラメータを選択することで, 提案回路は目的の電流制御が可能であることが示された。

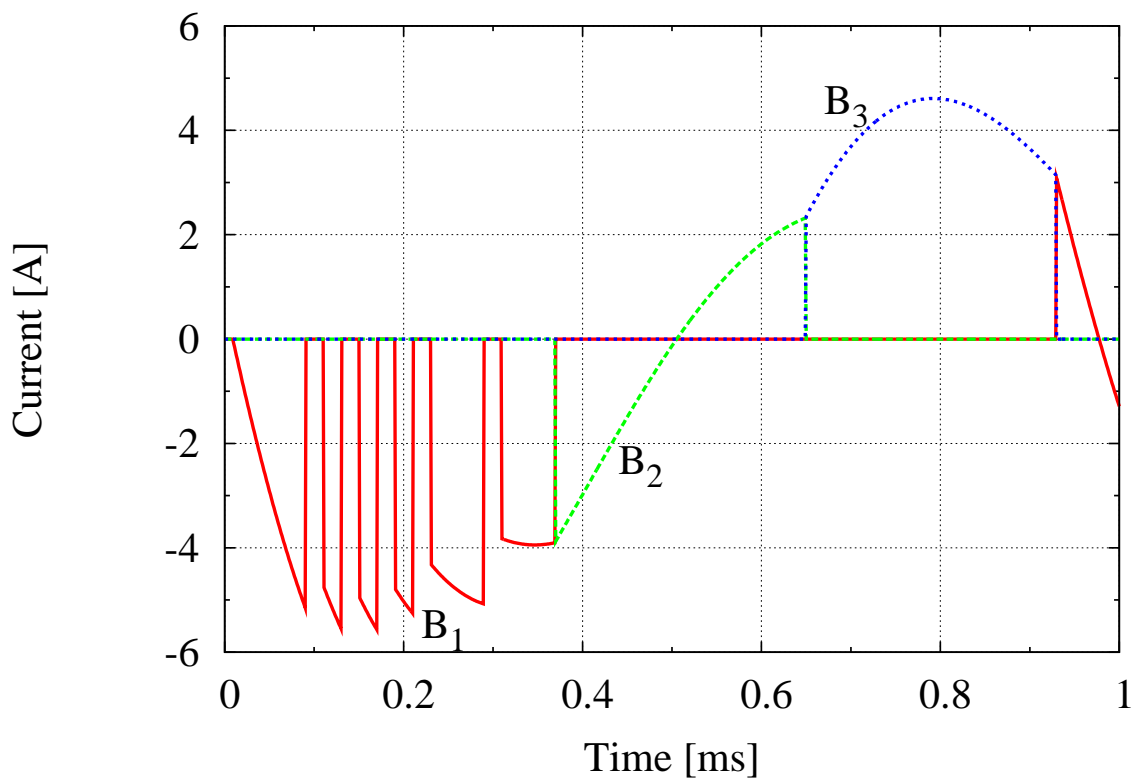


Fig. 2.15. Simulation current waveforms of each cell of three series-connected cells.

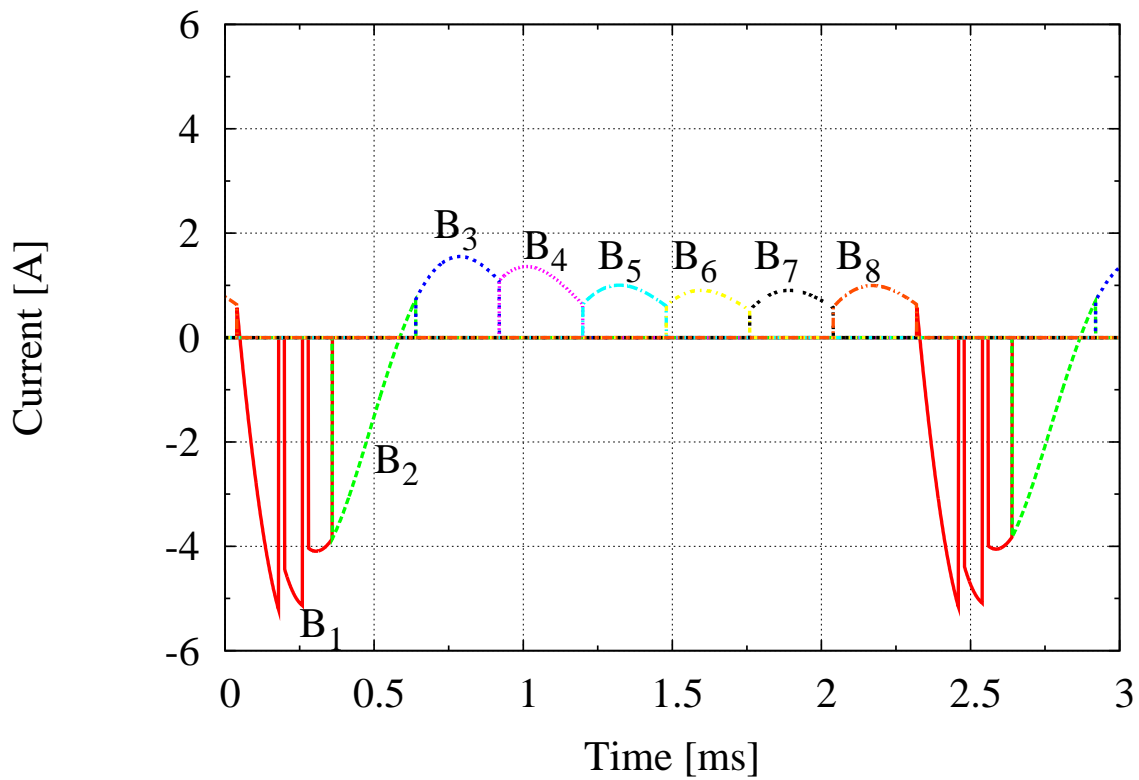


Fig. 2.16. Simulation current waveforms of each cell of eight series-connected cells.

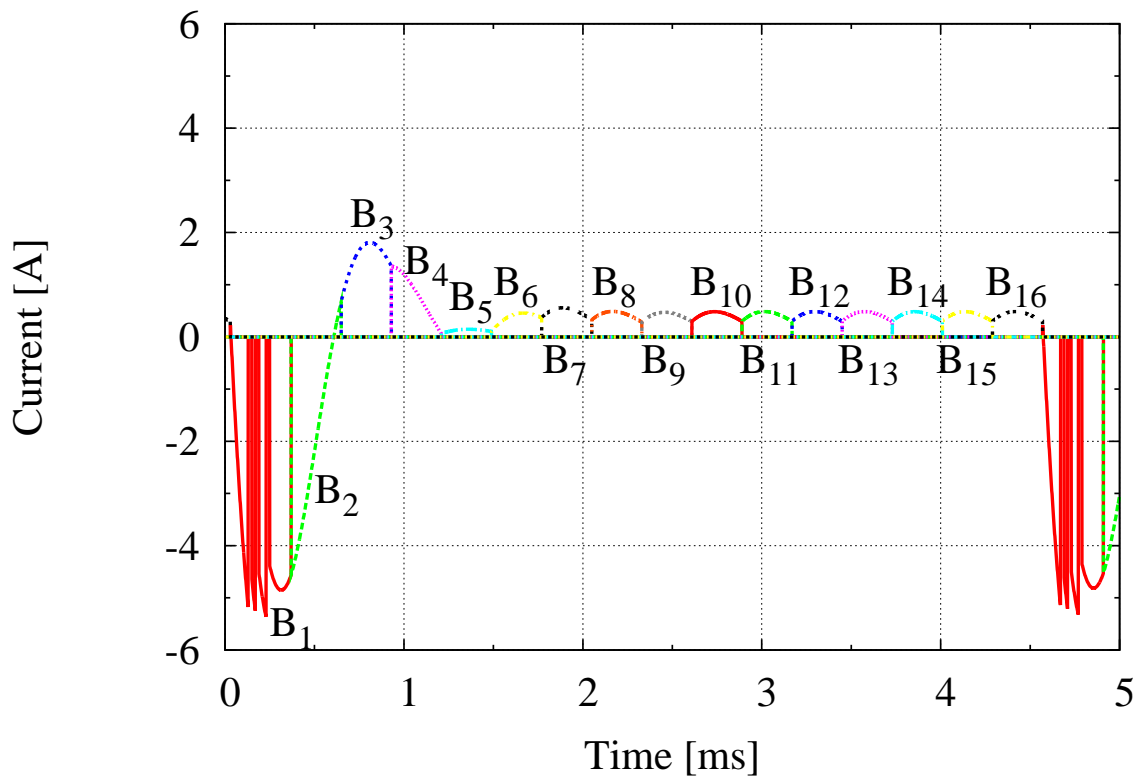
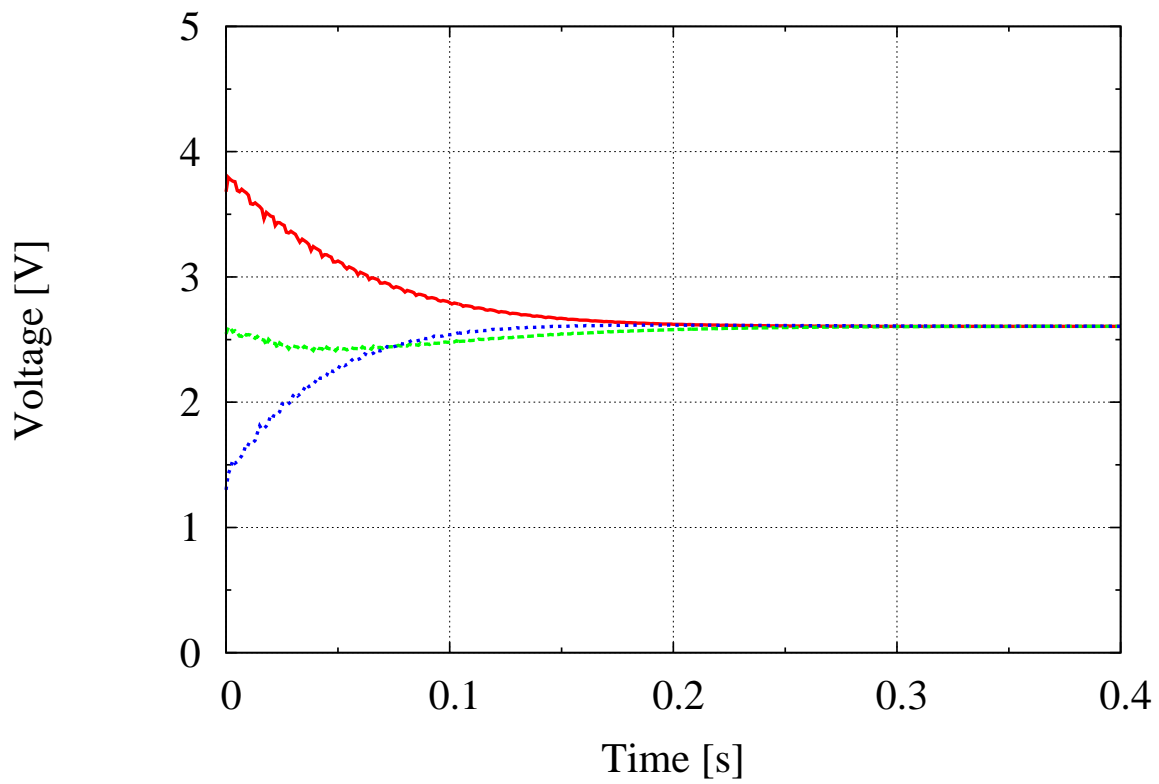


Fig. 2.17. Simulation current waveforms of each cell of sixteen series-connected cells.

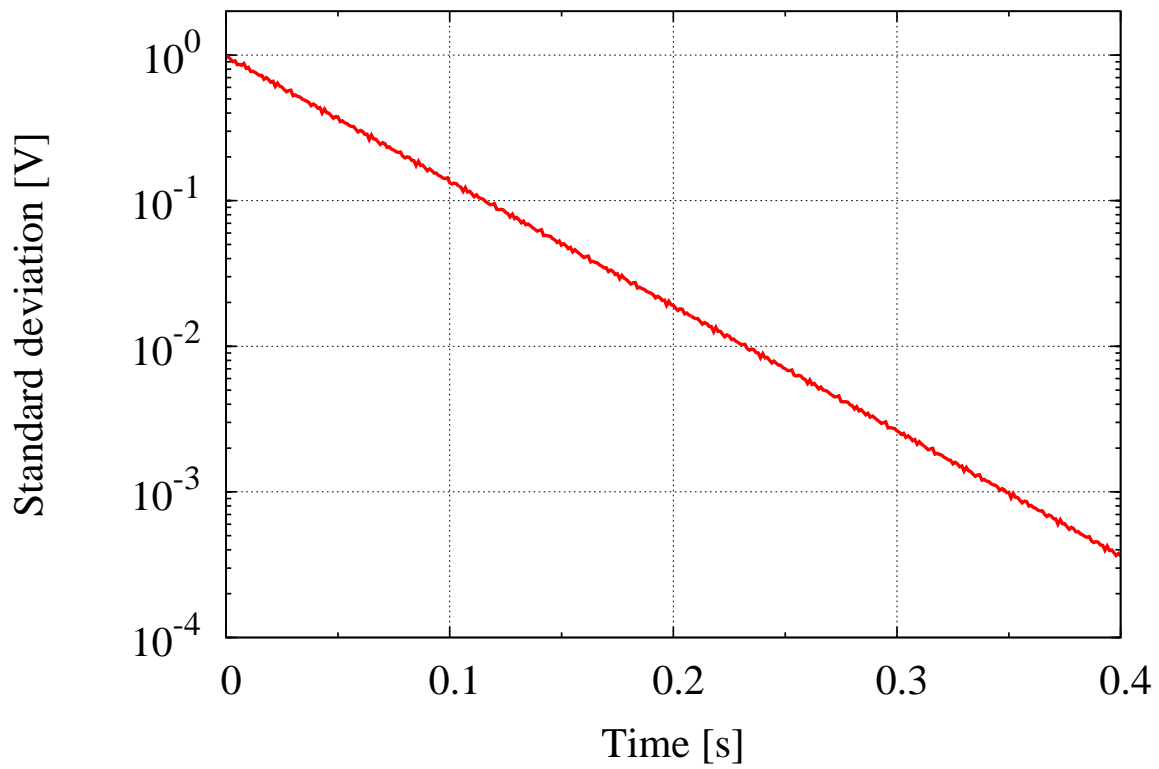
また、バッテリーセルが3セル直列の場合について、セル電圧均等化動作時における各セル電圧、および電圧値の標準偏差のシミュレーション結果を Fig. 2.18 に示す。Fig. 2.18 より、各セル電圧のばらつきは時間とともに解消されていることがわかる。一般的に、EDLC やリチウムイオンバッテリーのセル電圧均等化動作では各セル電圧の標準偏差を 10 mV 以下とすることが求められており [4]、シミュレーション結果は標準偏差が十分低い値まで低減されたことを示している。

更に、バッテリーセルが8セル直列の場合と16セル直列の場合についても同様に、セル電圧均等化動作時における各セル電圧、および電圧値の標準偏差のシミュレーション結果を Fig. 2.19, 2.20 に示す。Fig. 2.19, 2.20 より、8セルおよび16セルの場合においても各セル電圧のばらつきは時間とともに解消され、標準偏差は最終的に 10 mV 以下の十分低い値まで低減されたことがわかる。したがって、提案回路の有用性は示された。

ここで、セル数の違いによる動作特性への影響について考える。本節のシミュレーションにおいては、3セル、8セル、16セルのそれぞれの場合において初期電圧の標準偏差がおおよそ等しくなるように初期条件を設定した。そのため、各セルの電圧を均等化するために移動すべき電荷量はセル数に比例して増加する。これにより、均等化時間についてもセル数の増加とともに増大することが示唆され、これはシミュレーション結果からも明らかである。一方、各セル電圧の時間的な推移や各セルに流れる電流の特性については、セル数に関係なくほぼ同様であることが確認された。したがって、セル数の違いによる提案回路の動作特性への影響としては、セル数の増加に伴って均等化時間が長くなる一方で、各セルの電圧や電流の時間的推移については影響が小さいことから、次章以降のシミュレーションおよび実機実験においては、主として8セルの場合についてのみ検証することとした。

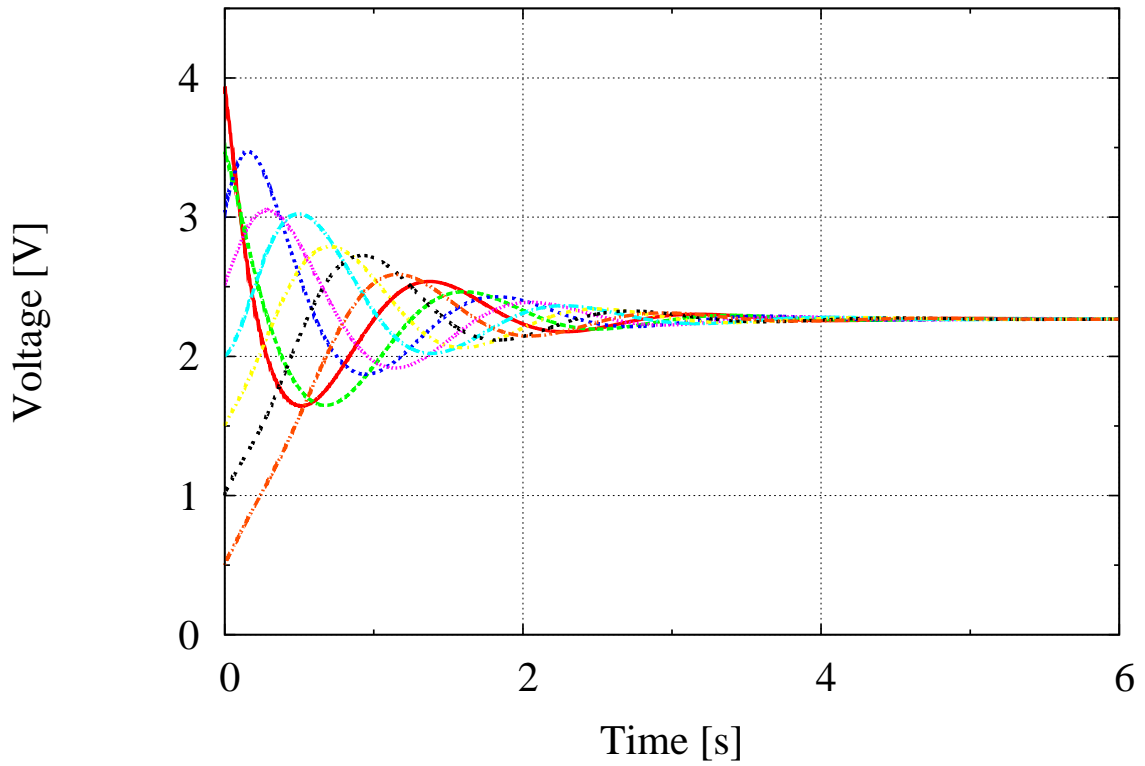


(a) Voltage of each cell.

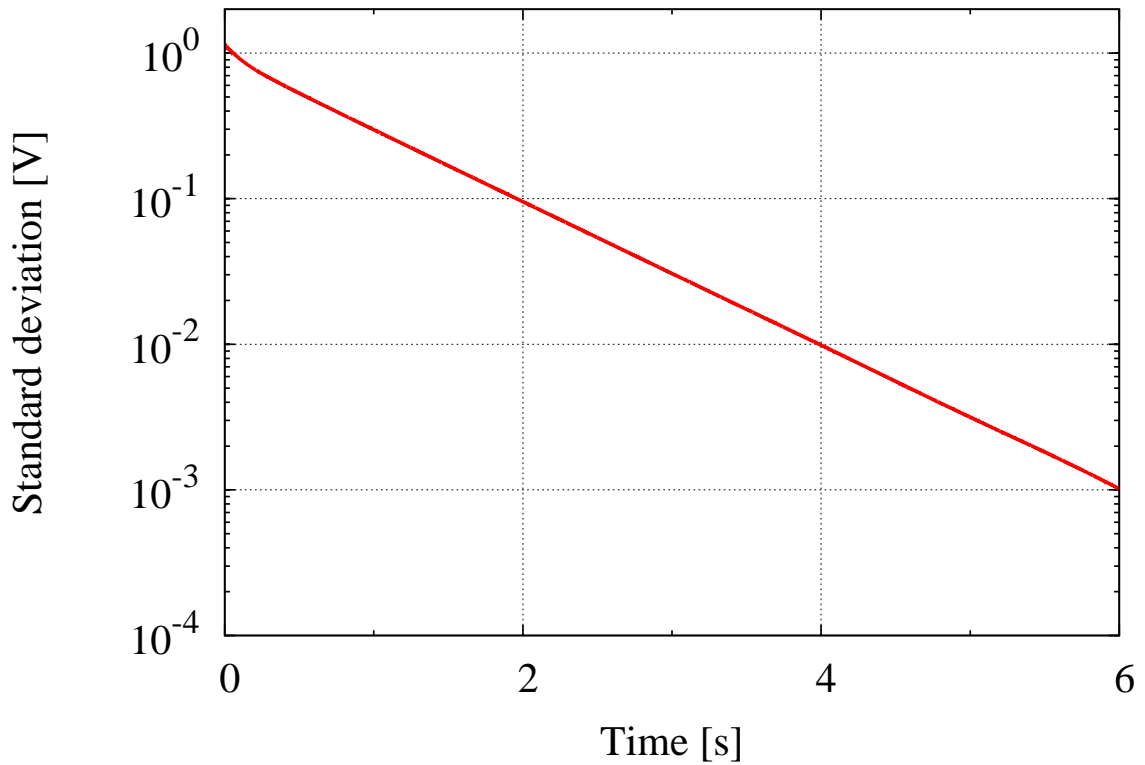


(b) Standard deviation.

Fig. 2.18. Simulation results of the proposed cell voltage equalizer connected to three series-connected cells.

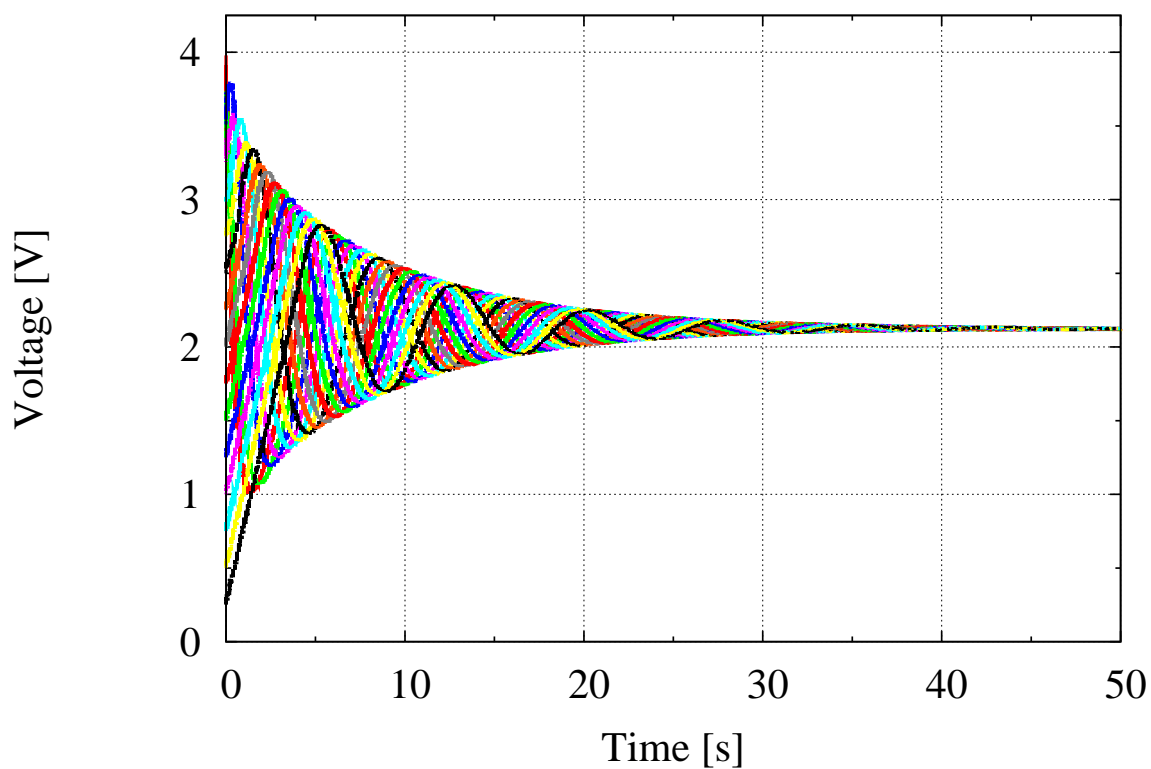


(a) Voltage of each cell.

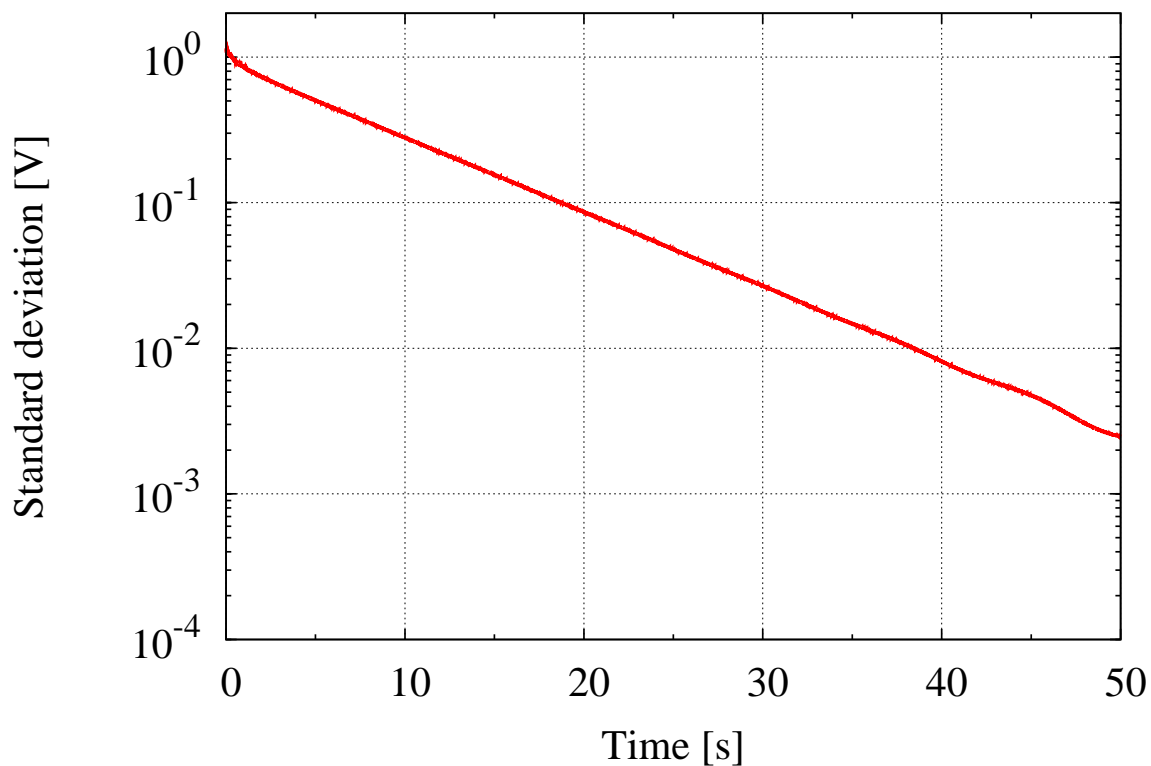


(b) Standard deviation.

Fig. 2.19. Simulation results of the proposed cell voltage equalizer connected to eight series-connected cells.



(a) Voltage of each cell.



(b) Standard deviation.

Fig. 2.20. Simulation results of the proposed cell voltage equalizer connected to sixteen series-connected cells.

## 2.4 実機実験による動作特性の検証

提案回路の有用性およびシミュレーションの妥当性について検討するため、60 FのEDLCセルをを3つ直列に接続した場合、8つ直列に接続した場合、および7.5 Ahのリチウムイオンバッテリーセルを8つ直列に接続した場合における均等化動作の実機実験を行った。なお、前節のシミュレーションでは16セルについても検討したが、実機実験においては使用した測定機器の制約上、16セルでは十分なサンプリング速度でのセル電圧測定が行えないことから8セルまでの検証とした。

実機実験に用いた回路パラメータを Table 2.12, Table 2.13, および Table 2.14 に示す。回路パラメータは使用するEDLCモジュールおよびリチウムイオンバッテリーモジュールに合わせ、また、実験装置のESR等を考慮して、第2.2節に示した設計手順に基づき再考した。

なお、本論文では以降の実機実験にバッテリーセルとして60 FのEDLCを用いた。これは、バッテリーセルの入手性や実機実験の安全性、実験条件設定の容易さ等を考慮した結果である。そのため、実際に電気自動車用として使用されているリチウムイオンバッテリー等と比較すると充放電容量が小さく、以下の実験条件と同程度のセル電圧のばらつきを均等化する場合には均等化に長い時間を要すると考えられる。しかしながら、提案回路では均等化するバッテリーモジュールに合わせてインダクタンス $L$ やキャパシタンス $C$ を設計する点や、実際の使用ではばらつきの小さい段階から均等化動作を行うことが可能であることから、提案回路は電気自動車用のリチウムイオンバッテリー等にも適用可能であると考えられる。以降ではこれを前提として、提案回路の有用性を検討することとした。

Table 2.12. Circuit parameters in the experiment for the three series-connected EDLC cells.

Number of cells $n$	3
Battery module type	EDLC
Battery cell capacity	60 F
ESR of each battery cell	32 m $\Omega$
Initial voltage of $V_{B1-B3}$	0.50–1.90 V (0.70 V step)
ESR of inductor and capacitor $r$	349 m $\Omega$
Inductance $L$	199 $\mu$ H
Capacitance $C$	4734 $\mu$ F
Control frequency $f_{\text{cnt}}$	50 kHz
Cell change cycle $T_{\text{CC}}$	1.60 ms
Current limit value $i_{\text{ref}}$	2.0 A

Table 2.13. Circuit parameters in the experiment for the eight series-connected EDLC cells.

Number of cells $n$	8
Battery module type	EDLC
Battery cell capacity	60 F
ESR of each battery cell	32 m $\Omega$
Initial voltage of $V_{B1-B8}$	0.50–2.25 V (0.25 V step)
ESR of inductor and capacitor $r$	349 m $\Omega$
Inductance $L$	199 $\mu$ H
Capacitance $C$	4734 $\mu$ F
Control frequency $f_{\text{cnt}}$	50 kHz
Cell change cycle $T_{\text{CC}}$	1.60 ms
Current limit value $i_{\text{ref}}$	2.0 A



Table 2.14. Circuit parameters in the experiment for the eight series-connected lithium-ion battery cells.

Number of cells $n$	8
Battery module type	Lithium-ion battery
Battery cell capacity	7.5 Ah
ESR of each battery cell	20 m $\Omega$
Initial voltage of $V_{B1-B8}$	3.90–3.97 V (0.01 V step)
ESR of inductor and capacitor $r$	132 m $\Omega$
Inductance $L$	47 $\mu$ H
Capacitance $C$	6312 $\mu$ F
Control frequency $f_{\text{cnt}}$	50 kHz
Cell change cycle $T_{\text{CC}}$	0.90 ms
Current limit value $i_{\text{ref}}$	2.0 A

## 第2章 LC直列回路方式セル電圧均等化回路の提案

EDLCセルを3つ直列に接続した場合のセル電圧均等化動作時における各セル電圧、および電圧値の標準偏差の実験結果を Fig. 2.21 に示す。Fig. 2.21 より、各セル電圧のばらつきは時間とともに解消され、標準偏差は最終的に 10 mV 以下の十分低い値まで低減されたことがわかる。

同様に、EDLCセルを8つ直列に接続した場合の均等化動作時における各セル電圧、および電圧値の標準偏差の実験結果を Fig. 2.22 に示す。Fig. 2.22 より、各セル電圧のばらつきは時間とともに解消され、標準偏差は最終的に 10 mV 以下の十分低い値まで低減されたことがわかる。

ここで、実験により得られた各モジュール電圧波形 Fig. 2.21(a), 2.22(a) とシミュレーションにより得られた各セル電圧波形 Fig. 2.18(a), 2.19(a) を比較すると、3直列の場合、および8直列の場合のどちらも各セル電圧や標準偏差の推移の挙動が一致していることがわかる。これにより、前述のシミュレーション結果は妥当であるといえる。

また、3直列および8直列の実験時における均等化電流  $i_L$  の波形を Fig. 2.23(a), 2.24(a)、実機実験と同条件の回路パラメータを用いたシミュレーションにおける均等化電流  $i_L$  の波形を Fig. 2.23(b), 2.24(b) にそれぞれ示す。まず、3直列の場合について Fig. 2.23(a) および Fig. 2.23(b) を比較すると、均等化電流  $i_L$  の概形および挙動がよく似ていることがわかる。また、同様に8直列の場合についても Fig. 2.24(a) および Fig. 2.24(b) を比較すると、均等化電流  $i_L$  概形および挙動がよく似ていることがわかる。したがって、シミュレーションの妥当性は均等化電流  $i_L$  の波形からも確認された。

ここで、EDLCセルを8直列にした場合における均等化動作時の効率  $\eta_{LC}$  [%] について考える。なお、効率の計算にあたっては、均等化動作前に各EDLCセルが有していた静電エネルギー  $U_{pre}$  [J] と、各セル電圧の標準偏差が 10mV となったときの静電エネルギー  $U_{10mV}$  [J] の関係から式 (2.12) を用いて求めることとした。

式 (2.12) より、8直列の場合における均等化動作時の効率は、Table 2.13 の条件においては

$$\eta_{LC} = \frac{U_{10mV}}{U_{pre}} \times 100 \quad (2.12)$$

$$= 84.1 [\%] \quad (2.13)$$

と求まる。同様に、Table 2.13 の条件でパッシブ型 [12] を用いたときの効率損失  $\eta_R$  について考えると、全てのセルの電圧が  $V_{B8}$  となるように抵抗を用いて電力を消費させるので

$$\eta_R = 11.3 [\%] \quad (2.14)$$

と求まる。したがって、提案回路ではパッシブ型と比較して均等化動作時の損失が小さく、Table 2.13 の条件においては均等化動作時の効率を約 73 pt 向上可能なことが確認された。

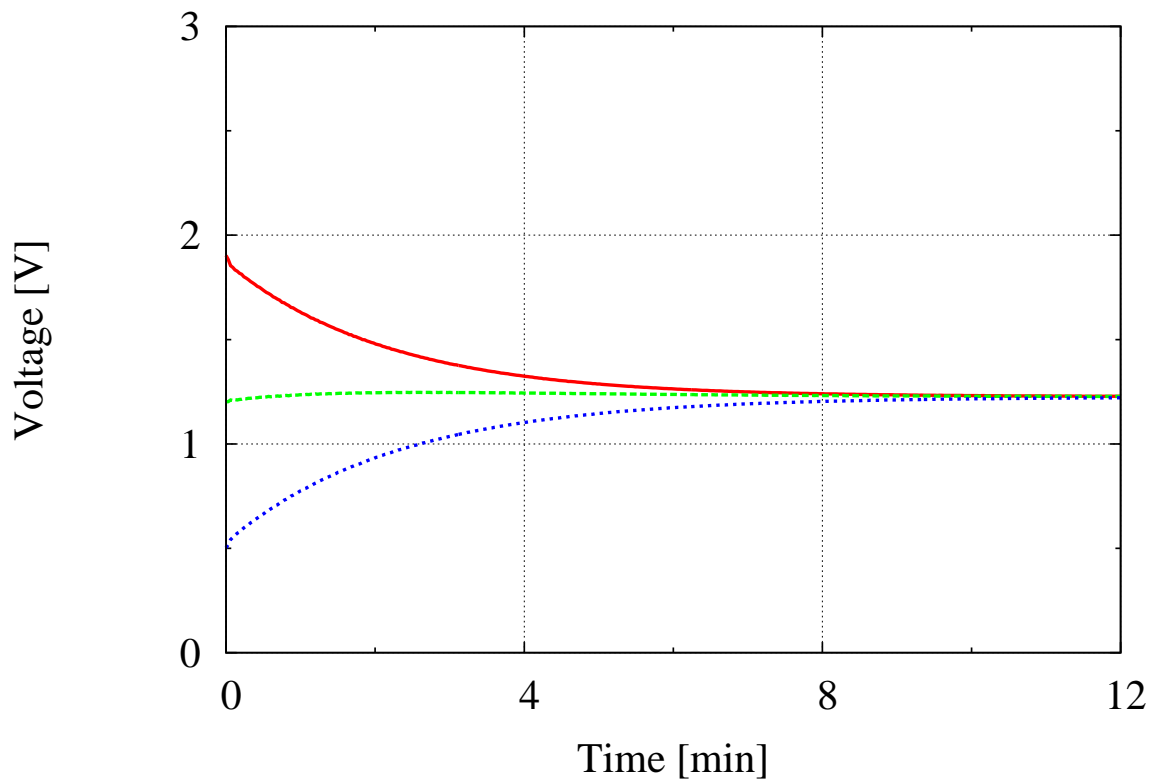
また、提案回路とパッシブ型 [12] の均等化時間について考える。Fig. 2.22 より、Table 2.13 の条件における提案回路の均等化時間  $T_{eqLC}$  は 37.2 min であった。同様に、Table 2.13 の条件でパッシブ型を用いた場合の均等化時間  $T_{eqR}$  について考えると、最大入力電圧 2.25 V に対して最大電流を 2.0 A とすれば、パッシブ型で均等化動作に用いる抵抗値  $R_{eq}$  は

$$R_{eq} = \frac{2.25 \text{ [V]}}{2.0 \text{ [A]}} = 1.13 \text{ [\Omega]} \quad (2.15)$$

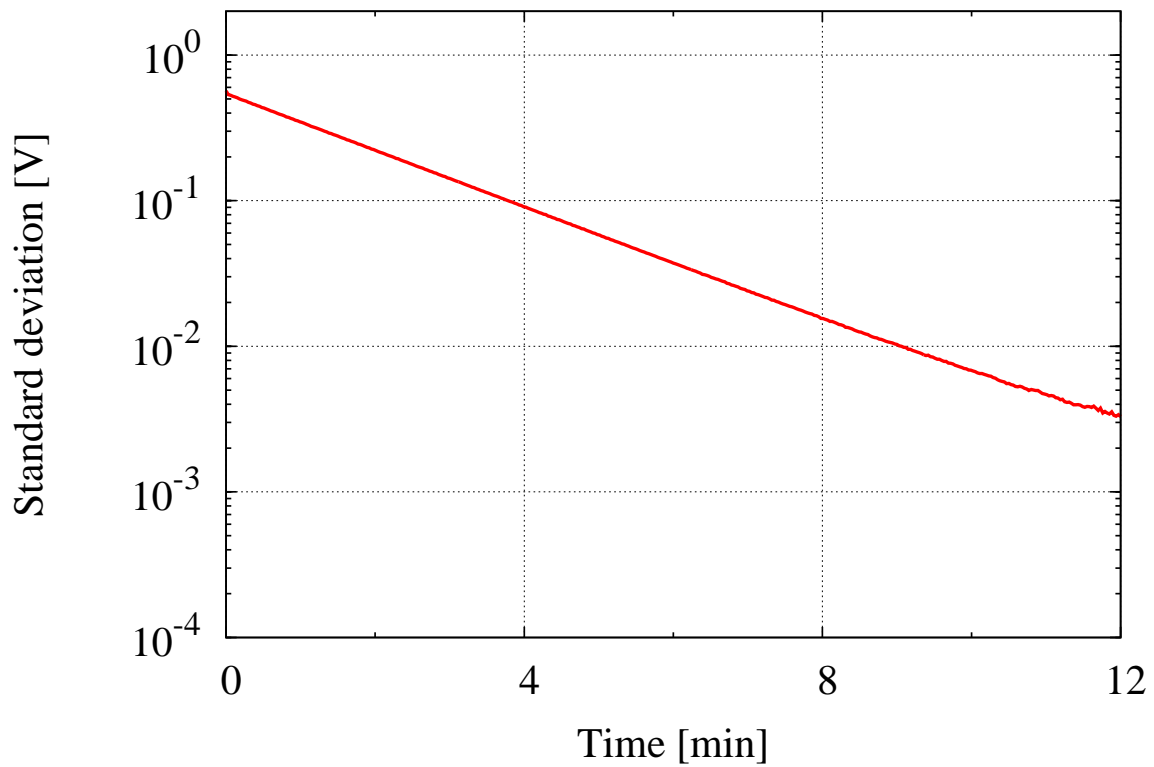
と求まる。したがって、Table 2.13 の条件におけるパッシブ型の均等化時間  $T_{eqR}$  は

$$\begin{aligned} 60 \text{ [F]} \times 0.50 \text{ [V]} &= 60 \text{ [F]} \times 2.25 \text{ [V]} e^{-\frac{1}{60 \text{ [F]} \times 1.13 \text{ [\Omega]}} T_{eqR}} \\ \therefore T_{eqR} &\cong 3.30 \text{ [min]} \end{aligned} \quad (2.16)$$

と求まり、提案回路の均等化時間  $T_{eqLC}$  は、最大電流を同一条件とした場合のパッシブ型の均等化時間  $T_{eqR}$  と比較すると、10 倍程度長いことがわかる。

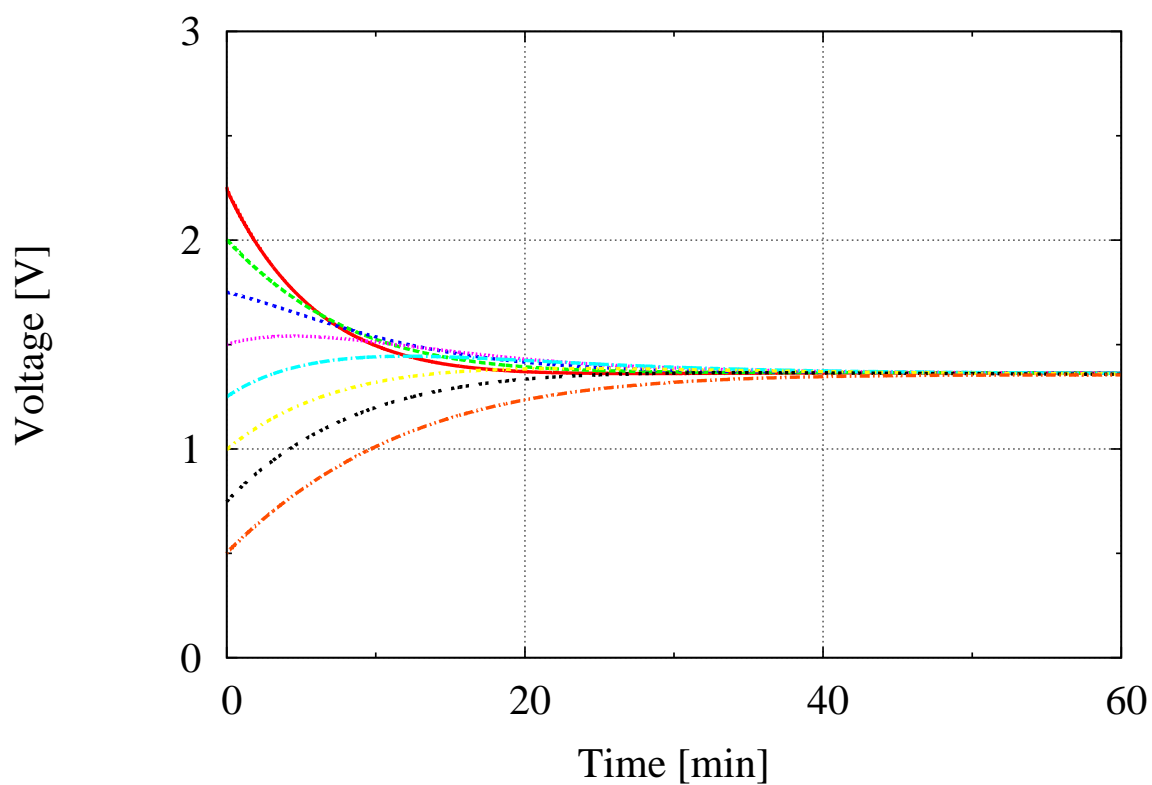


(a) Voltage of each cell.

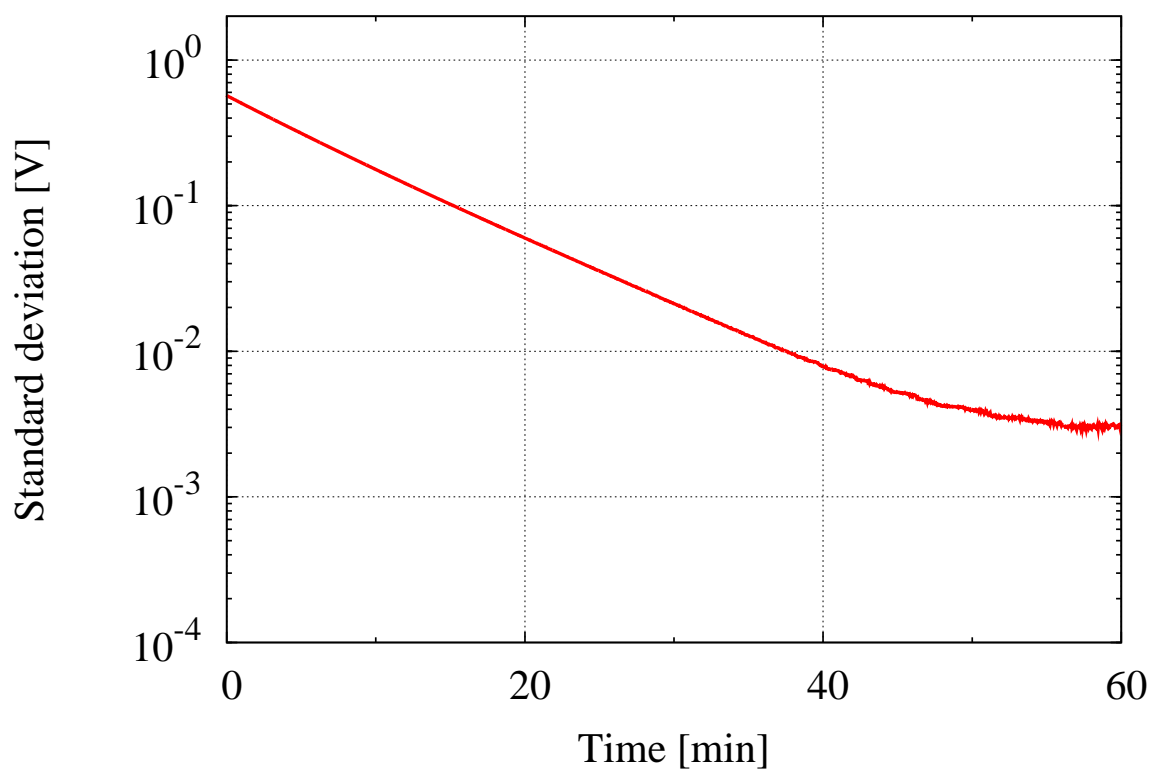


(b) Standard deviation.

Fig. 2.21. Experimental results of the proposed cell voltage equalizer connected to three series-connected EDLC cells.

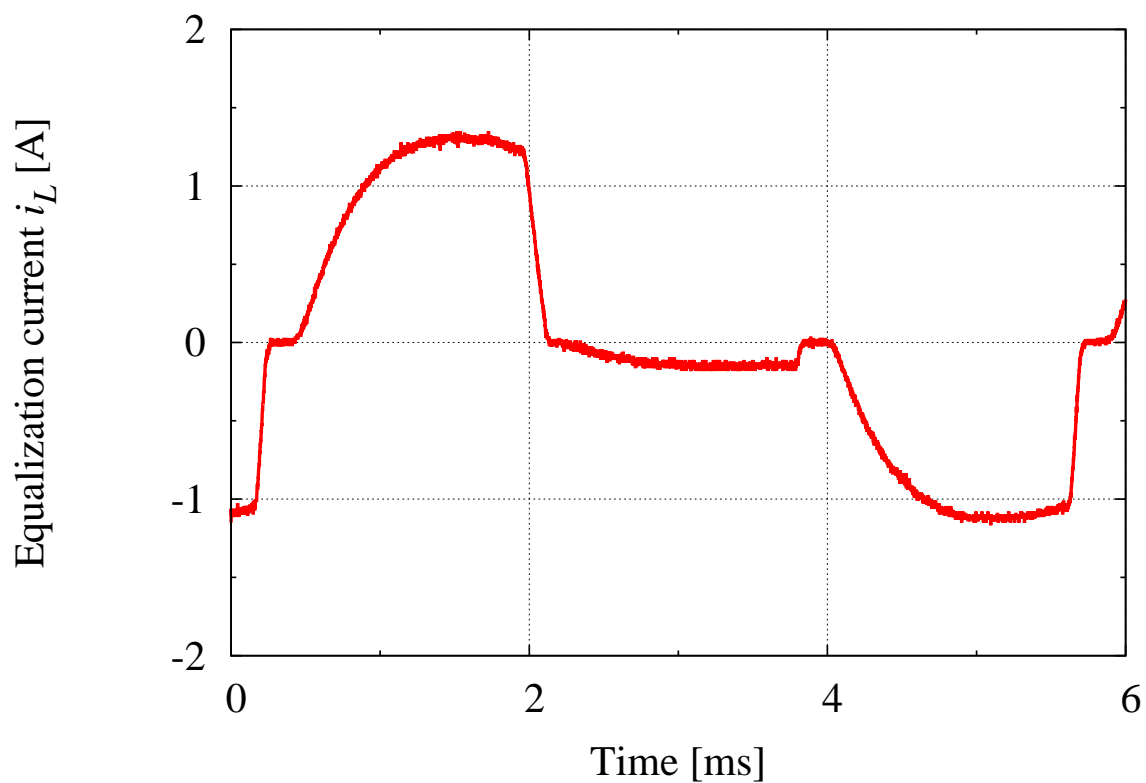


(a) Voltage of each cell.

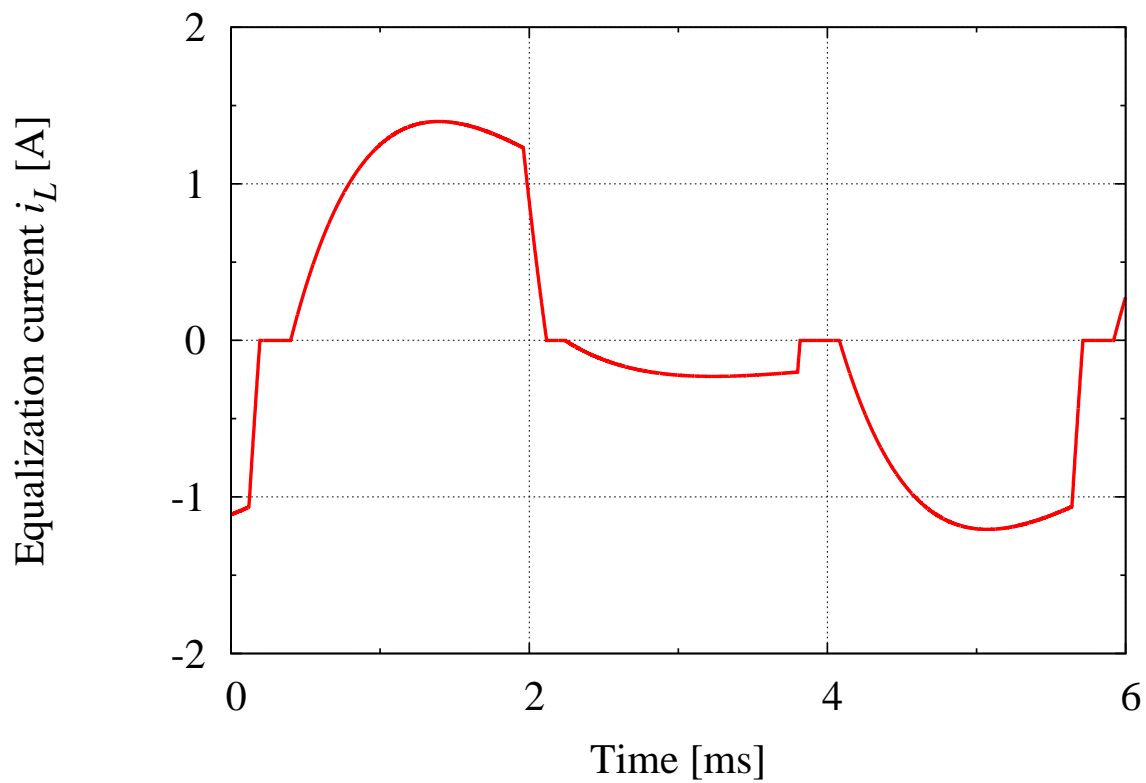


(b) Standard deviation.

Fig. 2.22. Experimental results of the proposed cell voltage equalizer connected to eight series-connected EDLC cells.

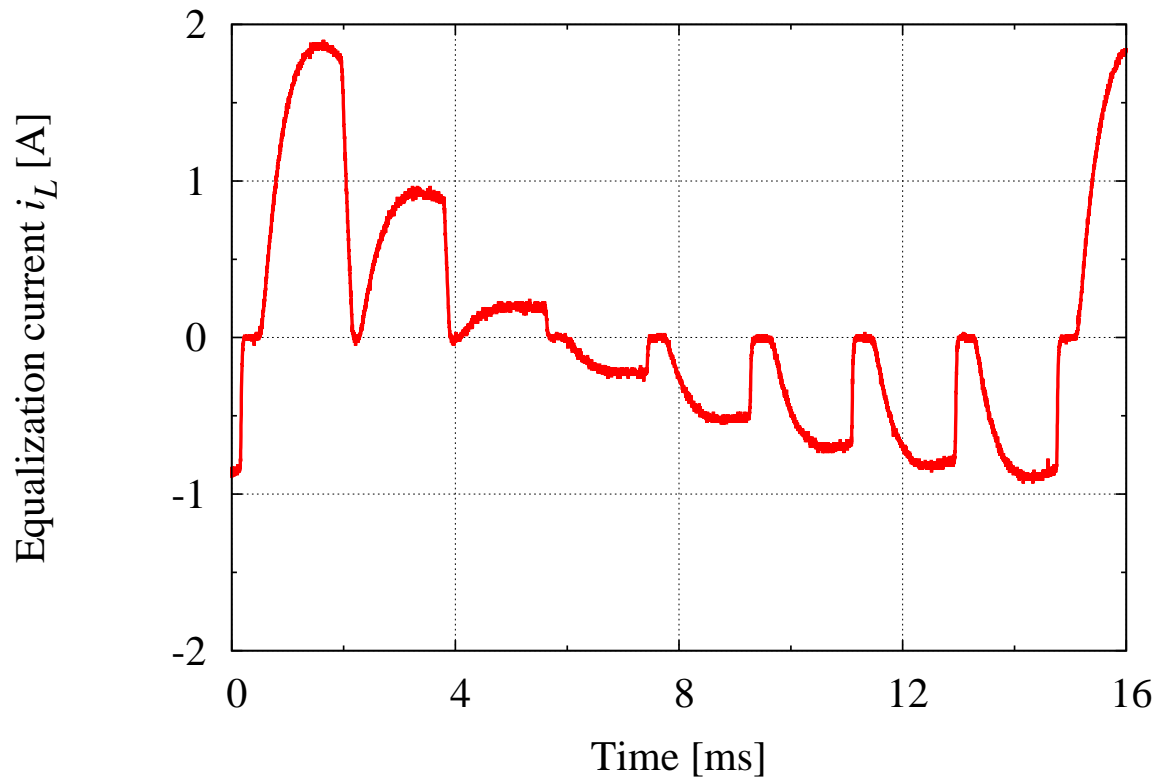


(a) Experimental current waveform.

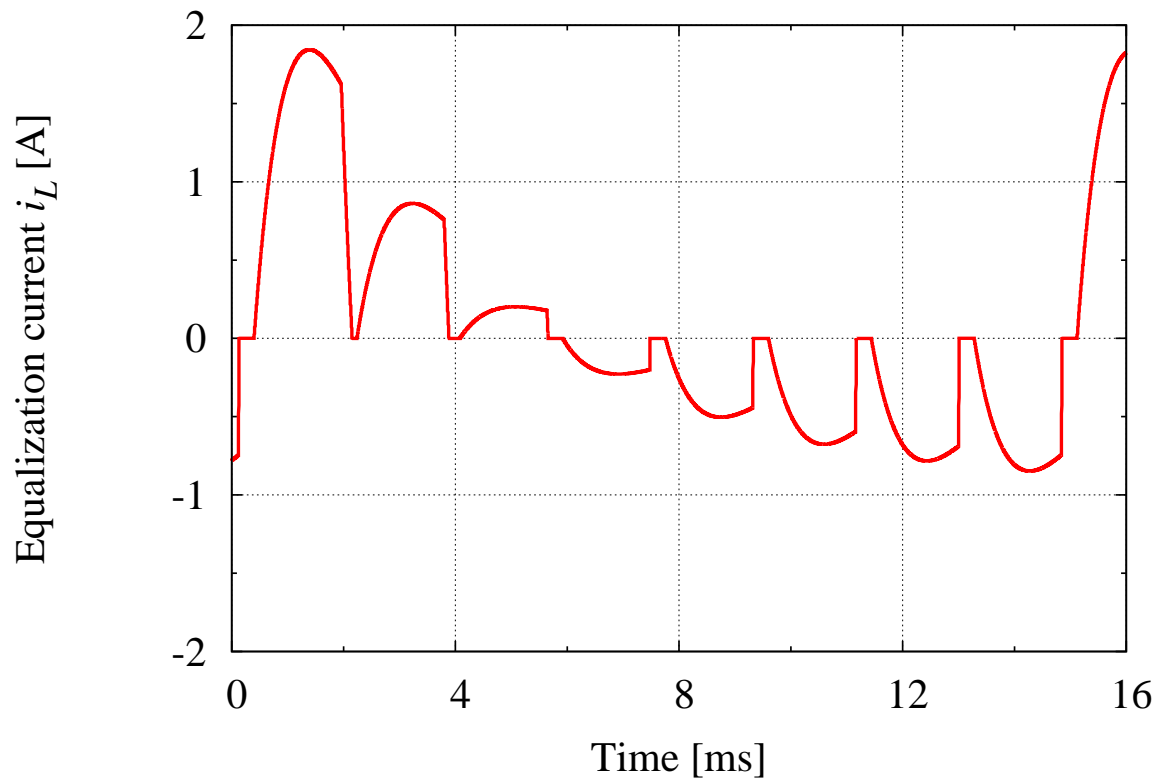


(b) Simulation current waveform.

Fig. 2.23. Comparison of the experimental and simulation current waveforms of each cell ( $n = 3$ ).



(a) Experimental current waveform.



(b) Simulation current waveform.

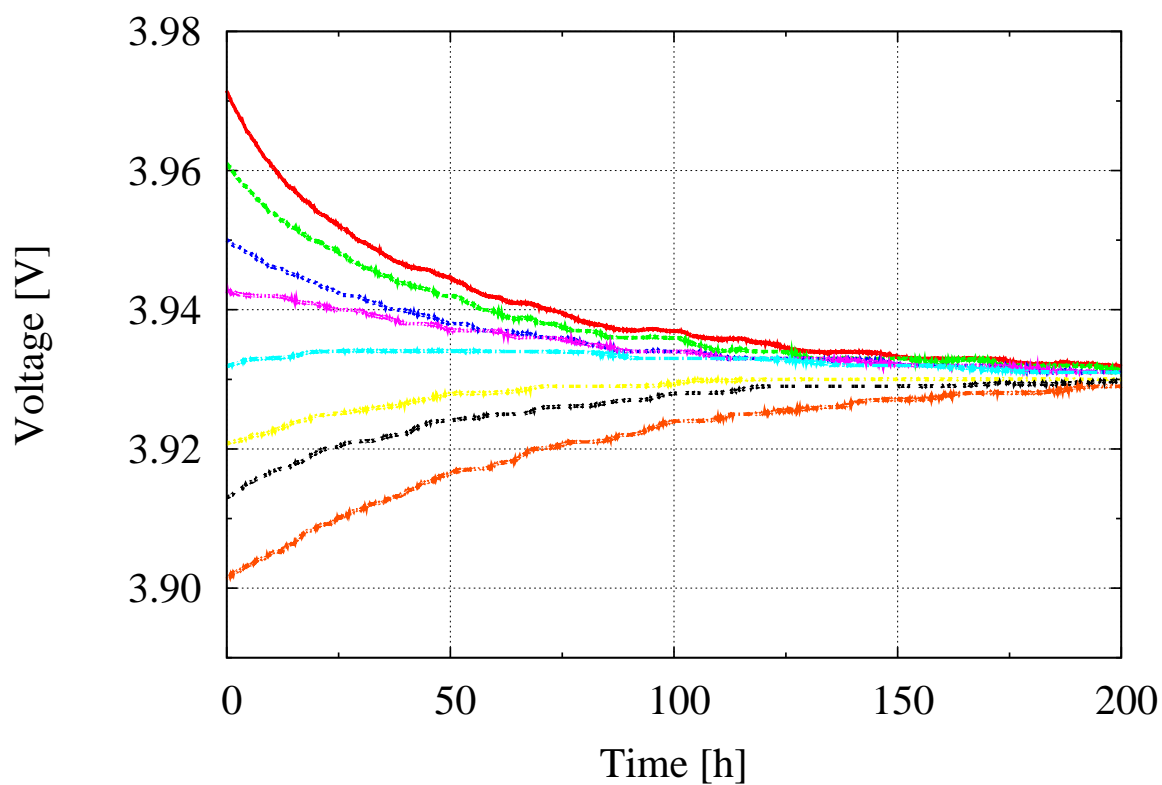
Fig. 2.24. Comparison of the experimental and simulation current waveforms of each cell ( $n = 8$ ).

## 第2章 LC直列回路方式セル電圧均等化回路の提案

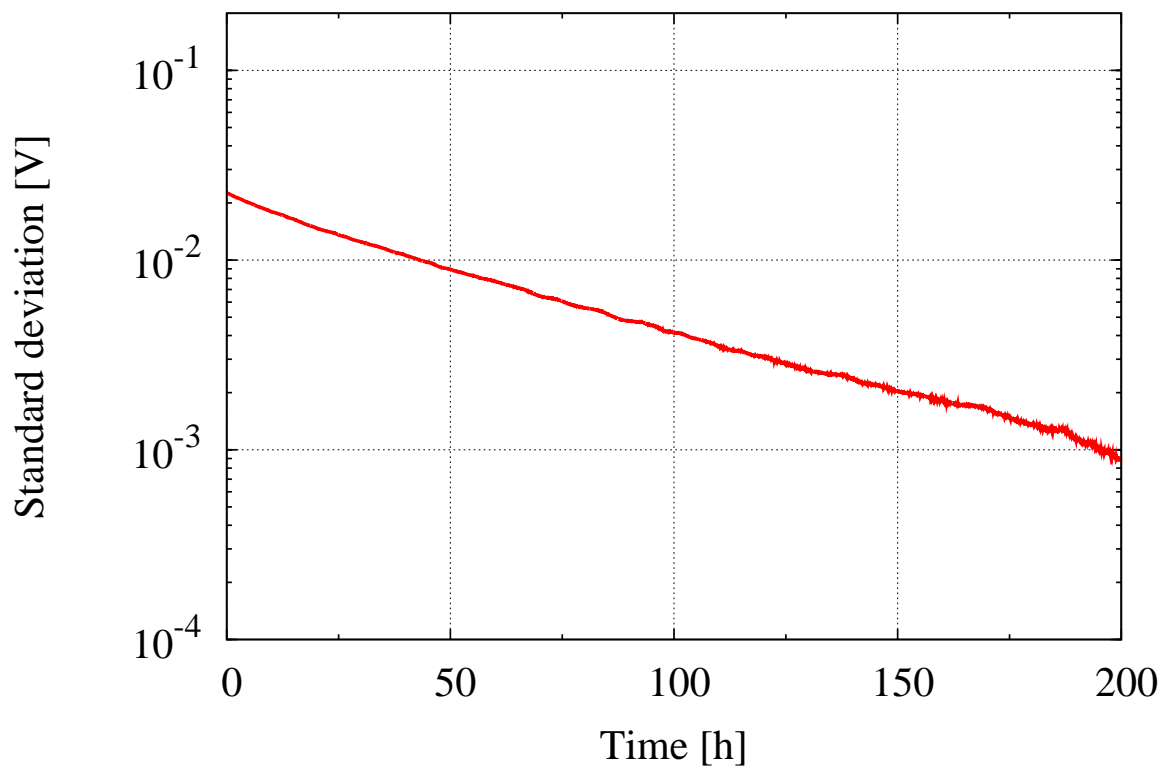
最後に、リチウムイオンバッテリーセルを8つ直列に接続した場合の均等化動作時における各セル電圧、および電圧値の標準偏差の実験結果を Fig. 2.25 に示す。Fig. 2.25 より、EDLC セルを用いた場合と同様に各セル電圧のばらつきは時間とともに解消され、標準偏差は最終的に10mV以下の十分低い値まで低減されたことがわかる。したがって、提案回路はリチウムイオンバッテリーに対しても有用であることが示された。

なお、リチウムイオンバッテリーの実機実験では、EDLCを用いた場合と比較して初期電圧のばらつきを小さく設定した。これは、リチウムイオンバッテリーの特性上、使用可能電圧範囲がEDLCと比較して狭いためである。本実機実験の初期電圧条件は、リチウムイオンバッテリーの実使用電圧範囲内となるような電圧値を選定し、実験を行った。また、Fig. 2.25(a)に着目すると、前述のEDLCを用いた実機実験では見られなかった、各セル電圧の脈動が確認できる。これは、リチウムイオンバッテリーの実機実験がEDLCと比較して長い時間を要したために、昼夜の温度差に起因したバッテリーモジュールや提案回路の微妙なパラメータ変化による影響が現れたものである。しかしながら、Fig. 2.25(b)に示した標準偏差の傾きには大きな変化が認められないことから、温度差による均等化動作への影響は微小であったと考えられる。





(a) Voltage of each cell.



(b) Standard deviation.

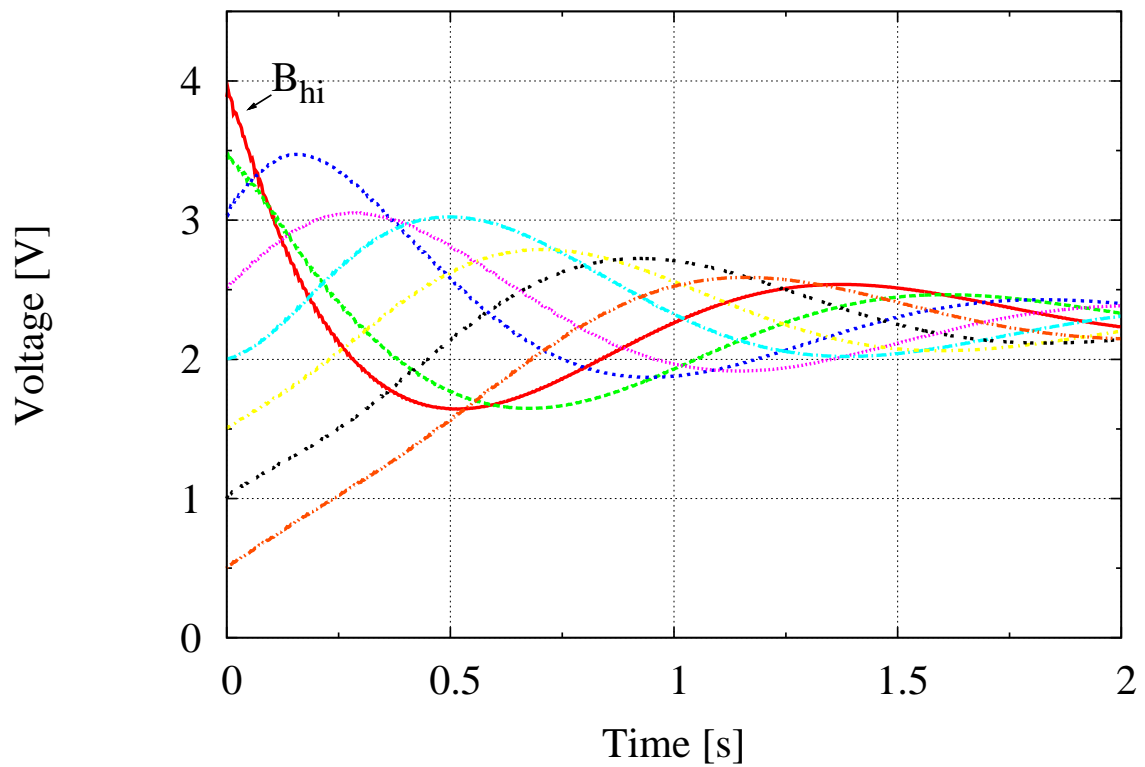
Fig. 2.25. Experimental results of the proposed cell voltage equalizer connected to eight series-connected lithium-ion battery cells.

## 2.5 提案回路の課題

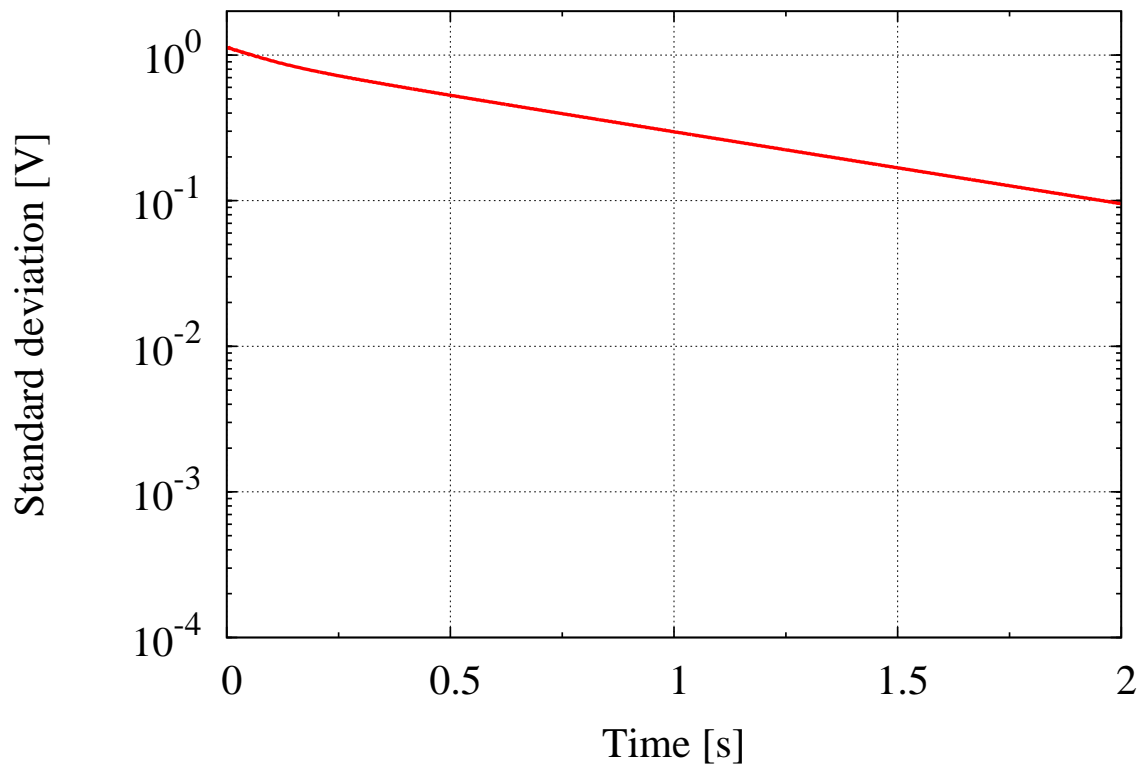
前述のシミュレーションおよび実機実験では、Fig. 2.2 に示した Mode 1- $n$  を順次繰り返すことでセル電圧の均等化を図っていた(以下、この制御法を従来制御法と呼ぶ)。このとき、均等化電流  $i_L$  は各バッテリー電圧  $V_{B1-Bn}$  および各回路パラメータ ( $r, L, C, T_{CC}$  など) により決定される。ここで、各回路パラメータは均等化動作中に変化しないと仮定すれば、均等化電流  $i_L$  は  $V_{B1-Bn}$  の初期値に依存すると考えられる。したがって、 $V_{B1-Bn}$  の初期値によっては均等化電流  $i_L$  は小さくなり、これにより均等化時間が長くなる場合がある。

また、均等化動作の中で、均等化に直接関与しない充放電が生じる場合がある。Fig. 2.26 に、2.3 節における従来制御法を用いた 8 直列セルのシミュレーション結果の時間軸を拡大したものを示す。Fig. 2.26(a) に示す各セル電圧値波形のうち、初期電圧値が最も高いセル  $B_{hi}$  に着目すると、 $B_{hi}$  の電圧値  $V_{B_{hi}}$  は、最終的に収束する電圧値よりも一度低い電圧値をとってから収束するように推移していることがわかる。また、他セルの電圧値も同様な推移をしていることが読み取れる。これは、提案回路の均等化動作の特徴として、各 Mode により選択されたセルの電圧値は直前の Mode で選択されていたセルの電圧値に近づくように動作するため、各 Mode の選択が周期的に繰り返される従来制御法では、全てのセルの電圧値が上下を繰り返しながら収束していくという特性を有するためである。したがって、従来制御法ではこのような均等化に直接関与しない充放電が生じることが、均等化動作の効率低下の一因となると考えられる。

更に、提案回路では各セルの切替のために多数の双方向スイッチを必要することから、回路の構造上、それぞれのゲート駆動回路に絶縁電源が必要となり、ゲート駆動回路が肥大化する可能性がある。“Photo-MOS リレー”のようなスイッチング素子を使うことでこの問題を解決することは可能であるが、“Photo-MOS リレー”はスイッチング速度が 1 kHz 程度と遅いことから、回路パラメータ設計やより高度な制御を行う上での制約となる。



(a) Voltage of each cell.



(b) Standard deviation.

Fig. 2.26. Simulation results with the conventional method.

## 2.6 第2章のまとめ

本章では、第1章にて示した従来回路の課題に対して、アクティブ方式の採用による蓄電エネルギーの有効活用と均等化電流の動的な制御性、ならびに磁性素子の削減による回路規模の低減に着目した新たなセル電圧均等化回路として、LC直列回路方式セル電圧均等化回路を提案した。また、シミュレーションおよび実機実験による動作特性の検証結果から、提案回路はセル電圧均等化回路として有用であることを示した。更に実機実験の結果から、提案回路は従来の抵抗消費型のセル電圧均等化回路と比較して、前述の実験条件下では均等化動作の効率を約73 pt向上可能であることが示された。最後に、提案回路の更なる有用性向上を考える上で、の指針とするため、提案回路が抱える課題について整理した。

## 第3章 擬似乱数列を用いた均等化時間低減法

第3章では、第2章にて示した提案回路の課題の1つである均等化時間に対して、擬似乱数列を利用してセルの切替順をランダムとすることで、センサ等を追加することなく、制御法の変更のみで均等化時間を低減可能な制御法(以下、擬似乱数法と呼ぶ)を提案する。また、擬似乱数法の動作原理について説明するとともに、シミュレーションおよび実機実験により擬似乱数法の有用性を検証する。更に、擬似乱数法による均等化時間の特性変化について、従来制御法との比較や生成される擬似乱数列の精度の観点から考察する。

### 3.1 提案制御手法の概要と目的

第2.5節で述べたように、各回路パラメータが同一である場合、提案回路の均等化時間は接続するバッテリーセルの初期条件と各 Mode の選択順により影響を受ける。このとき、セル数が  $n$  である場合には  $(n-1)!$  通りの切替順が考えられるが、前述の理由により、均等化時間は  $(n-1)!$  通りでそれぞれ異なると考えられる。従来制御法では、 $(n-1)!$  通りの選択順のうちのみ(第1セルから第  $n$  セルを順に選択するパターンのみ)を繰り返しながら均等化動作を行うため、接続するバッテリーセルの初期条件により均等化時間が決定される。

本章では、前述の均等化時間に関する問題点の解決策として、各 Mode の選択順を擬似乱数列を用いてランダムに選択する手法(擬似乱数法)を提案する。擬似乱数法では  $(n-1)!$  通り存在する切替順がランダムに選択されるため、擬似乱数法を適用した場合の均等化時間は、ランダム性が十分に確保されている場合においては、 $(n-1)!$  通りそれぞれの均等化時間の平均値に収束する [51]。これにより、接続するバッテリーセルの初期条件の影響を軽減することが可能となり、平均的な均等化時間の低減が期待できる。なお、本章では擬似乱数法の擬似乱数列の生成方法として、生成の簡易性などを考慮し線形合同法を採用した。

## 3.2 動作原理

Fig. 3.1 に疑似乱数法のフローチャートを示す。疑似乱数法では、線形合同法により 10 bit の疑似乱数列  $X(x_9x_8x_7x_6x_5x_4x_3x_2x_1x_0)$  を生成し、その上位 3 bit を  $N(x_9x_8x_7)$  として Mode の選択 (ON にするスイッチング素子  $S_N$  の選択) に用いる。これは、線形合同法の特徴として、下位 bit よりも上位 bit の方がよりランダム性が高いためである。ここで、 $X_0$  は乱数の種であり、システム時刻により生成する 10 bit の自然数である。また、 $M$  は乱数の周期であり、本章では後述のシミュレーション、および実機実験におけるバッテリーセル数  $n = 8$  と比較して十分大きい 1024 (= 10 bit) に設定した。 $A, B$  はそれぞれ  $M > A > 0, M > B \geq 0$  を満たす任意の定数であり (ただし、 $X, i, n, M, A, B, N \in \mathbb{N}$ )、本章では  $A = 53, B = 23$  とした。以上のように設定することで、生成される疑似乱数列は周期  $M$  で値を繰り返すが、 $M \gg n$  であるため、各 Mode の選択はランダムであるとみなせ、 $M$  よりも十分に長い均等化時間中では各 Mode が選択される確率は一様となる。しかしながら、この手法では、最初に設定される  $X_0$  により  $M$  内での各 Mode が選択される順序が一意に決まってしまう。そのため、本章では  $M$  毎に新たな  $X_0$  を再度設定し、また、 $X_0$  をシステム時刻より生成することで更にランダム性を向上させている。

疑似乱数法を適用することにより、従来制御法で周期的に選択されていた各 Mode がランダム性を持って選択される。各 Mode をランダムに選択することで、各セル電圧が最終的に収束する電圧値よりも一度低い電圧値をとってから収束するような推移を抑制し、均等化に直接関与しない不必要な充放電を低減する。これにより、疑似乱数法は従来制御法と比較して均等化時間を低減することが可能となる。

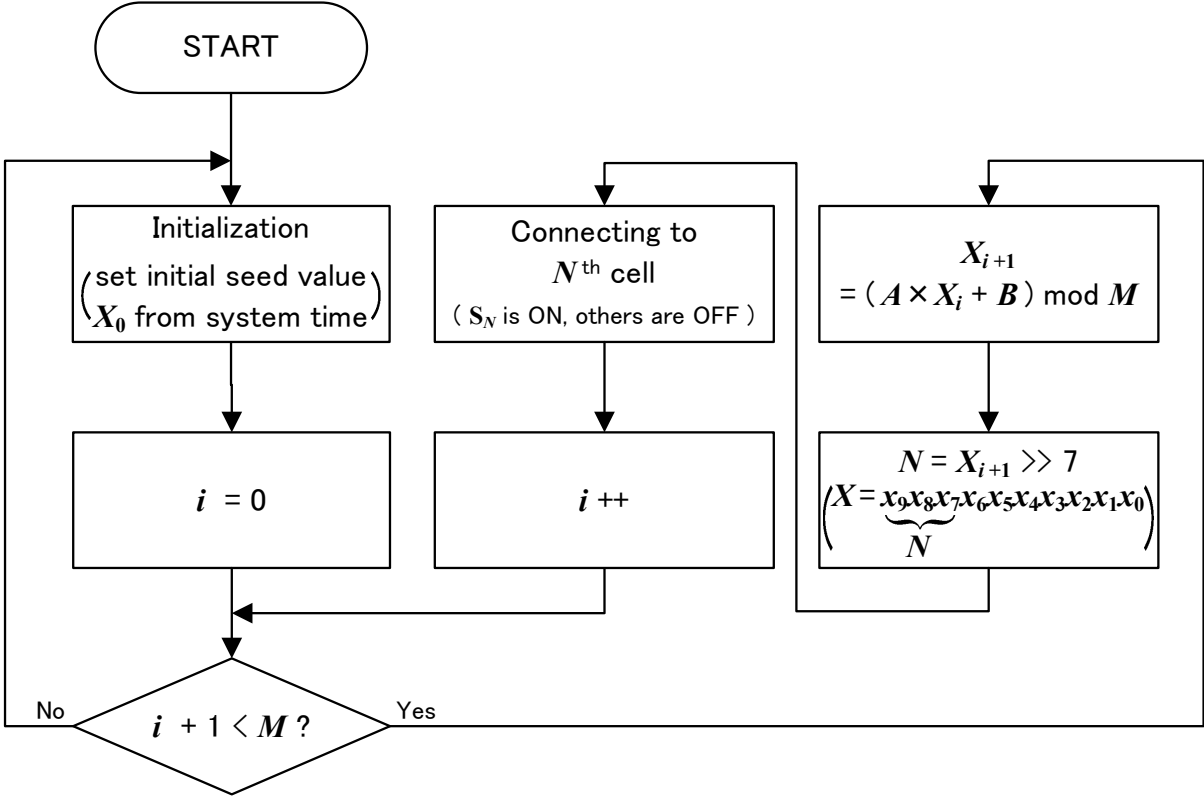


Fig. 3.1. Flowchart of the proposed equalization time reduction method using pseudo-random numbers.

### 3.3 シミュレーションによる有用性の検証

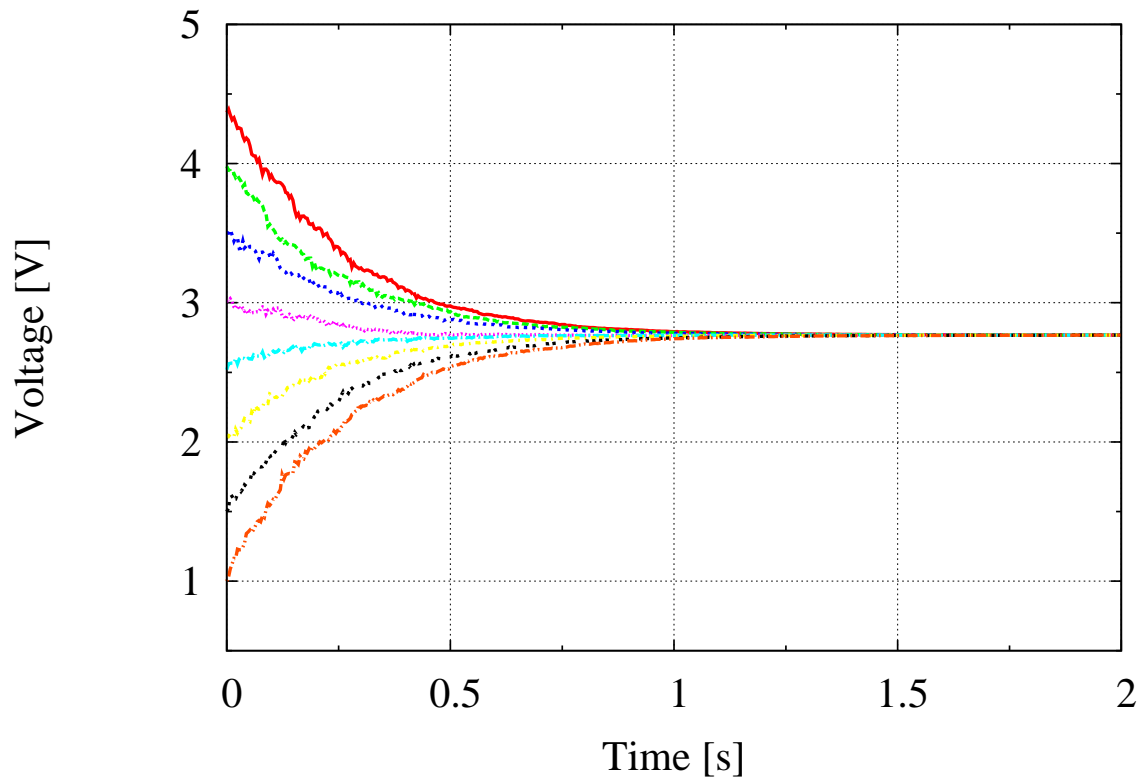
提案回路について、擬似乱数法の有用性について検討するため、EDLCセルの模擬としてキャパシタンス、およびESRを考慮したセルを8つ直列に接続した場合について、セル電圧均等化動作のシミュレーションを行った。本シミュレーションにおける回路パラメータをTable 3.1に示す。また、本章では結果の一様性について検討するため、同様のシミュレーションを20回試行した。

Fig. 3.2に、ある均等化動作1試行(各セルの初期電圧がそれぞれ $V_{B1} = 4.50$ ,  $V_{B2} = 4.00$ ,  $V_{B3} = 3.50$ ,  $V_{B4} = 3.00$ ,  $V_{B5} = 2.50$ ,  $V_{B6} = 2.00$ ,  $V_{B7} = 1.50$ ,  $V_{B8} = 1.00$ のとき)における各セル電圧、および各セル電圧の標準偏差のシミュレーション結果を示す。Fig. 3.2(a)より、各セル電圧のばらつきは時間とともに解消されていることがわかる。また、Fig. 3.2(b)は各セル電圧の標準偏差を示しているが、一般的にEDLC等のセル電圧均等化動作では各セル電圧の標準偏差を10 mV以下とすることが求められており[4]、シミュレーション結果は標準偏差が十分低い値まで低減されたことを示している。したがって、擬似乱数法においても、提案回路はセル電圧均等化動作が可能であることが示された。

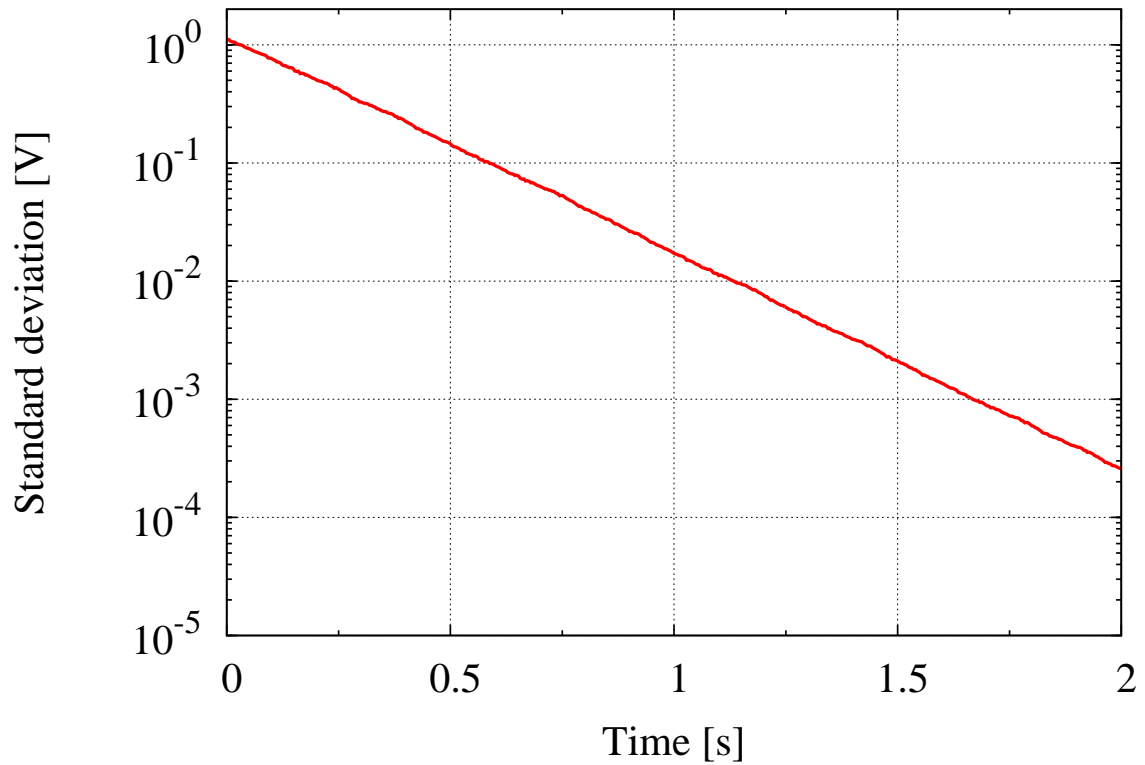
Table 3.1. Circuit parameters in the simulation for the proposed reduction method using pseudo-random numbers.

Number of cells $n$	8
Battery cell capacity	50 mF
ESR of each battery cell	100 m $\Omega$
Initial voltage of $V_{B1-B8}$	1.00–4.50 V (0.50 V step)
ESR of inductor and capacitor $r$	100 m $\Omega$
Inductance $L$	50 $\mu$ H
Capacitance $C$	470 $\mu$ F
Control frequency $f_{\text{cnt}}$	50 kHz
Cell change cycle $T_{\text{CC}}$	0.24 ms
Current limit value $i_{\text{ref}}$	5.0 A
Constant value $A, B$	53, 23
Period of pseudo-random number $M$	10 bit





(a) Voltage of each cell.



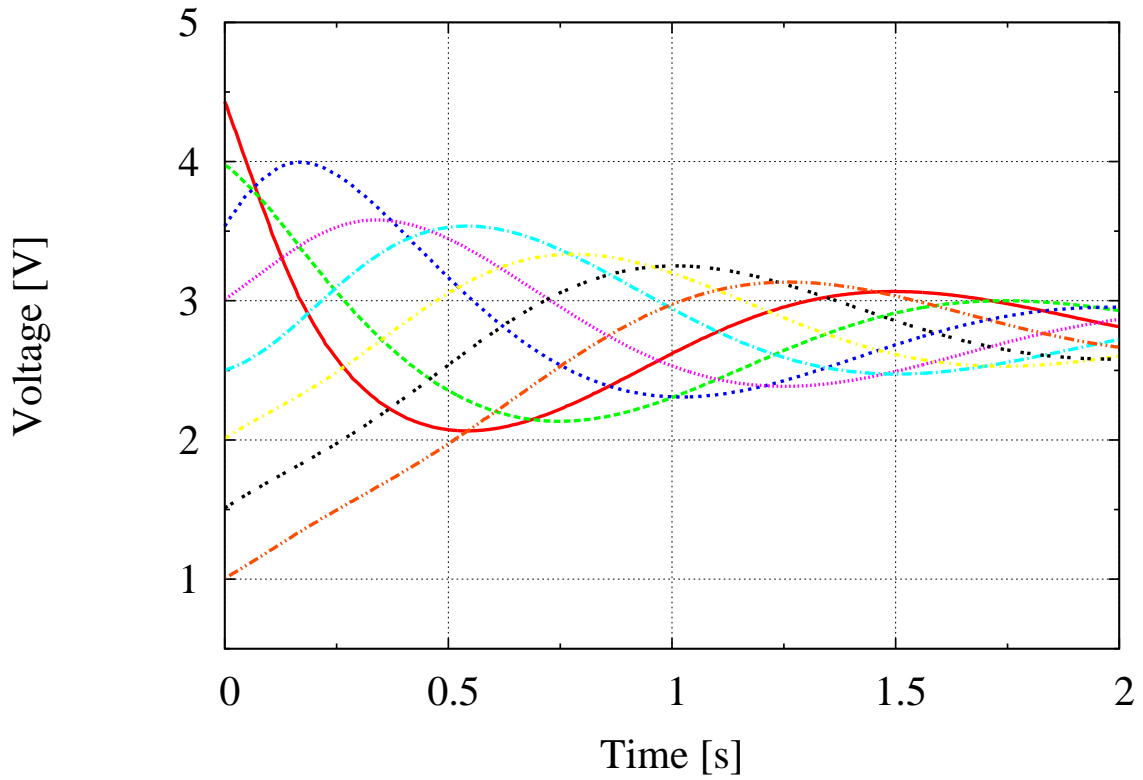
(b) Standard deviation.

Fig. 3.2. Simulation results with the proposed reduction method using pseudo-random numbers.

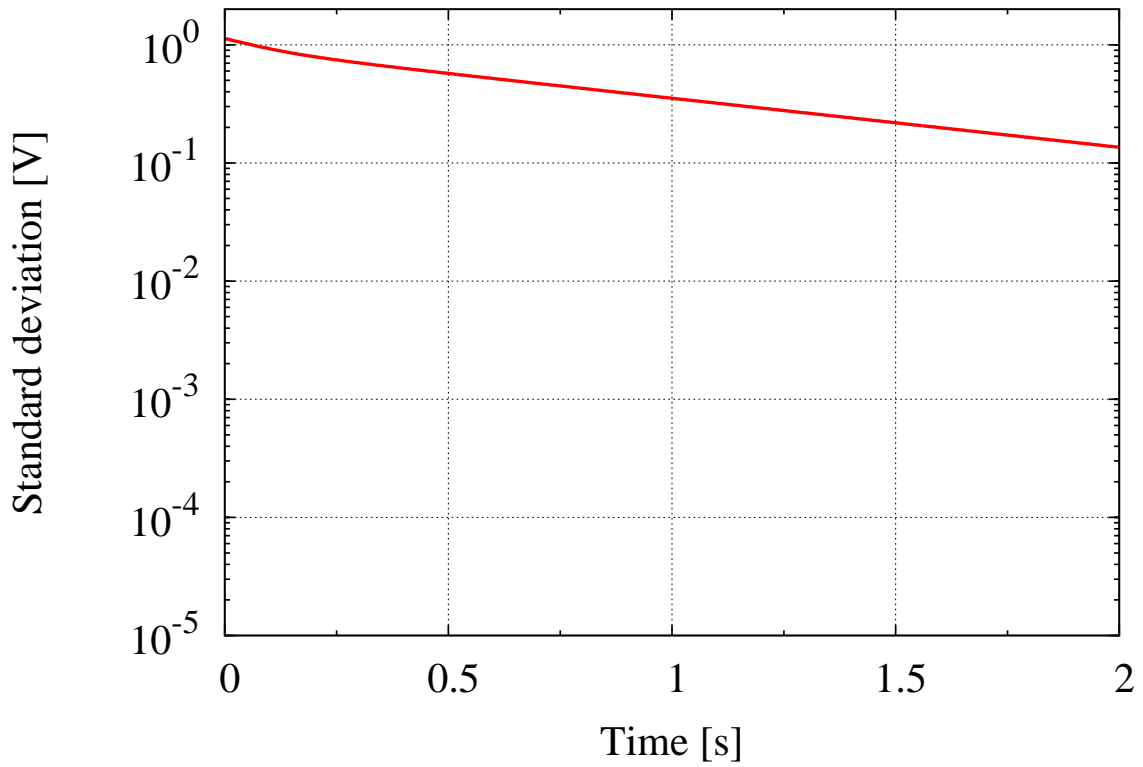
### 3.3.1 従来制御法と疑似乱数法の比較

ここで、Fig. 3.3 に従来制御法によるシミュレーション結果を示す。回路パラメータは前述の Table 3.1 と同様とした。Fig. 3.2(a) と Fig. 3.3 を比較すると、疑似乱数法を用いることで、均等化に直接関与しない充放電が抑制されていることがわかる。また、各セル電圧の標準偏差の傾きについても、疑似乱数法によるシミュレーション結果 (Fig. 3.2(b)) の方が従来制御法によるシミュレーション結果 (Fig. 3.3(b)) と比較して傾きが急峻になっていることが確認できる。

Fig. 3.4 に疑似乱数法と従来制御法について、それぞれ20回の試行における、各セル電圧の標準偏差が10 mVとなる時間(均等化時間)のシミュレーション結果を示す。回路パラメータは、従来制御法と疑似乱数法とで同条件とし、初期電圧のばらつきはどちらも線形合同法により生成した擬似乱数列を用いて、1.00, 1.50, 2.00, 2.50, 3.00, 3.50, 4.00, 4.50 V をランダムに設定した。Fig. 3.4 より、疑似乱数法と従来制御法のどちらにおいても、乱数を用いたことで各試行において均等化時間にばらつきが生じていることがわかる。しかしながら、疑似乱数法20回の平均均等化時間は約1.11 s となっており、従来制御法20回での約3.96 s の28.1%程度となっている。したがって、疑似乱数法を用いることにより平均的な均等化時間を低減可能であることが明らかとなった。



(a) Voltage of each cell.



(b) Standard deviation.

Fig. 3.3. Simulation results with conventional method (represented below as Fig. 2.26).

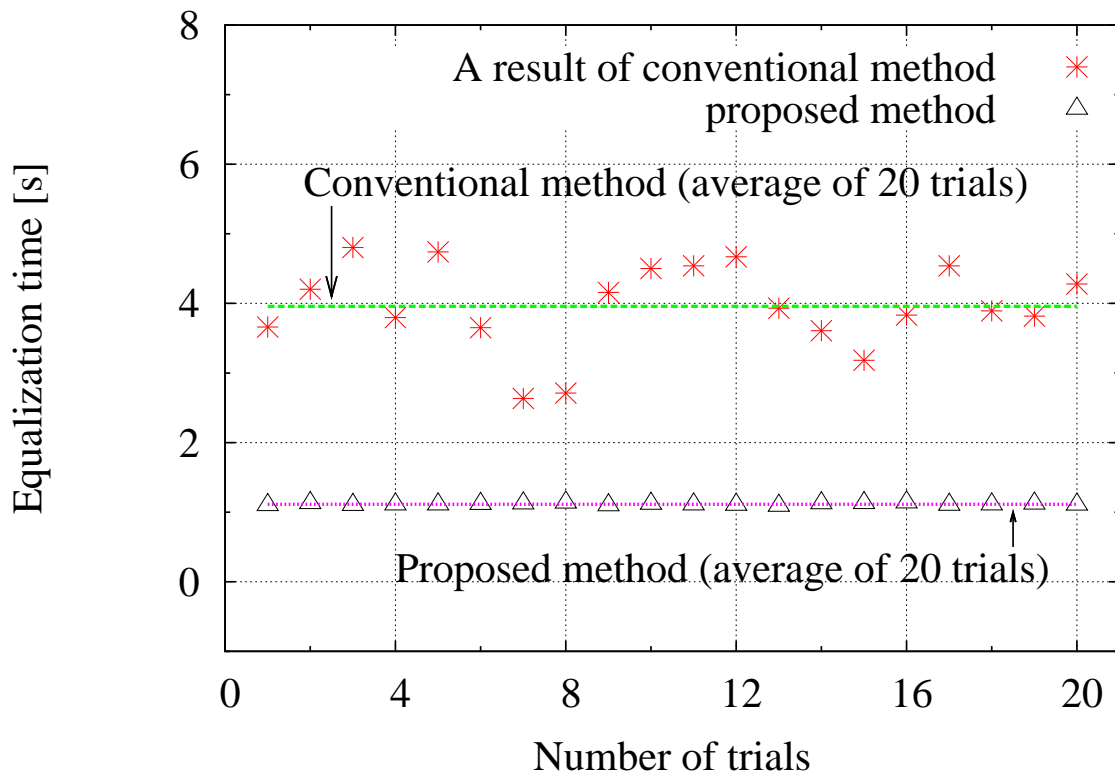


Fig. 3.4. Equalization time comparison between the proposed reduction method and the conventional method in the simulation.

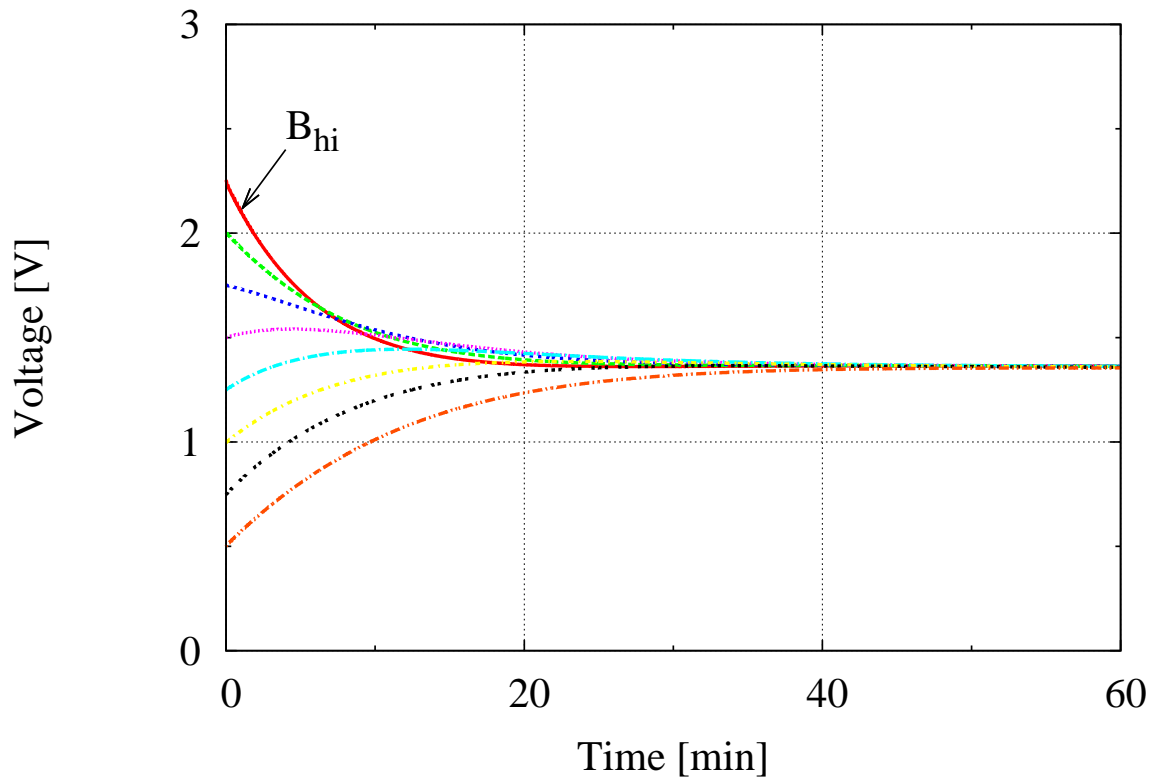
### 3.4 実機実験による有用性の検証

提案回路について、疑似乱数法の有用性について検討するため、60 FのEDLCモジュールを8つ直列に接続した場合について、セル電圧均等化動作の実機実験を行った。本実験で用いた回路パラメータをTable 3.2に示す。また、本節では結果の一様性について検討するため、同様の実験を10回試行した。

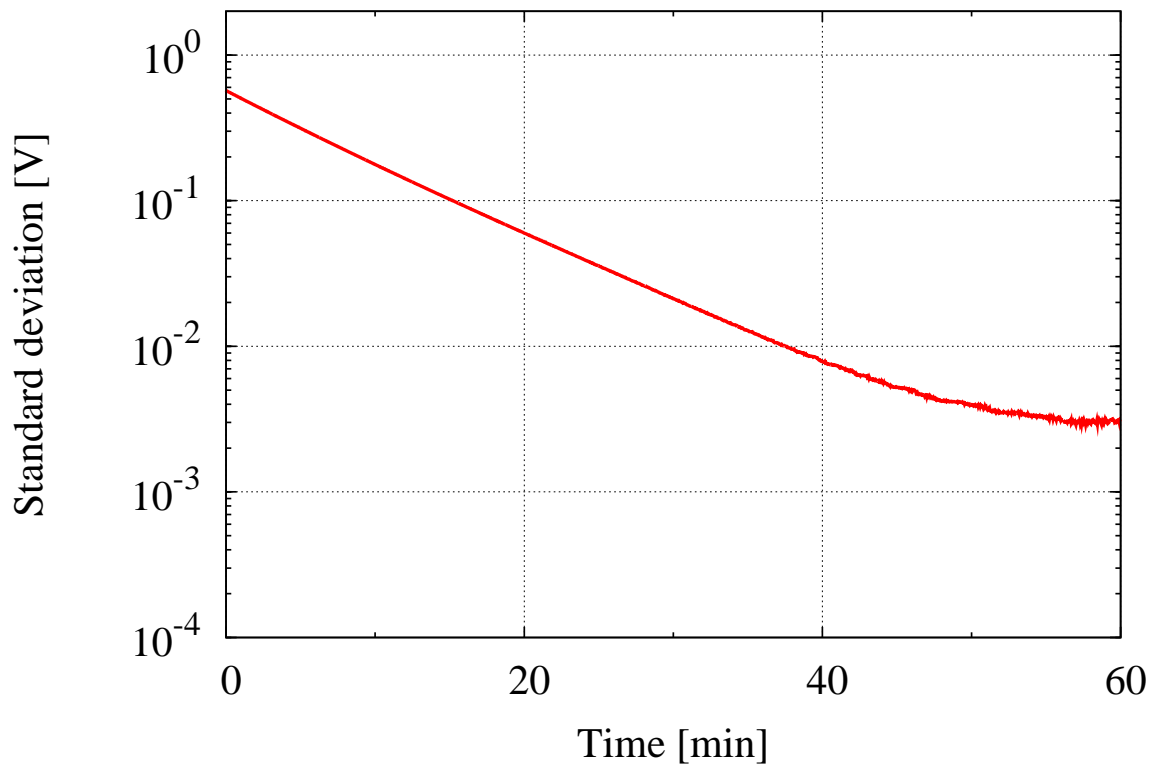
まず、従来制御法による実験結果をFig. 3.5に示す。回路パラメータはTable 3.2を用いた。ここで、Fig. 3.5(a)に示す各セル電圧値波形の内、初期電圧値が最も高いセル $B_{hi}$ に着目すると、従来制御法によるシミュレーション結果(Fig. 2.26)と同様に、 $B_{hi}$ の電圧値 $V_{B_{hi}}$ は、最終的に収束する電圧値よりも一度低い電圧値をとってから収束するように推移していることがわかる。

Table 3.2. Circuit parameters in the experiment for the proposed reduction method using pseudo-random numbers.

Number of cells $n$	8
Battery module type	EDLC
Battery cell capacity	60 F
ESR of each battery cell	32 m $\Omega$
Initial voltage of $V_{B1-B8}$	0.50–2.25 V (0.25 V step)
ESR of inductor and capacitor $r$	349 m $\Omega$
Inductance $L$	199 $\mu$ H
Capacitance $C$	4734 $\mu$ F
Control frequency $f_{cnt}$	50 kHz
Cell change cycle $T_{CC}$	1.60 ms
Current limit value $i_{ref}$	2.0 A
Constant value $A, B$	53, 23
Period of pseudo-random number $M$	10 bit



(a) Voltage of each cell.

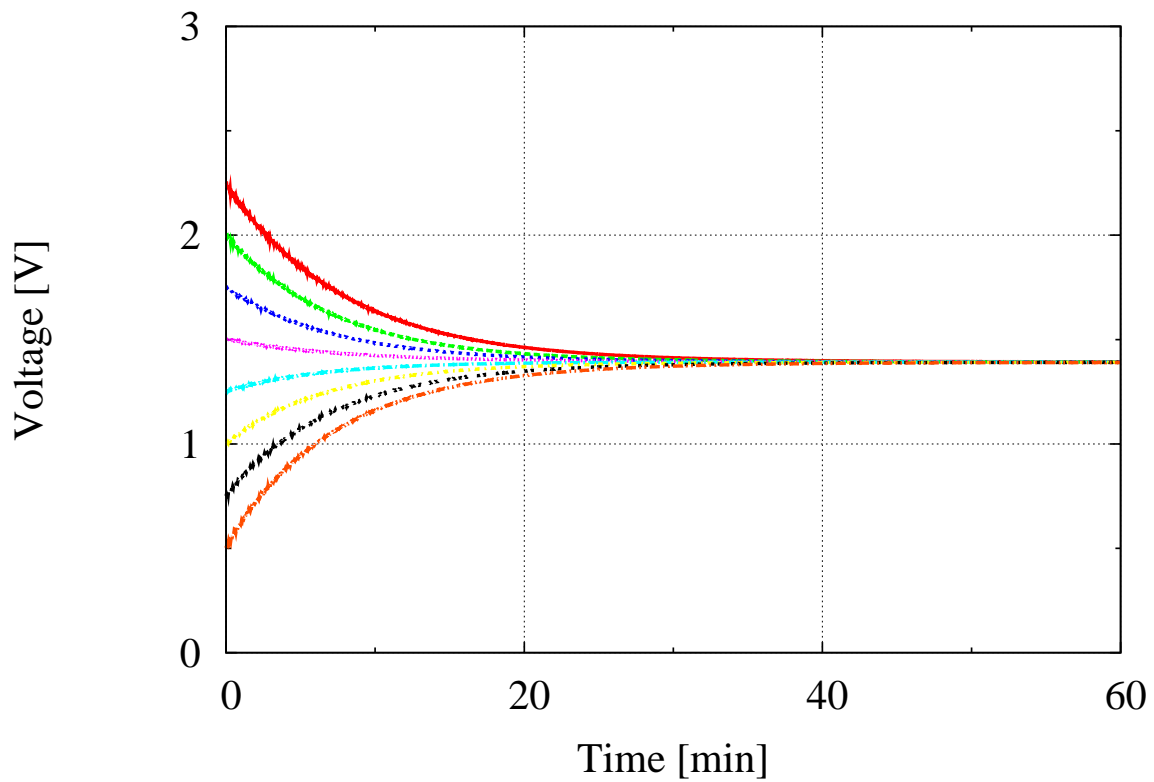


(b) Standard deviation.

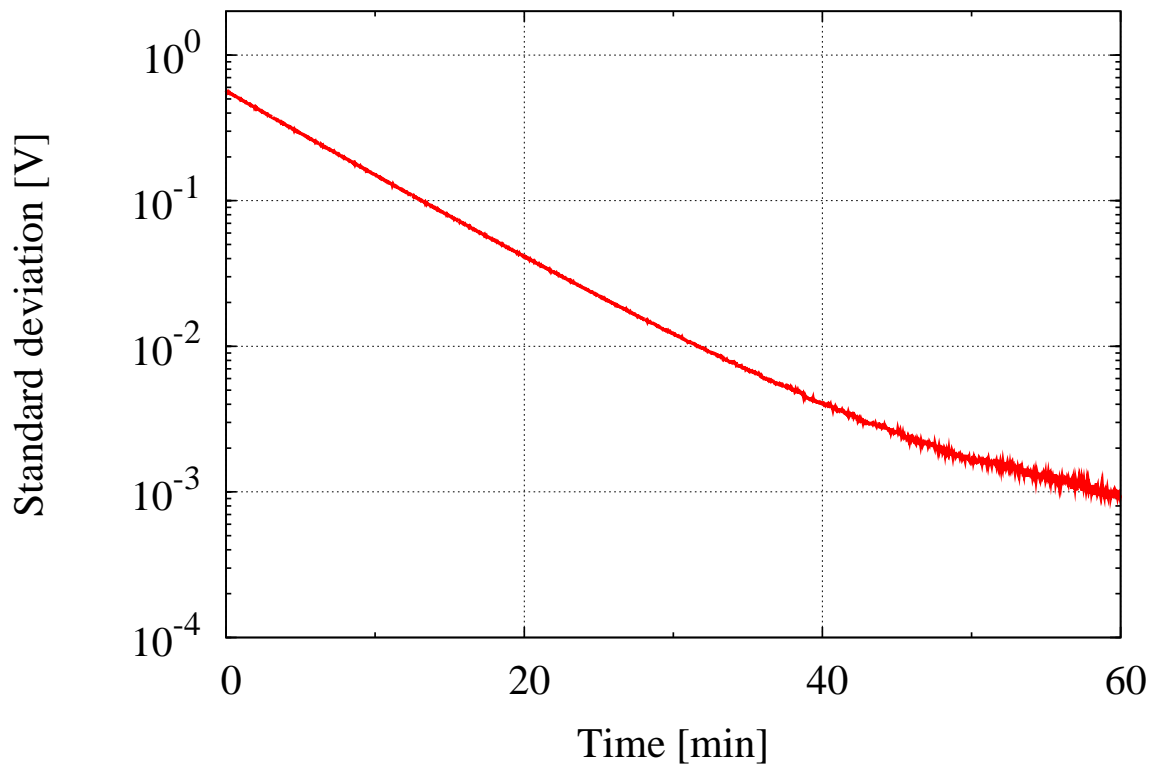
Fig. 3.5. Experimental results with the conventional method.

### 3.4 実機実験による有用性の検証

次に、疑似乱数法による、ある均等化動作 1 試行 (各セルの初期電圧がそれぞれ  $V_{B1} = 2.25$ ,  $V_{B2} = 2.00$ ,  $V_{B3} = 1.75$ ,  $V_{B4} = 1.50$ ,  $V_{B5} = 1.25$ ,  $V_{B6} = 1.00$ ,  $V_{B7} = 0.75$ ,  $V_{B8} = 0.50$  のとき) における各セル電圧, および各セル電圧の標準偏差の実験結果を Fig. 3.6 に示す。Fig. 3.6(a) より, 各セル電圧のばらつきは時間とともに解消されていることがわかる。また, Fig. 3.6(b) は各セル電圧の標準偏差を示しているが, 最終的に 10 mV 以下まで低減されており, 実験結果は標準偏差が十分低い値まで低減されたことを示している。したがって, 実機実験においても, 疑似乱数法はセル電圧均等化動作が可能であることが示された。



(a) Voltage of each cell.



(b) Standard deviation.

Fig. 3.6. Experimental results with the proposed reduction method using pseudo-random numbers.



### 3.4.1 従来制御法と疑似乱数法の比較

疑似乱数法の各セル電圧の実験波形 (Fig. 3.6(a)) と従来制御法による各セル電圧の実験波形 (Fig. 3.5(a)) を比較すると、前述のシミュレーション結果と同様に、均等化に直接関与しない充電が抑制されていることがわかる。また、各セル電圧の標準偏差の傾きについても、疑似乱数法による実験結果 (Fig. 3.6(b)) の方が従来制御法による実験結果 (Fig. 3.5(b)) と比較して傾きが急峻になっていることが確認できる。

Fig. 3.7 に疑似乱数法と従来制御法について、それぞれ 10 回の試行における、各セル電圧の標準偏差が 10 mV となる時間 (均等化時間) の実験結果を示す。回路パラメータは、従来制御法と疑似乱数法とで同条件とし、初期電圧のばらつきはどちらも線形合同法により生成した疑似乱数列を用いて、0.50, 0.75, 1.00, 1.25, 1.50, 1.75, 2.00, 2.25 V をランダムに設定した。Fig. 3.7 より、疑似乱数法と従来制御法のどちらにおいても、乱数を用いたことで各試行において均等化時間にばらつきが生じていることがわかる。しかしながら、平均均等化時間は約 31.48 min となっており、従来制御法 10 回での約 32.11 min の 98.0 % 程度となっている。したがって、パラメータによる差異はあるものの、実機実験においても疑似乱数法を用いることにより平均的な均等化時間を低減可能であることが示された。

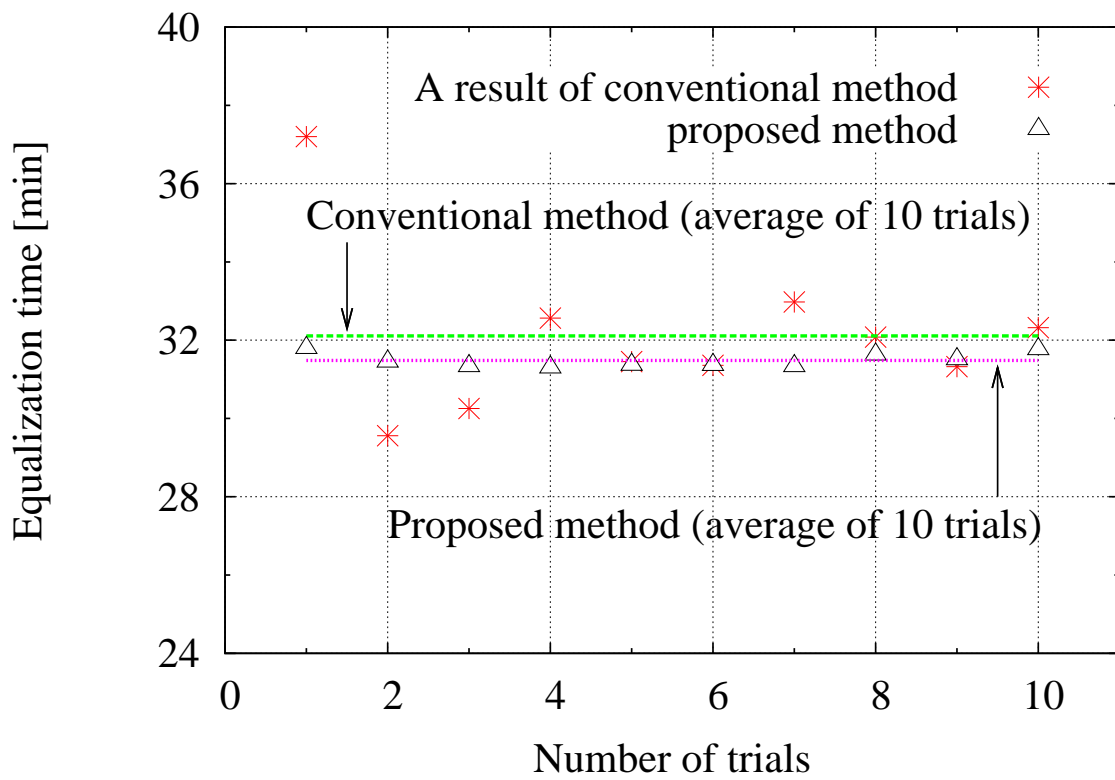


Fig. 3.7. Equalization time comparison between the proposed reduction method and the conventional method in the experiment.

### 3.5 平均均等化時間についての考察

Fig. 3.4 と Fig. 3.7 を比較すると、シミュレーションにおいて疑似乱数法を適用した場合の平均均等化時間低減率が約 28.1 % であったのに対して、実機実験において疑似乱数法を適用した場合の平均均等化時間低減率は約 98.0 % となっており、シミュレーション結果と実機実験の結果に大きな乖離がある。ここで、シミュレーションと実機実験それぞれにおける、従来制御法を適用した場合の結果を比較する。従来制御法を適用した実験結果 (Fig. 3.5(b)) に対して、従来制御法を適用したシミュレーション結果 (Fig. 2.26(b)) では、収束するまでに生じる均等化に直接関与しない充放電の回数が多いことがわかる。これは、シミュレーションと実機実験の回路パラメータの違いに起因すると考えられる。疑似乱数法では、均等化に直接関与しない不必要な充放電を抑えることで均等化時間を低減する。そのため、疑似乱数法は従来制御法を用いた際に均等化に直接関与しない不必要な充放電が多く生じている回路パラメータ条件の場合に、平均均等化時間低減率がより小さくなるという特徴を有する。Fig. 3.7 に示した実機実験における均等化時間の比較結果では、従来制御法を適用した場合においても均等化に直接関与しない不必要な充放電が少ない。そのため、Fig. 3.4 に示したシミュレーションにおける均等化時間の比較結果よりも平均均等化時間低減率が大きくなったと考えられる。

### 3.6 均等化時間のばらつきについての考察

Fig. 3.4 と Fig. 3.7 の均等化時間のばらつきに着目する。これらの試行においては初期電圧をランダムに設定したために、各試行の均等化時間には多少のばらつきが生じている。しかしながら、シミュレーションと実機実験のいずれの結果においても、疑似乱数法を適用した場合は従来制御法を適用した場合と比較して、均等化時間のばらつきが小さくなっていることが確認できる。ここで、シミュレーション 20 回、実機実験 10 回の試行におけるそれぞれの均等化時間の標準偏差を考えると、シミュレーション (Fig. 3.4) においては、従来制御法が 604 ms であったのに対して、疑似乱数法では 12.8 ms となっており、均等化時間のばらつきは約 2.13 % に低減されている。また、実機実験 (Fig. 3.7) においても、従来制御法が 1.96 min であったのに対して、疑似乱数法では 0.18 min となっており、均等化時間のばらつきは約 9.18 % に低減されている。これは、疑似乱数法が各 Mode の選択をランダムに行っていることで、各セル電圧の初期条件に依存することなく均等化時間を低減可能であることを示している。

### 3.7 乱数周期 $M$ が均等化時間に与える影響

本章中では、乱数周期  $M$  を 10 bit (= 1024) としてシミュレーション、および実機実験を行った。しかしながら、疑似乱数法が期待通りの効果を発揮するためには、生成される擬似乱数列がセル数  $n$  に対して十分なランダム性を有する必要がある。ここで、線形合同法では一般に  $M$  の設定値により生成される擬似乱数列のランダム性が変化することから [52]、 $M$  の設定値が均等化時間に影響を与える可能性がある。そこで、乱数周期  $M$  と均等化時間の関係について、シミュレーションにより検証を行った。

Fig. 3.8 に、 $M$  を 3–15 bit で変化させた際の、それぞれ 10 回の均等化動作の試行における平均均等化時間のシミュレーション結果を示す。回路パラメータは第 3.3 節のシミュレーション同様、Table 3.1 を用いた。Fig. 3.8 より、 $M$  を比較的小さい値に設定した場合には、平均均等化時間が長くなることが確認できる。また、10 bit (= 1024) よりも  $M$  が大きい領域では、 $M$  が均等化時間に与える影響は小さいことも確認された。この理由は、前述のように線形合同法により生成される擬似乱数列は  $M$  により周期性を有するために、 $M$  が  $n$  に対して十分に大きくない場合にはランダム性が保証されないためであると考えられる。一般に、線形合同法により擬似乱数列を生成する場合には  $M$  をコントローラの CPU が扱える最大数に設定する傾向がある [53,54]。しかしながら、そのような使用ではコントローラの計算時間が増加することにより他の制御に遅延が発生する可能性があるため、実機への適用に際しては、実際に使用するコントローラの性能を加味する必要があると考えられる。本章の実機実験においては、生成される擬似乱数列が十分にランダム性を有し、かつ実機実験で使用したコントローラの性能を考慮して  $M = 10$  bit に設定した。

また、Table 3.1 に示した回路パラメータを用いて、セル数  $n$  のみ 16 に変化させた場合についても同様に検討した。シミュレーション結果を Fig. 3.9 に示す。Fig. 3.9 より、セル数が増加したことで  $M = 4$  bit とした際の平均均等化時間が大きく増加していることがわかる。一方で、 $M$  が 10 bit 以上の領域では、8 セルの場合と同様に平均均等化時間に大きな変化は認められなかった。したがって、16 セルのシミュレーション結果からも、 $M$  の設計にあたっては生成される擬似乱数列がセル数  $n$  に対して十分なランダム性を有するように考慮する必要があることが明らかとなった。ここで、 $M$  の設定値の指標として、Fig. 3.8, 3.9 からは  $M > n + 6$  [bit] 程度とすればよいと考えられる。

なお、本論文では計算の容易さから擬似乱数列の生成に線形合同法を利用しているが、コントローラの性能に余裕がある場合には、Mersenne Twister 法 [55] などのより高度な擬似乱数列生成手法を利用することも有益であると考えられる。

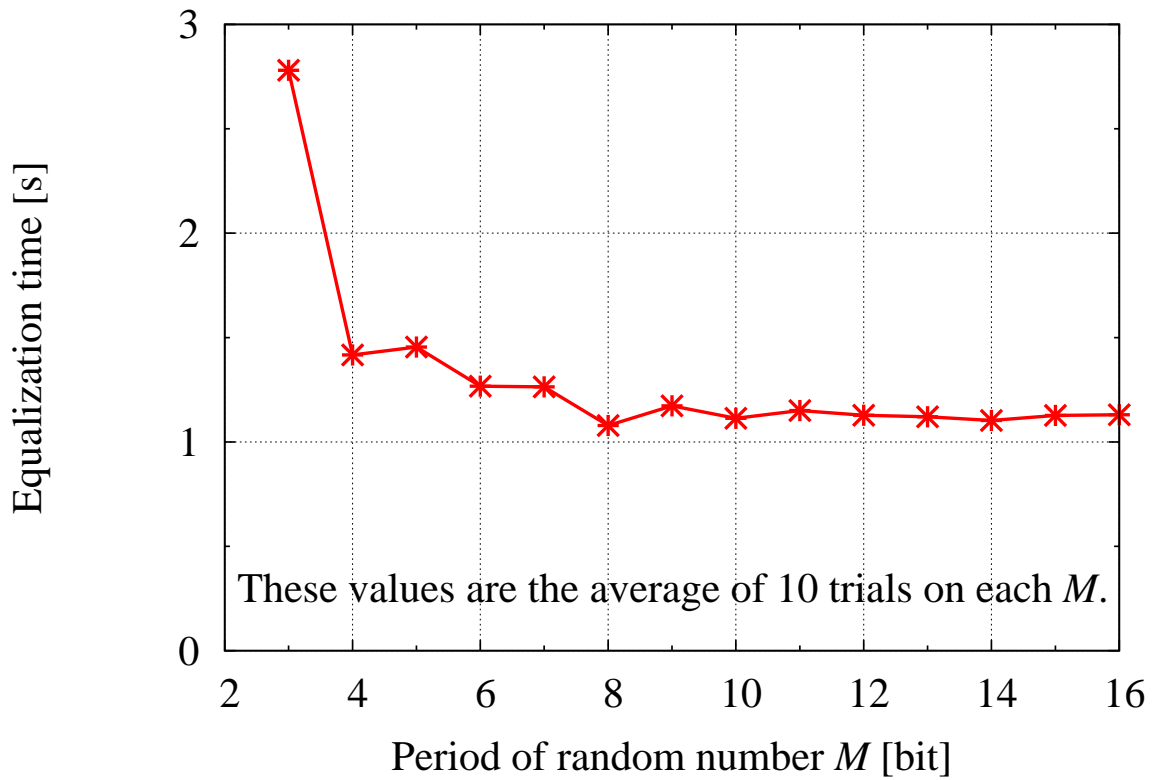


Fig. 3.8. Characteristics of the equalization time to the period of random number  $M$  under eight cells condition.

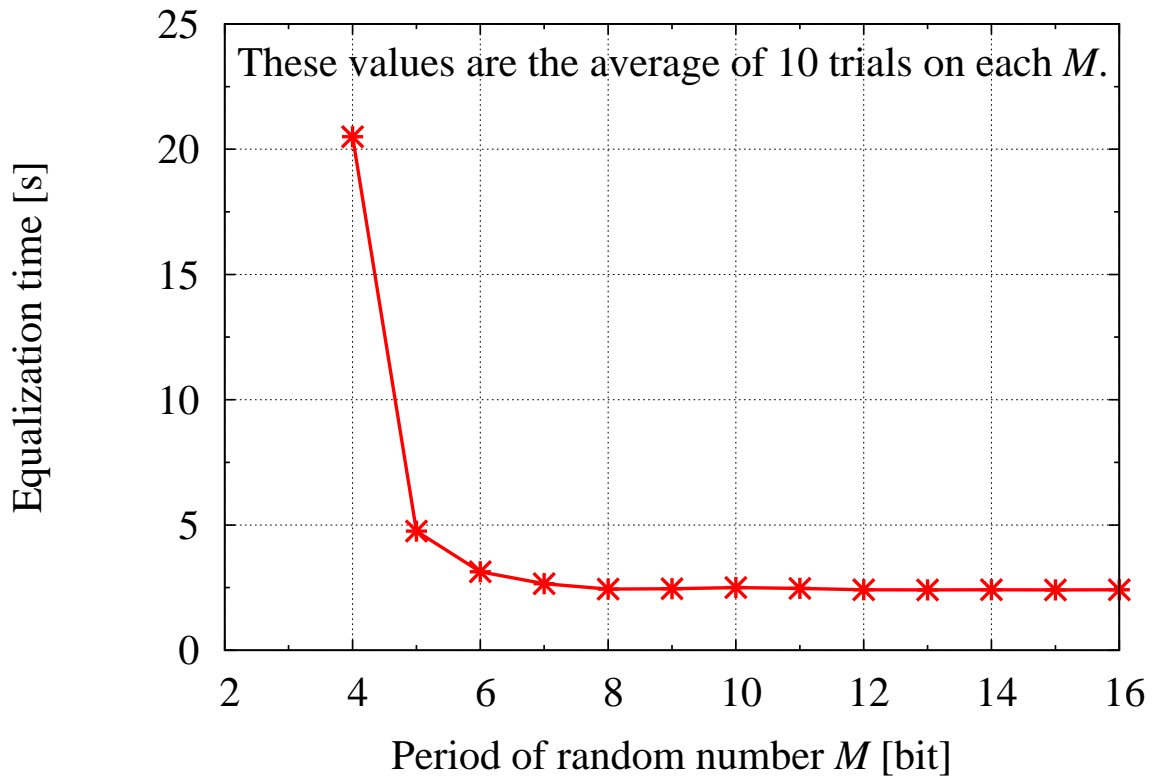


Fig. 3.9. Characteristics of the equalization time to the period of random number  $M$  under sixteen cells condition.

### 3.8 第3章のまとめ

本章では、第2章にて示した提案回路の課題の1つである均等化時間に対して、線形合同法により生成した疑似乱数列を用いてセルの切替順をランダムとすることで、センサ等を追加することなく、制御法の変更のみで均等化時間を低減可能な制御法を提案した。また、シミュレーションおよび実機実験により提案低減法の動作特性の検証と有用性の検討を行った。それぞれの結果から、疑似乱数法は従来制御法と比較して、Table 3.1の条件におけるシミュレーションでは、均等化時間を約28.1%程度に低減可能であることを確認した。また、Table 3.2の条件における実機実験では、均等化時間を98.0%程度に低減可能であることを確認した。更に、疑似乱数法は各セル電圧のばらつき状況に依存せずに、平均的な均等化時間を低減可能であることを示した。

## 第4章 蓄電セル電圧の大小関係推定を利用した均等化時間低減法

第4章では、第2章にて示した提案回路の課題の1つである均等化時間に対して、均等化動作時に流れる電流から各セル電圧の大小関係を推定し、バッテリーモジュール内で電圧が最も高いセルと最も低いセルとの間で選択的に均等化動作を行うことで、センサ等を追加することなく、制御法の変更のみで均等化時間を低減可能な制御法(以下、大小関係推定法と呼ぶ)を提案する。また、大小関係推定法の動作原理について説明するとともに、選択された2つのセル間の電圧差を動的に検出する方法について示す。加えて、シミュレーションおよび実機実験により大小関係推定法の有用性を検証する。

### 4.1 提案制御手法の概要と目的

第2.5節で述べたように、他のパラメータが同一である場合、提案回路の均等化時間は接続するバッテリーセルの初期条件と各Modeの選択順により影響を受ける。前章では、各Modeの選択順をランダムとし、バッテリーセルの初期条件による均等化時間への影響を小さくすることで、平均的な均等化時間を低減する手法について検討した。しかしながら、前述の手法ではFig. 3.4やFig. 3.7に示したように、バッテリーセルの初期条件によって均等化時間の低減効果に差が認められた。そこで本章では、前章の均等化時間低減法とは異なるアプローチにより均等化時間を低減する手法について検討する。

Fig. 4.1に本章で提案する、電流センサを用いて推定したセル電圧の大小関係を利用して均等化時間を低減する制御法(大小関係推定法)のフローチャートを示す。大小関係推定法では、従来制御法において均等化電流 $i_L$ の制限用に用いていた電流センサを利用し、各セルを切り替えた直後の均等化電流 $i_L$ の極性(流れる向き)を判別することで、各セル電圧の大小関係を推定する。そして得られた大小関係を利用し、バッテリーモジュール内の電圧が最も高いセルと最も低いセルとの間で選択的に均等化動作を行うことにより均等化時間を低減する。そのため、大小関係推定法では均等化動作中に実際の各セル電圧のばらつき状況をふまえてセルを選択することが可能であり、提案回路や各バッテリーセルのパラメータなどによる均等化時間への影響をよ

#### 第4章 蓄電セル電圧の大小関係推定を利用した均等化時間低減法

り小さくすることが期待される。また，大小関係推定法は新たに能動素子や受動素子，および電圧センサ等を追加する必要がなく，均等化回路としてのサイズやコストは従来制御法と同等である。したがって，提案回路の低消費電力性，センサの削減による低コスト性，および均等化電流  $i_L$  を任意の値に制限可能であるという利点を活かしたまま，大小関係推定法を適用可能である。



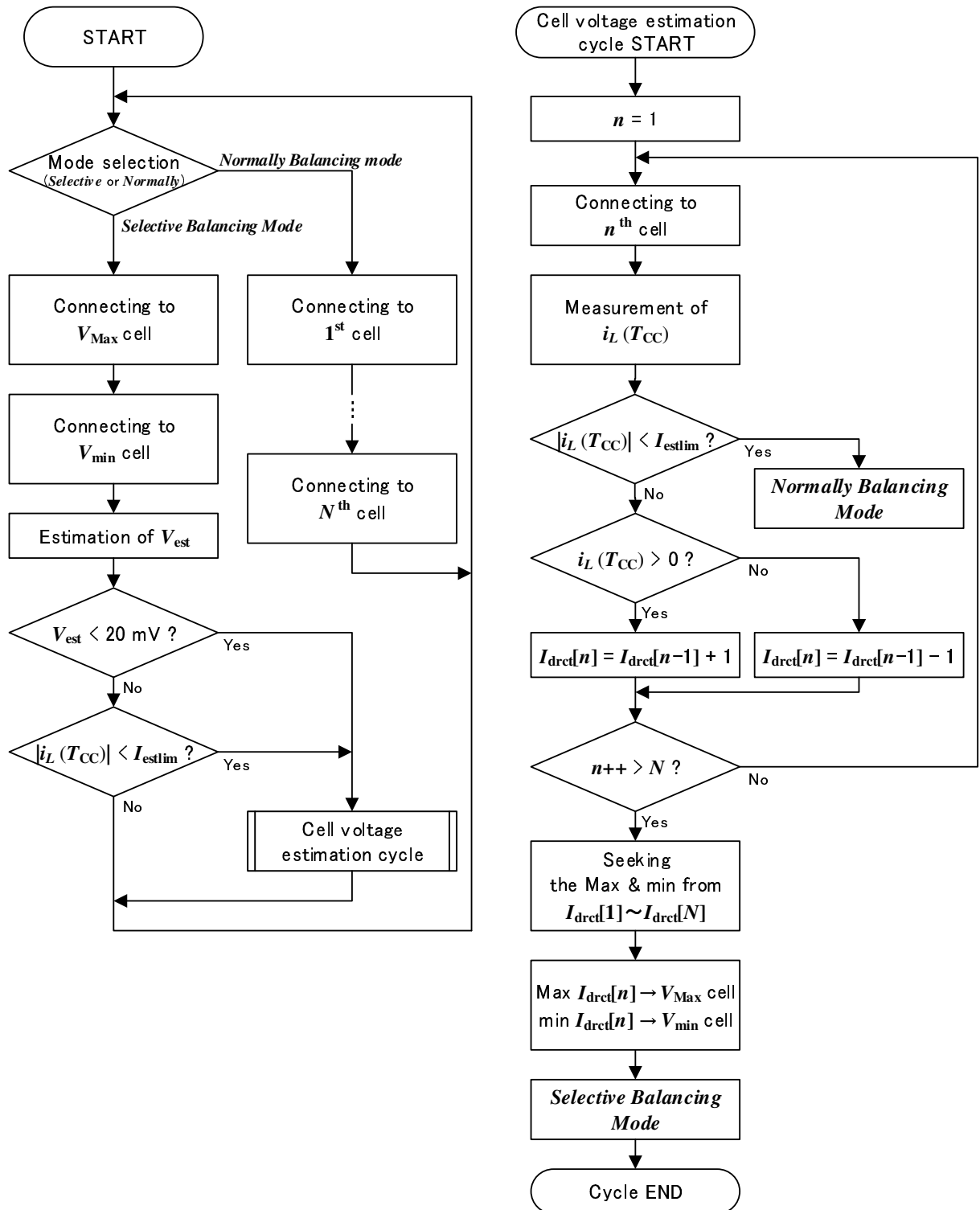


Fig. 4.1. Flowchart of the proposed equalization time reduction method using a cell voltage estimation.

## 4.2 動作原理

本節では大小関係推定法の動作原理について、「各セル電圧大小関係の推定方法」,「推定した大小関係を用いたセルの選択」,「選択したセル間の電圧差の収束判定」の順にそれぞれ説明する。

### 4.2.1 各セル電圧大小関係の推定方法

本節ではまず、均等化電流  $i_L$  から各セル電圧の大小関係を推定する方法について説明する。

Fig. 4.1 に示したように、大小関係推定法では各バッテリーセルを順に切り替え、その際の均等化電流  $i_L$  の極性からそれぞれのセルの大小関係を推定する。Fig. 4.2 に均等化動作時における、均等化電流  $i_L$  の極性判別のイメージ図を示す。ここでは、各バッテリーセルを切り替えた瞬間を  $t=0$  としている。均等化電流  $i_L$  の検出は、従来制御法においても均等化電流  $i_L$  の制限を目的として制御周期  $T_{\text{cnt}} (= 1/f_{\text{cnt}})$  [s] 毎に行われているが、大小関係推定法ではこの均等化電流  $i_L$  の検出に合わせて、Fig. 4.2 に示すように  $t = T_{\text{CC}}$  における均等化電流  $i_L(T_{\text{CC}})$  の極性 (図中矢印) を判別することとした。なお、大小関係推定法におけるセル切替周期  $T_{\text{CC}}$  は、後述する “*Selective Balancing Mode*” と “*Normally Balancing Mode*” のどちらにおいても、第 2.2.2 節の設計手法に基づき  $\frac{\pi\sqrt{LC}}{2}$  [s] とした。このとき、均等化電流  $i_L$  の大きさ  $|i_L|$  が最大値をとる時刻は、提案回路の  $r$  および接続するバッテリーセルの ESR の合成抵抗分  $R$  により変化するが、 $R \ll 2\sqrt{\frac{L}{C}}$  となるように提案回路の回路パラメータを設計することで  $R$  による影響は小さくなり、 $|i_L|$  は  $t = T_{\text{CC}}$  で最大値近傍をとる。したがって、 $t = T_{\text{CC}}$  のタイミングで極性判別を行うことにより、実機実験時に電流検出回路の測定誤差が極性判別に与える影響を最小限とすることができる。

ここで、通常の均等化動作時には各バッテリーセルを  $T_{\text{CC}}$  毎に切り替えているが、本推定期間中においては各バッテリーセルを切り替えるタイミングを一時的に提案回路の時定数よりも十分に長く設定することで、均等化電流  $i_L$  は徐々に減衰し、キャパシタ  $C$  の電圧  $V_C$  は接続されているそれぞれのバッテリーセルの電圧  $V_{B_n}$  に漸近する。したがって、次のバッテリーセルに切り替えた際に流れる均等化電流  $i_L(T_{\text{CC}})$  の極性は、新たに接続されたセルの電圧と直前に接続されていたセルの電圧によって一意に決まる。このとき、均等化電流  $i_L$  は新たに接続されたセルの電圧  $V_{B_{n+1}}$  と  $V_C$  の大きい方から小さい方へと流れる。そのため、この均等化電流  $i_L(T_{\text{CC}})$  の極性を判別することで、新たに接続されたセルの電圧  $V_{B_{n+1}}$  と直前に接続されていたセルの電圧  $V_{B_n}$  の大小関係を推定することができ、これらの動作を全てのバッテリーセルに対して行うことで、モジュール全体の各セル電圧の大小関係が得られる。

Fig. 4.3 に、Fig. 4.1 に示した大小関係推定法のフローチャートにしたがって、均等化電流  $i_L(T_{\text{CC}})$  の極性から最大電圧セル  $B_{V_{\text{Max}}}$ 、最小電圧セル  $B_{V_{\text{min}}}$  を推定する一例を示す。Fig. 4.3 で

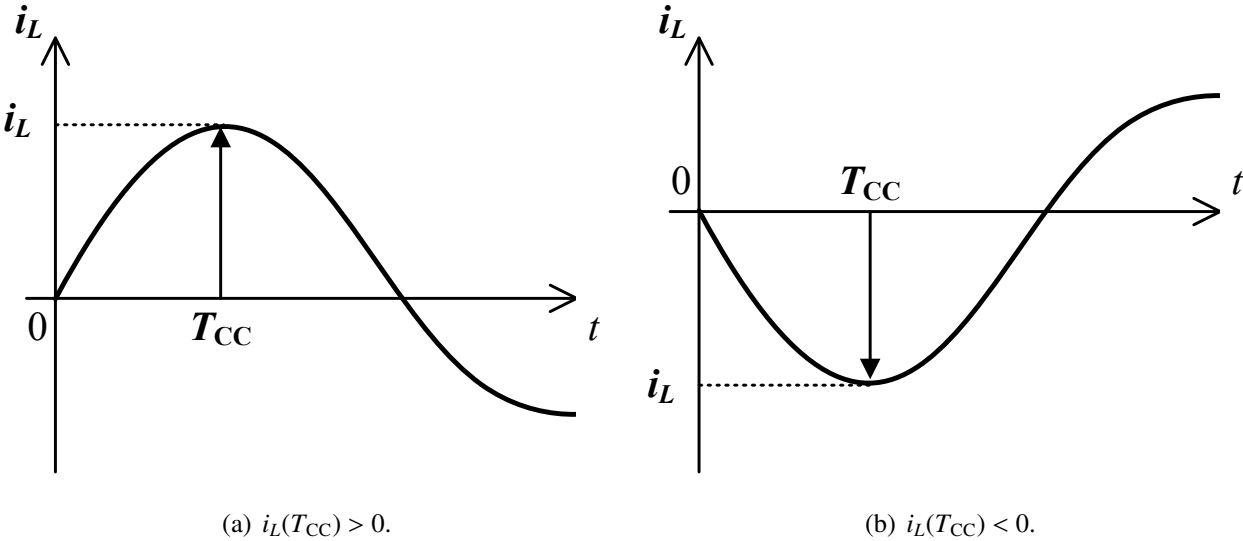


Fig. 4.2. Detection of the equalization current direction.

Cell number $n$	1	2	3	4	5	6	7	8
Voltage of each cell $V_{Bn}$	5	3	1	6	7	2	4	8
Directions of $i_L$		-	-	+	+	-	+	+
$I_{drc} [n]$								

Fig. 4.3. Conceptual diagram of the cell voltage estimate.

は、セル数  $N = 8$  で各セル電圧  $V_{Bn}$  ( $n = 1-8$ ) をばらつかせた場合を考える。まず始めに、 $B_1$  と LC 直列回路が接続され、 $V_C \cong 5 \text{ V}$  となる (このとき、 $I_{\text{drc}}[1] = 0$  (初期値))。次に、 $B_2$  と LC 直列回路が接続されるが、 $V_C \cong 5 \text{ V}$  であるため、均等化電流  $i_L(T_{\text{CC}})$  は負方向に流れ、 $I_{\text{drc}}[2] = -1$  となる。またこのとき、 $V_C \cong 3 \text{ V}$  となる。更に、 $B_3$  と LC 直列回路が接続されるが、 $V_C \cong 3 \text{ V}$  であるため、先程と同様に均等化電流  $i_L(T_{\text{CC}})$  は負方向に流れ、 $I_{\text{drc}}[3] = -2$  となる。これらを  $B_8$  まで繰り返すと、Fig. 4.3 に示すような  $I_{\text{drc}}[n]$  のグラフが得られる。これにより、 $I_{\text{drc}}[n]$  が最大となるセルが最大電圧セル  $B_{V_{\text{Max}}}$ 、 $I_{\text{drc}}[n]$  が最小となるセルが最小電圧セル  $B_{V_{\text{min}}}$  である可能性が高いと推定され、推定結果は最初に設定した  $V_{Bn}$  の関係とも一致する。

#### 4.2.2 推定した大小関係を利用したセルの選択

前節では、均等化電流  $i_L$  から各セル電圧の大小関係を推定する方法について説明した。本節では、推定したセル電圧の大小関係を用いて均等化時間を低減する方法について説明する。

従来制御法では、各バッテリーセルと LC 直列回路を  $T_{\text{CC}}$  毎に順次切り替えることで、セル電圧の均等化を図っていた。そのため、制御の簡素化とセンサの削減が期待できた一方で、各バッテリーセルにおいて均等化動作に直接寄与しない充放電が生じたり、均等化動作の進行に伴い均等化電流  $i_L$  が減少することで、均等化時間が長くなるといった課題があった。そこで、大小関係推定法では推定した各セル電圧の大小関係を利用し、全バッテリーセル中の最大電圧セル  $B_{V_{\text{Max}}}$  と最小電圧セル  $B_{V_{\text{min}}}$  の間で選択的に均等化動作を行うことにより、均等化電流  $i_L$  を増加させるとともに不必要な充放電を低減することで均等化時間を低減する。ここで、Fig. 4.1 に示したように、大小関係推定法では  $|i_L(T_{\text{CC}})|$  の大きさによって2種類の動作モードを設定している。以下、それぞれのモードについて説明する。

$|i_L(T_{\text{CC}})| \geq I_{\text{estlim}}$  のとき  $|i_L(T_{\text{CC}})|$  が  $I_{\text{estlim}}$  以上である場合には、“*Selective Balancing Mode*” を選択する。このモード中では、推定した最大電圧セル  $B_{V_{\text{Max}}}$  と最小電圧セル  $B_{V_{\text{min}}}$  の2つのバッテリーセル間のみで均等化動作を行う。これにより、従来制御法で生じていた均等化動作に直接関与しない不必要な充放電を低減することが期待できる。また、選択された2つのバッテリーセルは全バッテリーセル中で最も電圧差が大きいため、均等化電流  $i_L$  についても全バッテリーセルの組み合わせの中で最も大きくなる。これにより、従来制御法と比較して均等化時間の低減が期待できる。

$|i_L(T_{\text{CC}})| < I_{\text{estlim}}$  のとき 一方で、 $|i_L(T_{\text{CC}})|$  が  $I_{\text{estlim}}$  未満である場合には、“*Normally Balancing Mode*” を選択する。このモード中では、従来制御法と同様に  $B_{1-8}$  の全てのバッテリーセルが均等化動作の対象となり、それぞれのセルと LC 直列回路が  $T_{\text{CC}}$  毎に順次切り替えられる。

これは前述のように、実機にて使用を想定している電流検出回路の測定誤差等を考慮したものである。誤差が支配的となるような均等化電流  $i_L$  が小さい領域においては、実際には最大電圧セル  $B_{V_{Max}}$ 、最小電圧セル  $B_{V_{min}}$  ではない他のセルが誤って選択される可能性が高くなり、大小関係推定法を適用したにも関わらず、かえって従来制御法よりも不必要な充放電が増加してしまうことが懸念される。そこで、大小関係推定法においては前述のような誤差が支配的となる領域で電圧推定を行わないことで、上記の問題を回避した。

なお、後述のシミュレーションおよび実機実験においては、どちらも実機実験で使用した電流検出回路の測定誤差等を考慮し、 $I_{estlim} = 10 \text{ mA}$  とした。

### 4.2.3 選択したセル間の電圧差の収束判定

最後に、選択したセル間の電圧差の収束判定法について説明する。大小関係推定法では、 $|i_L(T_{CC})|$  が  $I_{estlim}$  以上であった場合、最大電圧セル  $B_{V_{Max}}$  と最小電圧セル  $B_{V_{min}}$  の2つのバッテリーセル間のみで均等化動作が行われる。そのため、適切なタイミングで再び各セル電圧の大小関係推定を行い、選択されなかった他のバッテリーセルに対しても均等化動作が行われるようにする必要がある。ここで、各セル電圧の大小関係推定を一定の時間間隔(以下、電圧推定周期  $T_{moni}$ )として、 $T_{moni}$  を 0.01–1 s の間で変化させた場合の均等化時間  $T_{eq}$  のシミュレーション結果を Fig. 4.4 中の“Equalization time  $T_{eq}$ ”に示す。各回路パラメータは、後述のシミュレーション検討と同様に Table 4.1 に示す値を用いた。Fig. 4.4 より、電圧推定周期  $T_{moni}$  が小さい場合と大きい場合のどちらにおいても、均等化時間  $T_{eq}$  は増加する傾向にあることがわかる。

ここで、実質的な均等化動作時間  $T_{subeq}$  と電圧推定期間  $T_{est}$ 、均等化時間  $T_{eq}$  および電圧推定周期  $T_{moni}$  の関係を Fig. 4.5 に示す。ただし、実質的な均等化動作時間  $T_{subeq}$  とは、均等化時間  $T_{eq}$  からセル電圧の大小関係推定に要した時間(電圧推定期間  $T_{est}$ )を除いた、実際に均等化動作が行われていた時間を意味する。Fig. 4.5 より  $T_{subeq}$  は、 $T_{est}$ 、 $T_{eq}$  および  $T_{moni}$  を用いて

$$T_{subeq} = (T_{moni} - T_{est}) \times \frac{T_{eq}}{T_{moni}} \quad (4.1)$$

と求まる。ただし、 $T_{est}$  はセル数  $N$  によって決まる値であり、Fig. 4.4 の検討においては 32 ms であった。式(4.1)により、 $T_{moni}$  が 0.01 ~ 1 s のそれぞれの場合における  $T_{subeq}$  を求め、Fig. 4.4 に重ねて示したものが、図中“Substantive equalization time  $T_{subeq}$ ”である。この結果から、 $T_{subeq}$  は  $T_{moni}$  を極端に小さい値に設定した場合においても、大きく増加していないことが確認された。したがって、電圧推定周期  $T_{moni}$  を極端に小さい値に設定した場合に均等化時間  $T_{eq}$  が長くなった原因は、実質的な均等化動作時間  $T_{subeq}$  に対して電圧推定期間  $T_{est}$  の割合が増加したためであると考えられる。

## 第4章 蓄電セル電圧の大小関係推定を利用した均等化時間低減法

一方で、 $T_{\text{moni}}$  を極端に大きい値に設定した場合について考えると、“*Selective Balancing Mode*” においては、たとえ選択された2つのバッテリーセルが均等化動作により十分に均等化されていても、 $T_{\text{moni}}$  が経過するまでは同じセルが選択され続ける。そのため、全セル電圧の標準偏差について考えたときには標準偏差の低下にあまり影響しない期間が多く生じ、このような無駄時間が増加することで均等化時間  $T_{\text{eq}}$  が長くなったと考えられる。

したがって、大小関係推定法において各セル電圧の大小関係推定を一定の時間間隔で行う場合には、それぞれの条件に合わせた適切な  $T_{\text{moni}}$  を設定する必要がある。しかしながら、 $T_{\text{moni}}$  が均等化時間に与える影響は提案回路の回路パラメータや接続するバッテリーモジュールのパラメータなどの複数要素に依存するため、数値解析的に  $T_{\text{moni}}$  の最適値を導出することは困難であり、実際の使用においては実機による試行錯誤的な検討を要する。

そこで本章においては、比較的容易に取得可能なパラメータと均等化電流  $i_L$  を用いて、動的に最大電圧セル  $B_{V_{\text{Max}}}$  と最小電圧セル  $B_{V_{\text{min}}}$  の電圧差を検出し、電圧差が十分に小さくなったタイミングで再度各セル電圧の大小関係推定を行う手法を採用した。これにより、試行錯誤的な検討を要せずに大小関係推定法の設計が可能となる。なお、具体的な電圧差の検出方法については次節にて詳述する。

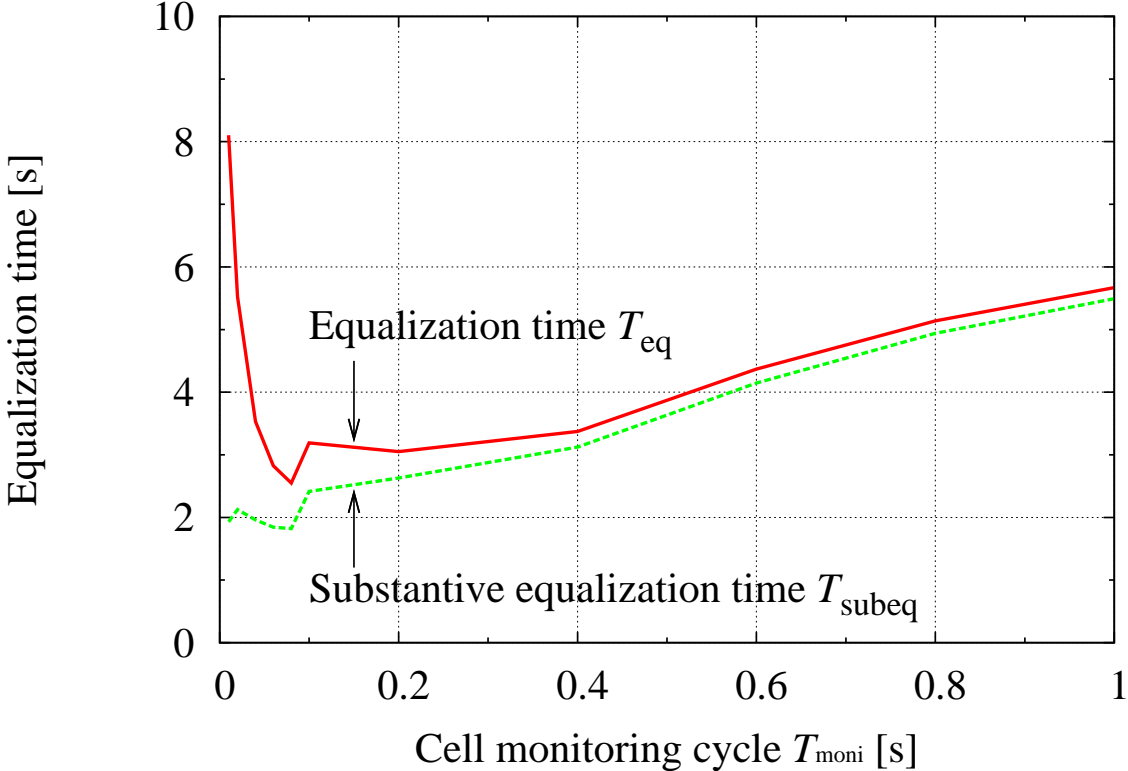


Fig. 4.4. Characteristics between the equalization time  $T_{eq}$  and the cell monitoring cycle  $T_{moni}$  in the simulation.

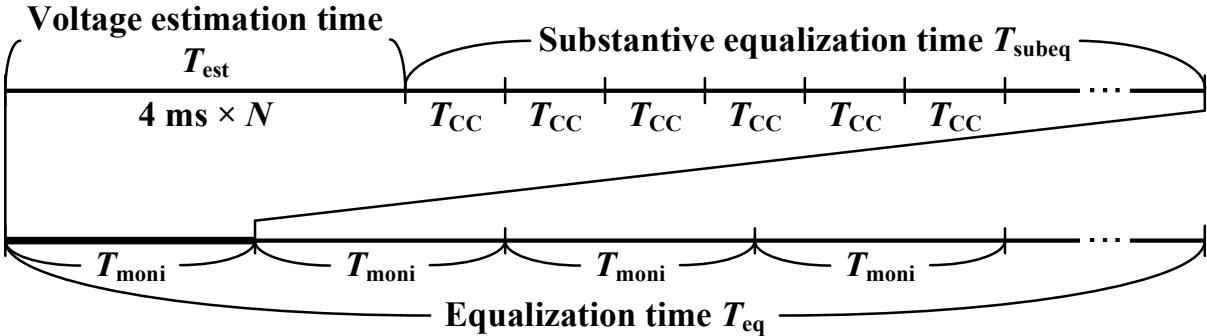


Fig. 4.5. Relationship among the substantive equalization time  $T_{subeq}$ , the voltage estimation time  $T_{est}$ , the equalization time  $T_{eq}$  and the cell monitoring cycle  $T_{moni}$ .

### 4.3 最大電圧セルと最小電圧セル間の電圧差検出方法

本節では、各セル電圧の大小関係推定が再度行われるタイミングを決定する、最大電圧セル  $B_{V_{Max}}$  と最小電圧セル  $B_{V_{min}}$  間の電圧差検出方法について説明する。本章では、以下の3つのステップで均等化電流  $i_L$  から  $B_{V_{Max}}$  と  $B_{V_{min}}$  の電圧差  $V_{est}$  を推定し、推定した  $V_{est}$  を用いて2つのセル間の電圧収束を判定することとした。

**Step 1** 理論解析から  $V_{est}$  と  $i_L$  の関係式を導出

**Step 2** 均等化動作中の  $i_L$  を検出し  $V_{est}$  を推定

**Step 3** 推定した  $V_{est}$  からセル電圧の収束を判定

以下、それぞれのステップについて詳述する。なお、以下の検討では第2.1.3節に示した3つの条件のうち、 $r^2 < \frac{4L}{C}$  の場合についてのみ検証しているが、他の  $r^2 = \frac{4L}{C}$ ,  $r^2 > \frac{4L}{C}$  の条件においても、途中式を変更することで電圧差の動的な収束判定が可能である。

**Step 1** セル電圧差  $V_{est}$  と均等化電流  $i_L$  の関係式導出

まず、大小関係推定法により“*Selective Balancing Mode*”が選択されている場合における、最大電圧セル  $B_{V_{Max}}$  と最小電圧セル  $B_{V_{min}}$  それぞれの電圧、および均等化電流  $i_L$  の関係式を導出する。大小関係推定法の動作に着目すると、“*Selective Balancing Mode*”においては、最大電圧セル  $B_{V_{Max}}$  と最小電圧セル  $B_{V_{min}}$  の2つのセル間においてのみ均等化動作が行われる。そのため、このときの均等化動作特性は Fig. 2.1 における、提案回路が  $n = 2$  の場合と等価であり、均等化動作中の等価回路は Fig. 4.6 のように記述できる。ここで、電圧源  $v_{sq}$  は、Fig. 4.7 に示すような最大電圧セル  $B_{V_{Max}}$  の電圧値  $V_{Max}$  と最小電圧セル  $B_{V_{min}}$  の電圧値  $V_{min}$  をセル切替周期  $T_{CC}$  で繰り返す矩形波電圧源であり、

$$v_{sq}(t) = a_0 + \sum_{m=1}^{\infty} b_m \sin m\omega t, (m = 2j - 1, j \in \mathbb{N}) \quad (4.2)$$

と表せる。ただし、 $a_0 = \frac{V_{Max} + V_{min}}{2}$  [V],  $b_m = \frac{2(V_{Max} - V_{min})}{m\pi}$  [V],  $\omega = \frac{1}{\sqrt{LC}}$  [rad/s] である。ここで、接続するバッテリーセルの時定数が提案回路の時定数および  $T_{CC}$  よりも十分に大きいと仮定すると、ある微小期間内における  $V_{Max}$  および  $V_{min}$  は一定とみなせ、均等化電流  $i_L$  は Fig. 4.7 のような交流定常電流として近似できる。したがって、 $V_{Max}$ ,  $V_{min}$  および均等化電流  $i_L$  の関係は

$$i_L(t) = \sum_{m=1}^{\infty} \frac{2(V_{Max} - V_{min})}{m\pi |Z_m|} \sin(m\omega t - \varphi_m) \quad (4.3)$$



と表せる。ただし、 $|Z_m| = \sqrt{R^2 + (m\omega L - \frac{1}{m\omega C})^2}$  [Ω],  $\varphi_m = \tan^{-1} \frac{m\omega L - \frac{1}{m\omega C}}{R}$  [rad] である。ここで、セル切替周期  $T_{CC}$  は提案回路の共振周波数に基づいて決定していることから、 $v_{sq}$  は第7次程度まで十分に均等化電流  $i_L$  を近似でき、式(4.3)を簡略化して、

$$i_L(t) = \sum_{m=1}^7 \frac{2(V_{Max} - V_{min})}{m\pi|Z_m|} \sin(m\omega t - \varphi_m) \quad (4.4)$$

とできる。ここで、 $V_{est} = V_{Max} - V_{min}$  であるので、

$$i_L(t) = \sum_{m=1}^7 \frac{2V_{est}}{m\pi|Z_m|} \sin(m\omega t - \varphi_m) \quad (4.5)$$

となり、“*Selective Balancing Mode*”における最大電圧セル  $B_{VMax}$  と最小電圧セル  $B_{Vmin}$  の電圧差  $V_{est}$  と均等化電流  $i_L$  の関係が時刻  $t$  の関数として得られる。

## Step 2 均等化電流 $i_L$ を用いた $V_{est}$ の推定

次に、導出された関係式(4.5)を使用し、均等化動作中の均等化電流  $i_L$  を用いて  $V_{est}$  を推定する。 $V_{est}$  の推定にあたっては、式(4.5)を用いることで、原理的には均等化動作中の任意のタイミングで  $V_{est}$  を推定することが可能である。しかしながら、実際の使用においては電流検出回路の誤差による影響や式(4.5)のような複雑な計算を瞬時に行える制御コントローラへの要求性を考えると、均等化動作中に常時  $V_{est}$  の推定を行うことは現実的ではない。そこで、本章では電流検出回路の検出誤差の影響が最小となるよう、前述の大小関係推定と同様に、均等化電流  $i_L$  が最大値近傍となる  $t = T_{CC}$  において  $V_{est}$  の推定を行うこととした。すると、式(4.5)は

$$i_L(T_{CC}) = \sum_{m=1}^7 \frac{2V_{est}}{m\pi|Z_m|} \sin(m\omega T_{CC} - \varphi_m) \quad (4.6)$$

となり、 $i_L(T_{CC})$  が  $V_{est}$  の1次関数として記述できる。したがって、式(4.6)を  $V_{est}$  について解くことで

$$V_{est} = \mathbf{A} \cdot i_L(T_{CC}) \quad (4.7)$$

$$\text{ただし、} \mathbf{A} = \frac{1}{\sum_{m=1}^7 \frac{2 \sin(m\omega T_{CC} - \varphi_m)}{m\pi|Z_m|}} \quad (4.8)$$

が得られ、 $i_L$  から  $V_{est}$  を容易に推定することが可能となる。ここで、 $\mathbf{A}$  は各種パラメータにより一意に決まる、電圧推定係数である。

## Step 3 推定した $V_{est}$ からセル電圧差の収束を判定

最後に、均等化電流  $i_L$  から推定した電圧差  $V_{est}$  を用いて、“*Selective Balancing Mode*”で選択された最大電圧セル  $B_{VMax}$  と最小電圧セル  $B_{Vmin}$  間の電圧差収束を判定する。

#### 第4章 蓄電セル電圧の大小関係推定を利用した均等化時間低減法

ここで、一般的なセル電圧均等化動作においては、各セル電圧の標準偏差を 10 mV 以下とすることが求められている [4]。そのため、本章における最大電圧セル  $B_{V_{\text{Max}}}$  と最小電圧セル  $B_{V_{\text{min}}}$  間の収束判定においても、上記の標準偏差 10 mV 以下を基準として用いた。具体的には、 $N$  個のセル電圧の標準偏差  $\sigma$  [V] は

$$\sigma = \sqrt{\frac{1}{N} \sum_{j=1}^N (V_{Bj} - \overline{V_{\text{all}}})^2}, \quad \overline{V_{\text{all}}} = \sum_{j=1}^N V_{Bj} \quad (4.9)$$

で与えられるので、最大電圧セル  $B_{V_{\text{Max}}}$  と最小電圧セル  $B_{V_{\text{min}}}$  のそれぞれのセル電圧の標準偏差が 10 mV 以下となる  $V_{\text{est}}$  は、

$$\sigma = \frac{1}{2} V_{\text{est}} \leq 10 \text{ mV} \quad (4.10)$$

$$\therefore V_{\text{est}} \leq 20 \text{ mV} \quad (4.11)$$

と求まる。したがって、式 (4.11) および前述の電流検出回路の誤差を考慮した  $i_L \leq I_{\text{estim}}$  の論理和を収束条件とすることで、提案回路やバッテリーモジュールのパラメータに依存することなく、動的に収束判定を行うことが可能となる。

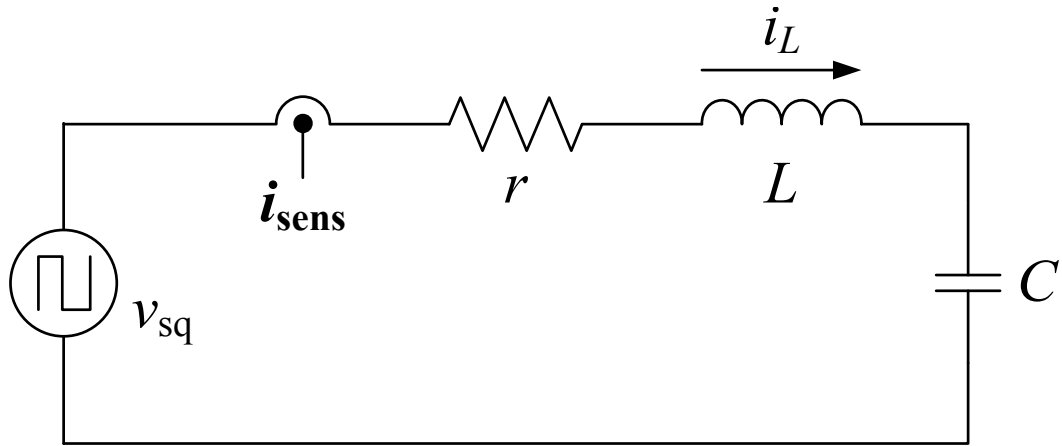


Fig. 4.6. Equivalent circuit of the proposed cell voltage equalizer ( $N = 2$ ).

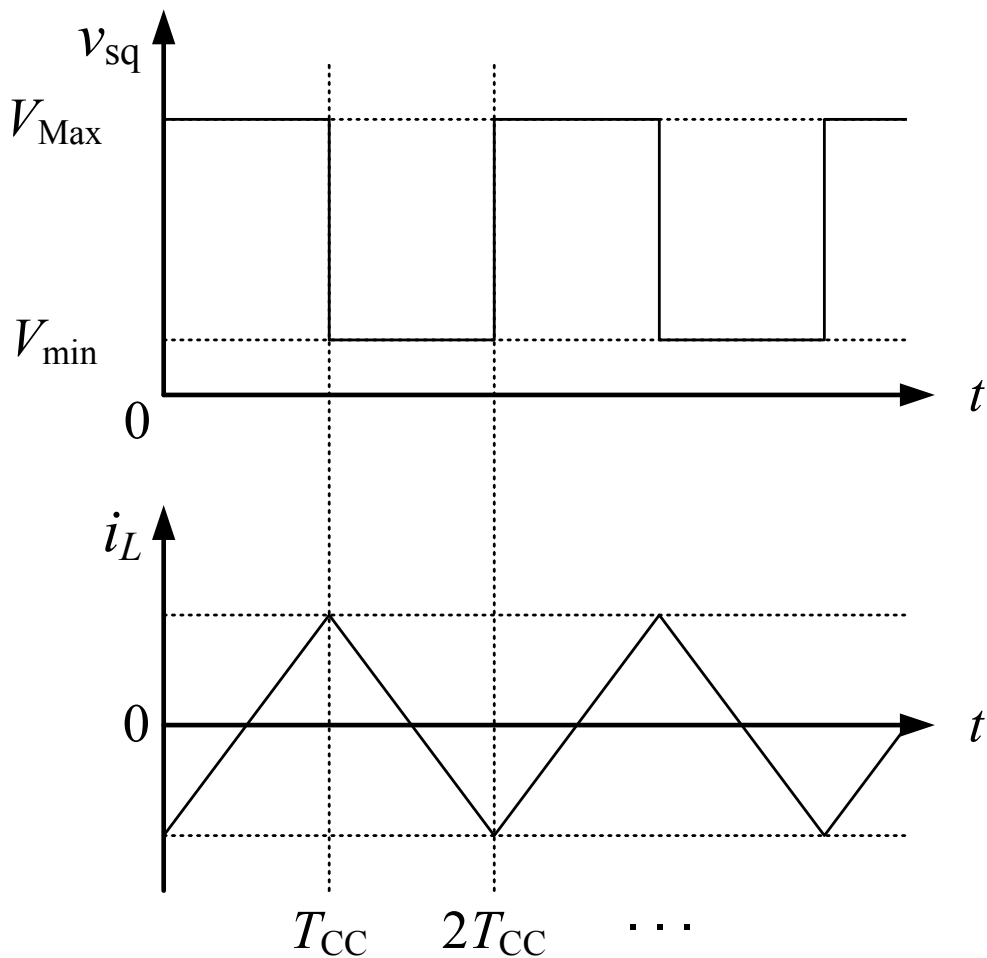


Fig. 4.7. Conceptual diagram of the input voltage on the LC series circuit and the equalization current waveforms.

## 4.4 シミュレーションによる有用性の検証

提案回路について、大小関係推定法の有用性について検討するため、シミュレーションにより均等化動作の検証を行った。本シミュレーションにおける各種パラメータを Table 4.1 に示す。ここで、本シミュレーション条件における  $A$  は Table 4.1 および式 (4.8) より

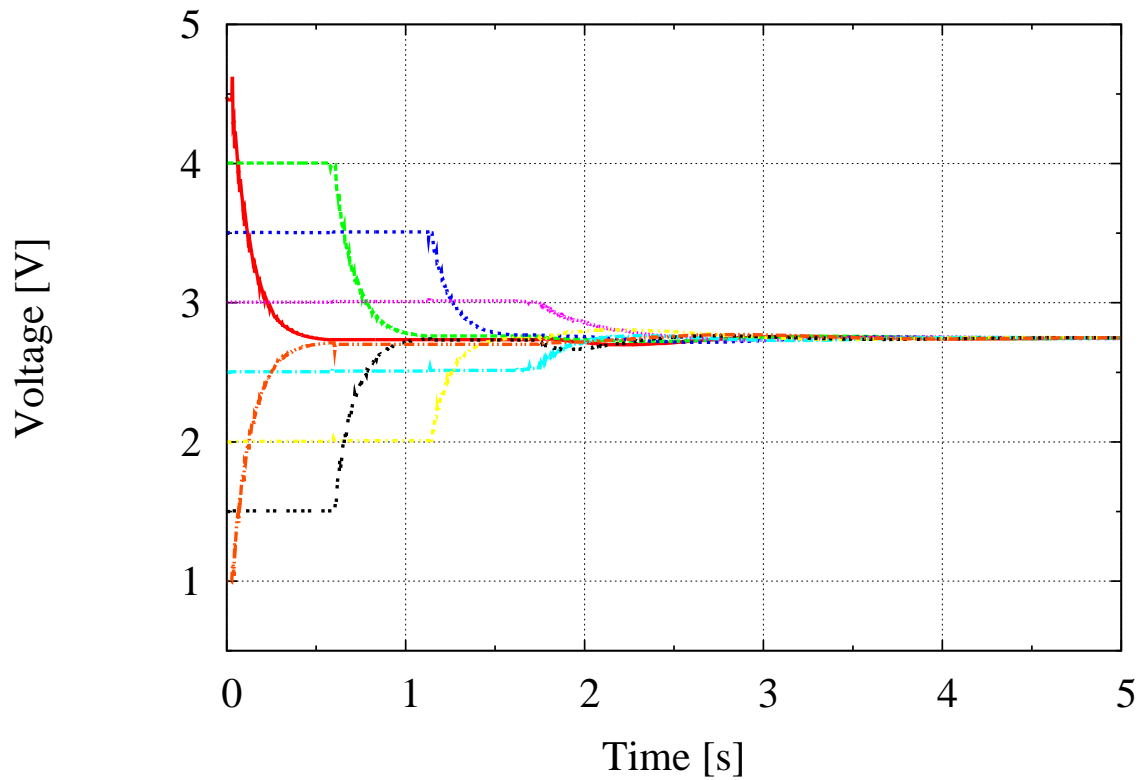
$$A = 0.5504 \cong 0.55 \quad (4.12)$$

と求まる。

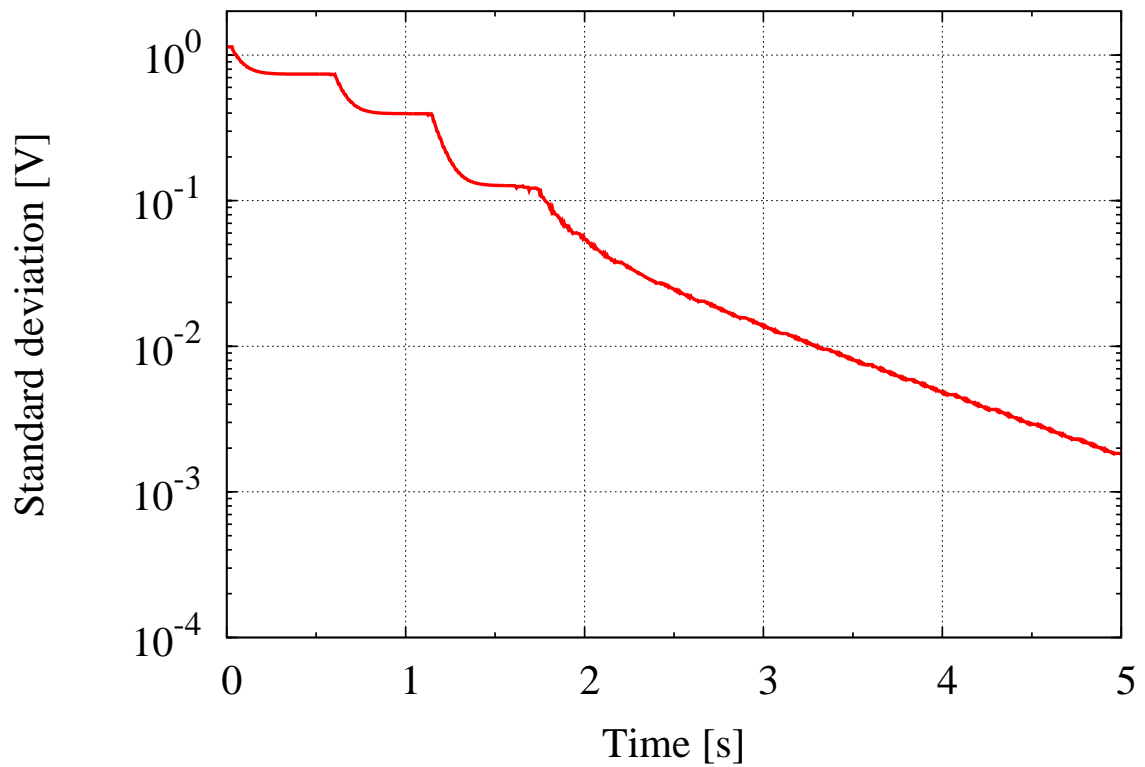
Fig. 4.8 に、大小関係推定法を適用した提案回路の、均等化動作時における各セル電圧、および電圧値の標準偏差のシミュレーション結果を示す。Fig. 4.8(a) より、各セル電圧のばらつきは時間とともに解消されており、正常な均等化動作が行われたことがわかる。前述の通り、一般的な EDLC 等のセル電圧均等化動作では、各セル電圧の標準偏差を 10 mV 以下とすることが求められている [4]。Fig. 4.8(b) より、標準偏差は最終的に 10 mV 以下の十分低い値まで低減されていることから、大小関係推定法においても正常な均等化動作が可能であることが示された。

Table 4.1. Circuit parameters in the simulation for the proposed reduction method using a cell voltage estimation.

Number of cells $n$	8
Battery cell capacity	50 mF
ESR of each battery cell	100 m $\Omega$
Initial voltage of $V_{B1-B8}$	1.00–4.50 V (0.50 V step)
ESR of inductor and capacitor $r$	100 m $\Omega$
Inductance $L$	50 $\mu$ H
Capacitance $C$	470 $\mu$ F
Control frequency $f_{\text{cnt}}$	50 kHz
Cell change cycle $T_{\text{CC}}$	0.24 ms
Current limit value $i_{\text{ref}}$	5.0 A
Lower current limit value $I_{\text{estim}}$	10 mA
Estimation constant value $A$	0.55



(a) Voltages of each cell.



(b) Standard deviation of each cell voltage.

Fig. 4.8. Simulation results with the proposed reduction method using a cell voltage estimation.

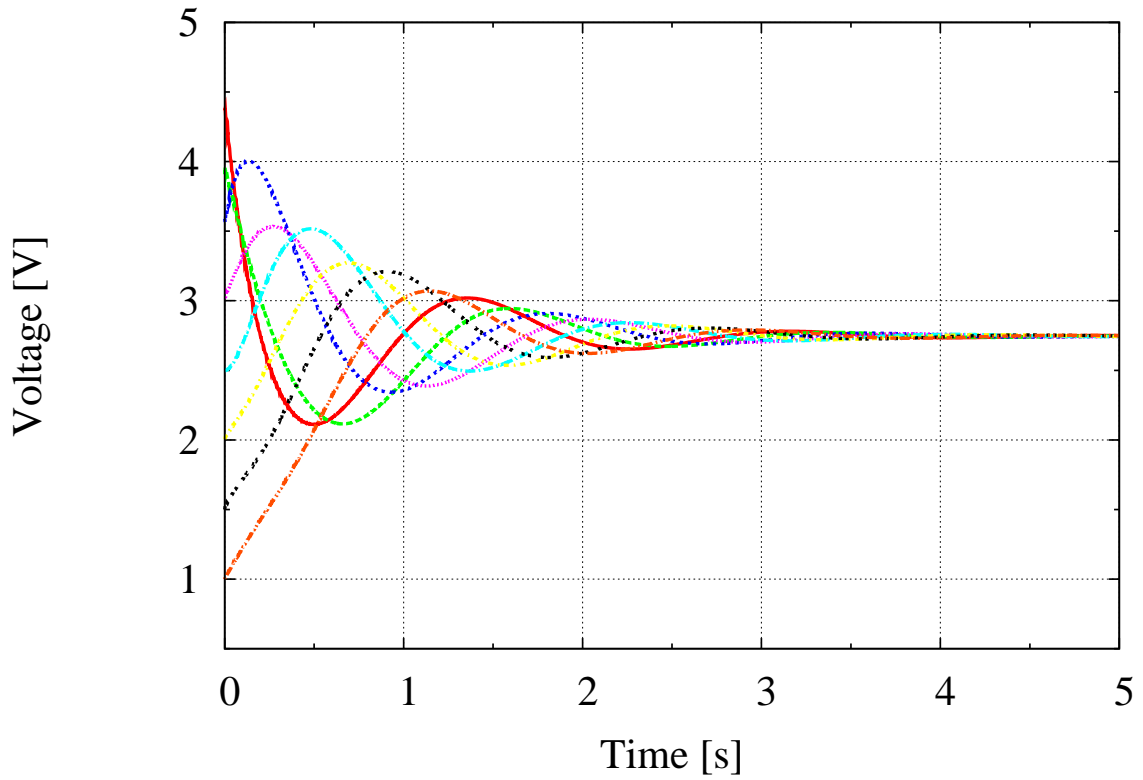
#### 4.4.1 従来制御法と大小関係推定法の比較

ここで、従来制御法によるシミュレーション結果と大小関係推定法によるシミュレーション結果の均等化動作特性を比較する。Fig. 4.9に、提案回路に従来制御法を適用した場合のシミュレーション結果を示す。回路パラメータは前述の大小関係推定法と同条件 (Table 4.1) とした。

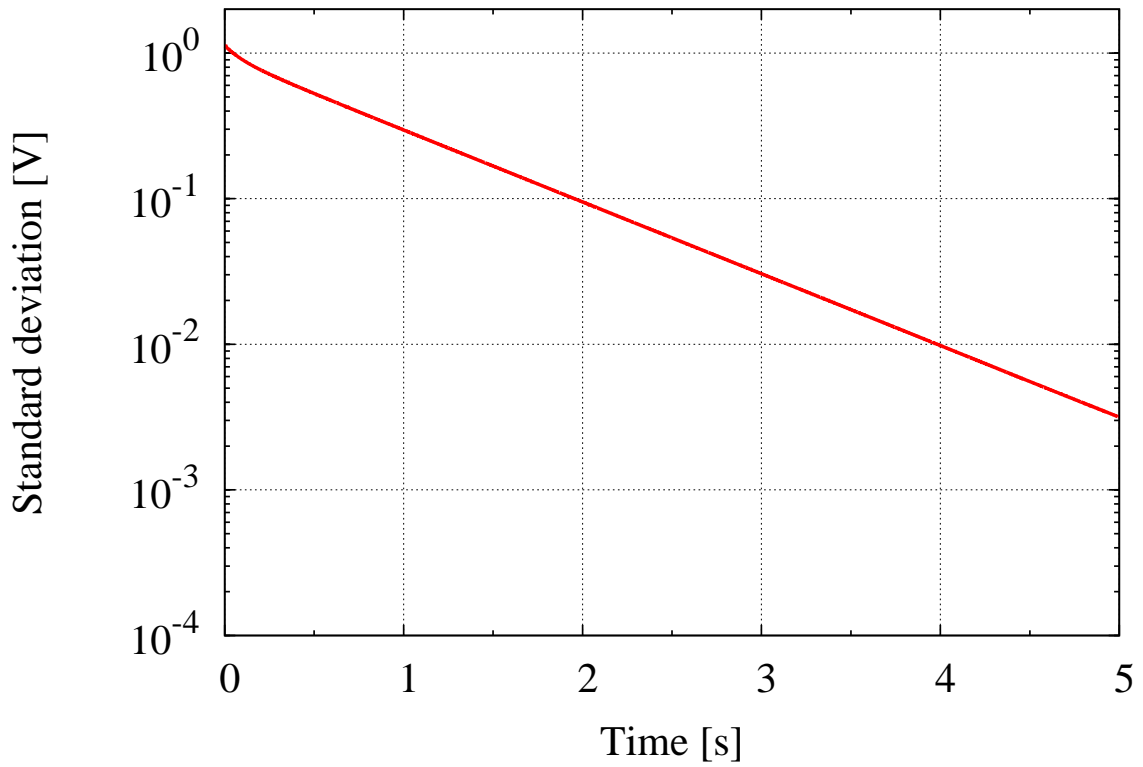
まず、Fig. 4.8(a) と Fig. 4.9(a) の各セルの電圧波形を比較すると、従来制御法で生じていた各セルの電圧が充放電を繰り返しながら収束する動作が、大小関係推定法では抑制されており、均等化に直接寄与しない不必要な充放電が減少していることが確認できる。

次に、Fig. 4.8(b) と Fig. 4.9(b) の各セル電圧の標準偏差を比較する。それぞれについて、標準偏差が 10 mV となるまでの時間 (均等化時間) に着目すると、従来制御法では約 3.97 s であったのに対して、大小関係推定法では約 3.27 s となっており、大小関係推定法を適用することにより均等化時間が約 82.4 % 程度に低減されていることがわかる。

以上より、大小関係推定法は各セル電圧のばらつき状況を動的に推定することで均等化に直接寄与しない不必要な充放電を抑制し、均等化時間を低減可能であることが明らかとなった。



(a) Voltages of each cell.



(b) Standard deviation of each cell voltage.

Fig. 4.9. Simulation results with the conventional method.

## 4.5 実機実験による有用性の検証

提案回路について、大小関係推定法の有用性について検討するため、実機実験による均等化動作の検証を行った。本実機実験における各種パラメータを Table 4.2 に示す。ここで、本実機実験の条件における  $A$  は、Table 4.2 および式 (4.8) より

$$A = 0.8616 \cong 0.86 \quad (4.13)$$

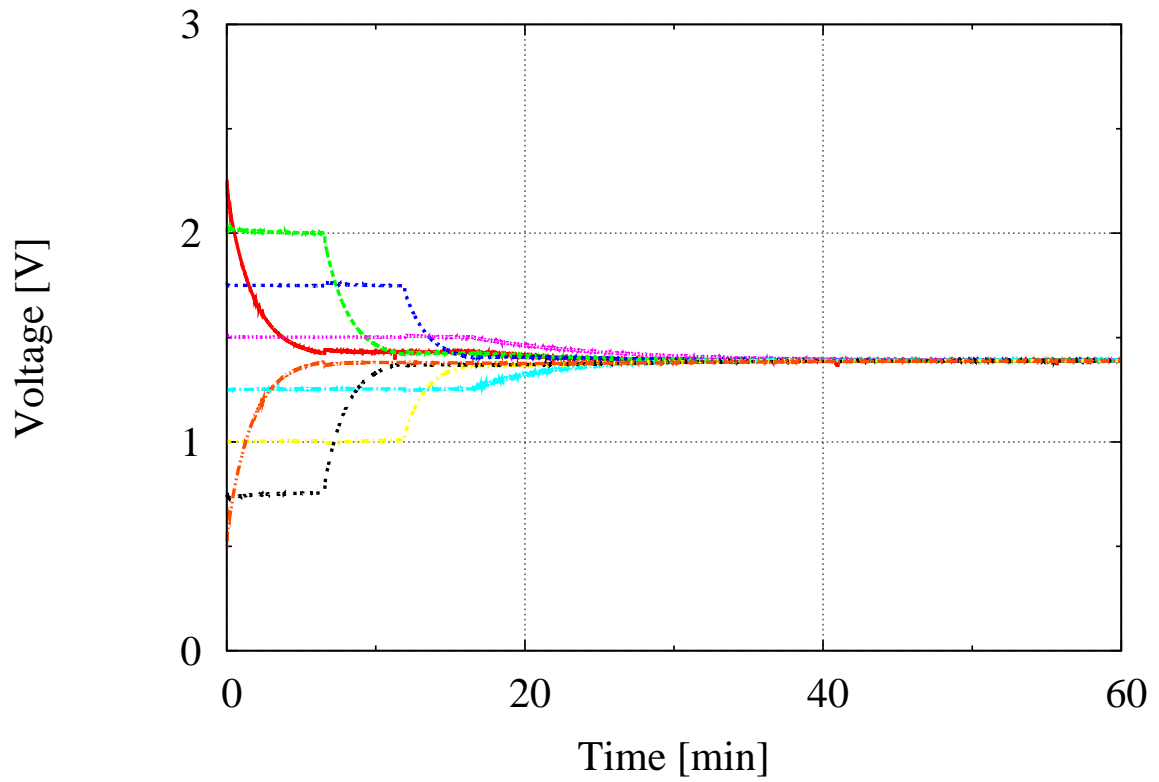
と求まる。

Fig. 4.10 に、大小関係推定法を適用した提案回路の、均等化動作時における各セル電圧、および電圧値の標準偏差の実験結果を示す。Fig. 4.10(a) より、各セル電圧のばらつきは時間とともに解消されており、正常な均等化動作が行われたことがわかる。前述の通り、一般的な EDLC 等のセル電圧均等化動作では、各セル電圧の標準偏差を 10 mV 以下とすることが求められている [4]。Fig. 4.10(b) より、標準偏差は最終的に 10 mV 以下の十分低い値まで低減されていることから、大小関係推定法は実機実験においても正常な均等化動作が可能であることが示された。

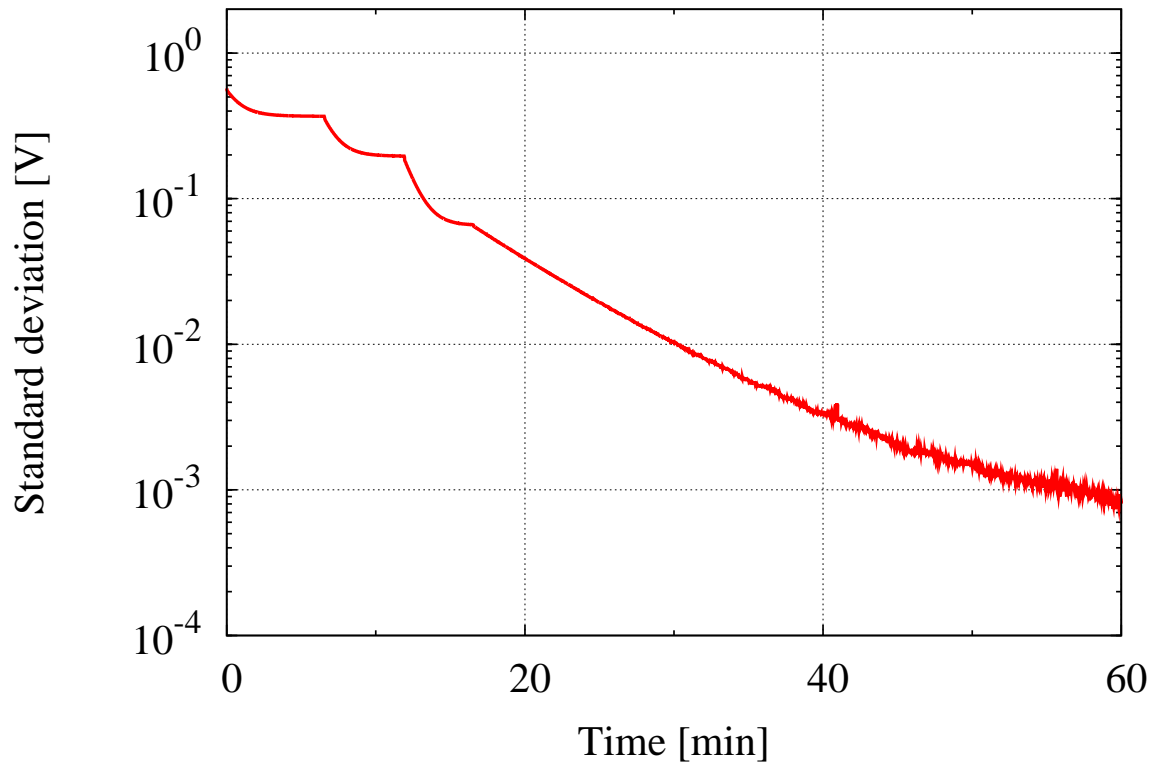
Table 4.2. Circuit parameters in the experiment for the proposed reduction method using a cell voltage estimation.

Number of cells $n$	8
Battery module type	EDLC
Battery cell capacity	60 F
ESR of each battery cell	32 m $\Omega$
Initial voltage of $V_{B1-B8}$	0.50–2.25 V (0.25 V step)
ESR of inductor and capacitor $r$	349 m $\Omega$
Inductance $L$	199 $\mu$ H
Capacitance $C$	4734 $\mu$ F
Control frequency $f_{\text{cnt}}$	50 kHz
Cell change cycle $T_{\text{CC}}$	1.60 ms
Current limit value $i_{\text{ref}}$	2.0 A
Lower current limit value $I_{\text{estim}}$	10 mA
Estimation constant value $A$	0.86





(a) Voltages of each cell.



(b) Standard deviation of each cell voltage.

Fig. 4.10. Experimental results with the proposed reduction method using a cell voltage estimation.

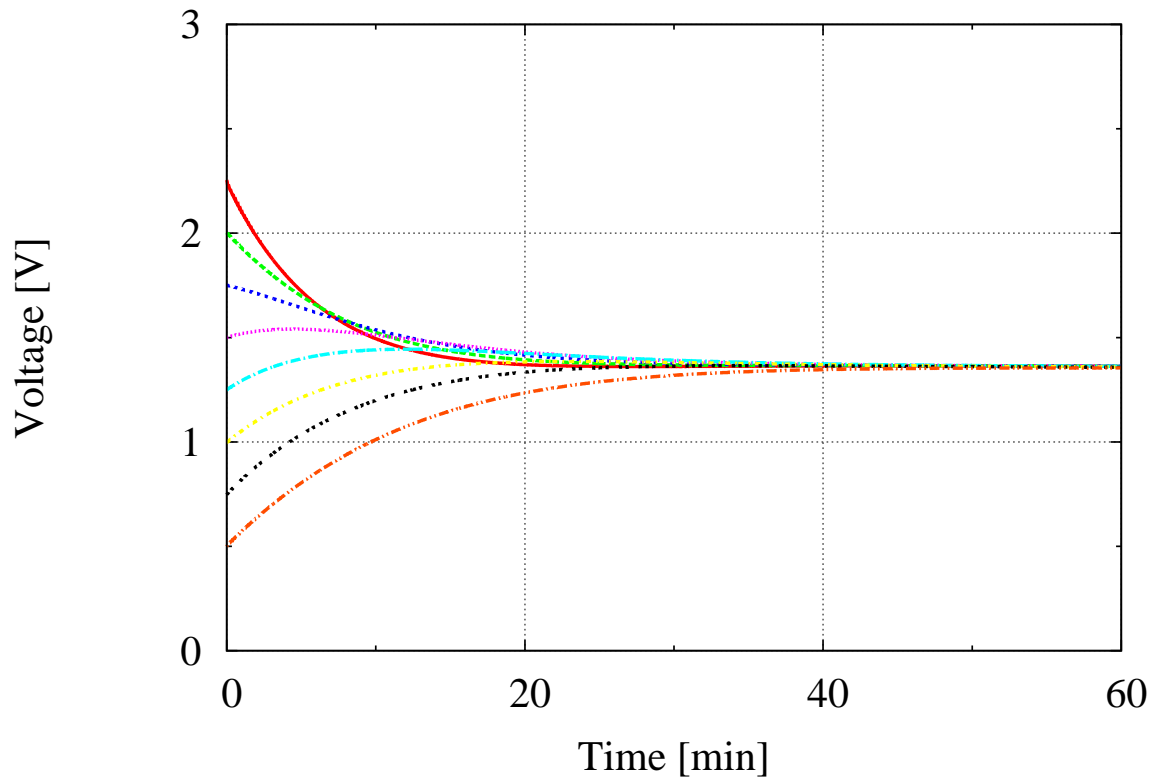
#### 4.5.1 従来制御法と大小関係推定法の比較

ここで、従来制御法と大小関係推定法の均等化動作特性を比較する。Fig. 4.11 に、提案回路に従来制御法を適用した場合の実験結果を示す。回路パラメータは大小関係推定法と同条件 (Table 4.2) とした。

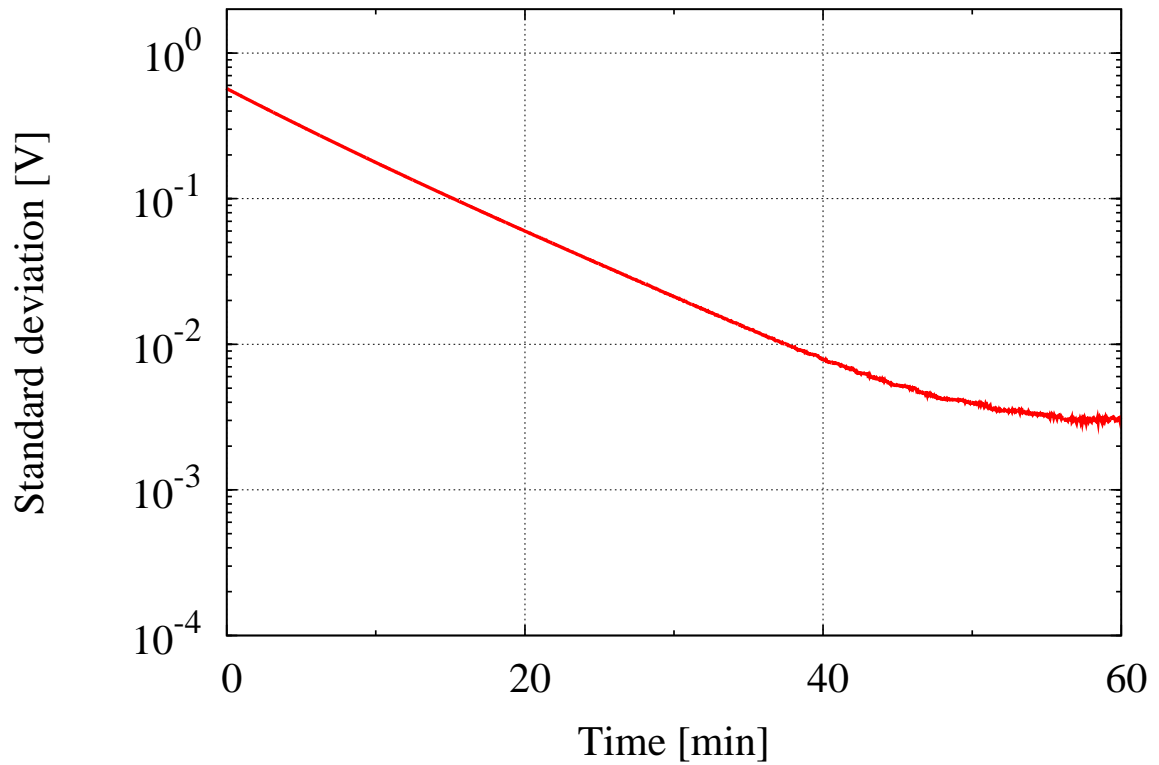
まず、Fig. 4.10(a) と Fig. 4.11(a) の各セルの電圧波形を比較すると、従来制御法で生じていた各セルの電圧が充放電を繰り返しながら収束する動作が、大小関係推定法では抑制されており、均等化に直接寄与しない不必要な充放電が減少していることが確認できる。

次に、Fig. 4.10(b) と Fig. 4.11(b) の各セル電圧の標準偏差を比較する。それぞれについて、標準偏差が 10 mV となるまでの時間 (均等化時間) に着目すると、従来制御法では約 37.20 min であったのに対して、大小関係推定法では約 30.08 min となっており、大小関係推定法を適用することにより均等化時間が約 80.9 % 程度に低減されていることがわかる。

以上より、実機実験の結果からも、大小関係推定法は各セル電圧のばらつき状況を動的に推定することで均等化に直接寄与しない不必要な充放電を抑制し、均等化時間を低減可能であることが示された。



(a) Voltages of each cell.



(b) Standard deviation of each cell voltage.

Fig. 4.11. Experimental results with the conventional method.

## 4.6 第4章のまとめ

本章では、第2章にて示した提案回路の課題の1つである均等化時間に対して、均等化動作時に流れる電流から各セル電圧の大小関係を推定し、バッテリーモジュール内で電圧が最も高いセルと最も低いセルとの間で選択的に均等化動作を行うことで、センサ等を追加することなく、制御法の変更のみで均等化時間を低減可能な制御法を提案した。また、シミュレーションおよび実機実験により、大小関係推定法の動作特性の検証と有用性の検討を行った。それぞれの結果から、大小関係推定法では従来制御法と比較して、Table 4.1の条件で行ったシミュレーションにおいては約82.4%、Table 4.2の条件で行った実機実験においては約80.9%程度に、それぞれ均等化時間を低減可能であることを確認した。更に、大小関係推定法は各セル電圧のばらつき状況に合わせた効率的な均等化動作が可能であることを示した。

一方で、本章で提案したような各セルの電圧等を推定することで均等化を行うセルを選択する手法では、適切にセルの状態を推定できることが均等化動作の前提となる。一例として特定のバッテリーセルが故障等により短絡状態にある場合、当該セルの電圧が他のセルよりも低く推定されることで、当該セルの電圧を他のセルに揃えようと均等化動作により充電方向の電流が集中する可能性がある。本来、このような状況では均等化動作のみならずバッテリーモジュールの故障としてバッテリーモジュール自体の使用を停止する必要があることから、セル電圧均等化回路の他に各セルの状態を監視するための回路等を別に設けることが一般的である。したがって、提案回路においても同様に、バッテリーセルの故障の際には監視回路等の情報に基づき均等化動作を停止することが求められる。

なお、故障まで至らないような多少の劣化であれば、本論文で対象としているようなセル電圧均等化回路を用いて各セル間の電圧を均等化し、バッテリーモジュールとしての充放電容量を最大限活用できるように維持することが運用上有効であると考えられる。

# 第5章 回生型ゲート駆動回路を用いたゲート駆動回路の簡素化

提案回路は各セルと LC 直列回路を双方向スイッチを用いて切り替えることにより均等化動作を行うため、多数の双方向スイッチが必要となる。加えて、それらの双方向スイッチはそれぞれがフローティングされている必要があることから、双方向スイッチそれぞれのゲート駆動回路用に絶縁された電源が必要となる。そのため、提案回路ではセル数の増加に伴い双方向スイッチ数が増大すると同時に、同数のゲート駆動回路用コンバータが必要となり、ゲート駆動回路の規模が肥大化する可能性がある。

この問題を解決する一つの手段として、双方向スイッチに Fig. 5.1 に示すような Photo-MOS リレー [50] を用いることが考えられる。Photo-MOS リレーでは、入力側のダイオードと出力側の双方向スイッチが光信号によって絶縁された構造を有することから、ゲート駆動回路用コンバータを必要とせずフローティングされた双方向スイッチのスイッチングが可能であるため、ゲート駆動回路規模の肥大化を抑制することが可能である。しかしながら、一般に Photo-MOS リレーは他の MOS-FET+フォトカプラの組み合わせと比較すると電流容量が小さい、スイッチング時間が遅いなどの欠点があり、提案回路の制御性や小型化に対する障壁となる。Table 5.1 に、Photo-MOS リレーと一般的な MOS-FET 駆動用フォトカプラ [56] の仕様を示す。

そこで本章では、双方向スイッチの構成を2つの n チャネル MOS-FET を逆直列に接続した構成とすることで高い制御性を有するとともに、それらのゲート駆動回路を簡素化することが可能な回生型ゲート駆動回路およびその制御法を提案する。更に、シミュレーションと実機実験により動作特性の検証を行い、本章で提案する回生型ゲート駆動回路の有用性について検討する。

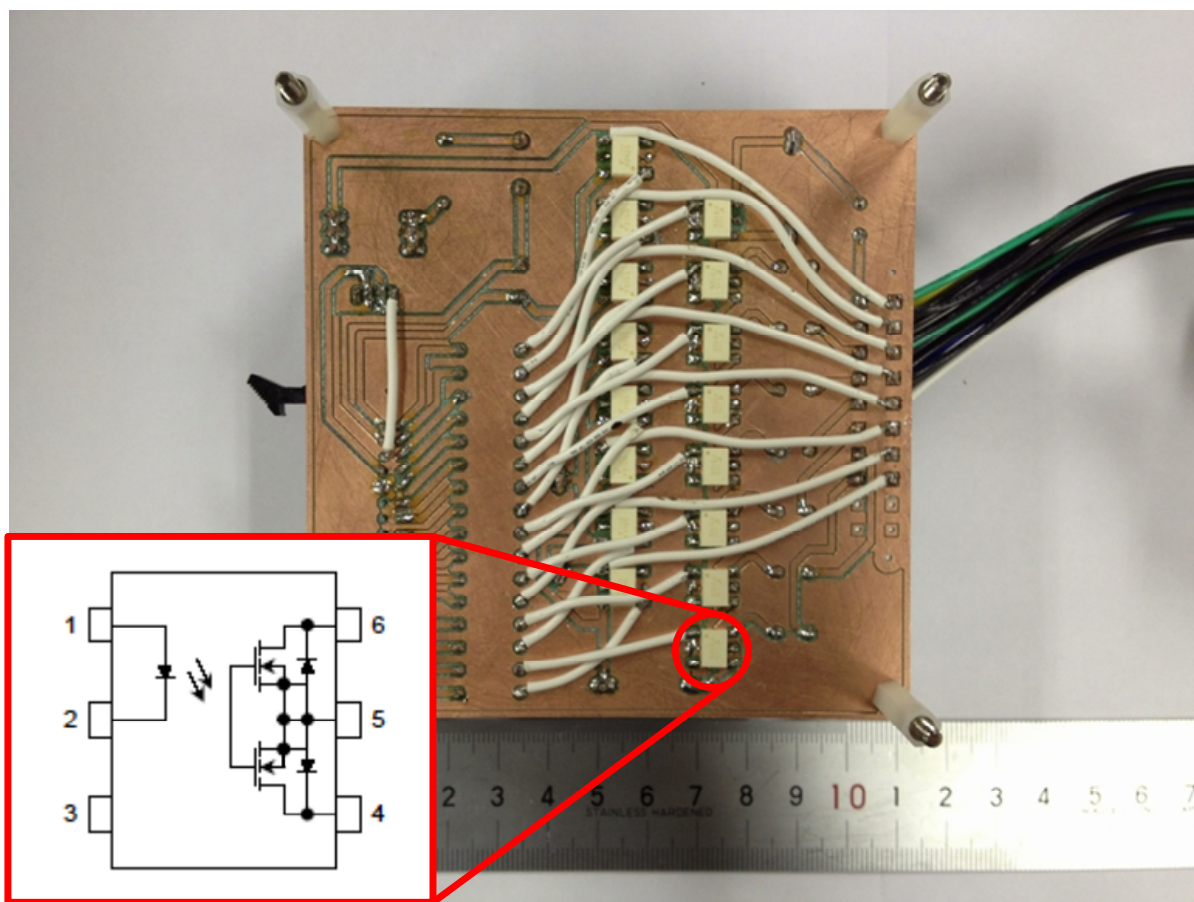


Fig. 5.1. Appearance of the proposed cell voltage equalizer using Photo-MOS Relays [50].

Table 5.1. Parameter comparison between Photo-MOS Relays “TLP3100 [50]” and Photocouplers “TLP250H [56]”.

	TLP3100 [50]	TLP250H [56]
Off-state output voltage	20 V	35 V
Maximum on-state current	2.5 A (DC)	2.5 A (0.2 $\mu$ s)
On-state resistance	20 m $\Omega$	-
Turn-ON time	1.5 ms	50 ns
Turn-OFF time	0.1 ms	50 ns

## 5.1 回生型ゲート駆動回路を提案回路に適用した際の回路構成

Fig. 5.2 に本章で提案するゲート駆動回路の簡素化を目的とした回生型ゲート駆動回路を適用した際の、提案回路の主回路構成およびゲート駆動回路構成を示す。また、Fig. 5.3 に回生型ゲート駆動回路を適用した提案回路の動作モードを示す。

提案する主回路構成では、2つの  $n$  チャンネル MOS-FET それぞれのソースを共通化した上で逆直列に接続することにより双方向スイッチを実現する。また、従来の回路構成において均等化電流の抑制用に用いていたインダクタ  $L$  を 3 巻線トランス  $T$  に置き換える。

ゲート駆動回路については、3 巻線トランス  $T$  の 2 次側をダイオードブリッジを介して 2 直列のキャパシタに接続する。更に、前述のキャパシタの中性点を 2 つの  $n$  チャンネル MOS-FET のソースに接続し、フォトカプラを介した出力に各 MOS-FET のゲートを接続する構成とした。これにより、双方向スイッチに MOS-FET を使用することでスイッチング動作の高速化が可能となる。また、双方向スイッチを構成する 2 つの  $n$  チャンネル MOS-FET を 1 つのゲート駆動回路で駆動することが可能となるため、ゲート駆動回路の削減から提案回路の小型化が期待される。

これらの回路構成により、Fig. 5.3(a) に示した均等化モード中は従来の回路構成におけるインダクタ  $L$  と同様に均等化電流を抑制する働きをし、Fig. 5.3(b) に示した環流モードでは均等化モード時にトランス  $T$  に蓄えられた電力を 2 次側に伝送する。これにより、3 巻線トランス  $T$  を介してゲート駆動回路用のフローティング電源を生成することでゲート駆動回路用コンバータ数の削減が可能となる。

一方で、初期動作時にはそれぞれのゲート駆動回路用キャパシタへ初期充電が必要となる。また、均等化動作の進行に伴い均等化電流が減少すると、ゲート駆動回路用電源キャパシタへの回生電力が少なくなり、キャパシタ電圧が低下する。そこで、スイッチ群  $S_1$  のゲート駆動用電源についてはコンバータを用いて生成することとし、他のゲート駆動用電源キャパシタへの補充電を目的として、トランス  $T$  の 1 次側電流を増加させるための短絡用スイッチ  $S_{short}$  を設けた。以上により、提案回路に回生型ゲート駆動回路を用いることで、セル数が増加した場合においてもゲート駆動回路用コンバータ 3 つのみで均等化動作が可能となる。一般に回路規模に占めるコンバータの割合は大きいため、コンバータの削減による提案回路の回路規模低減も期待される。

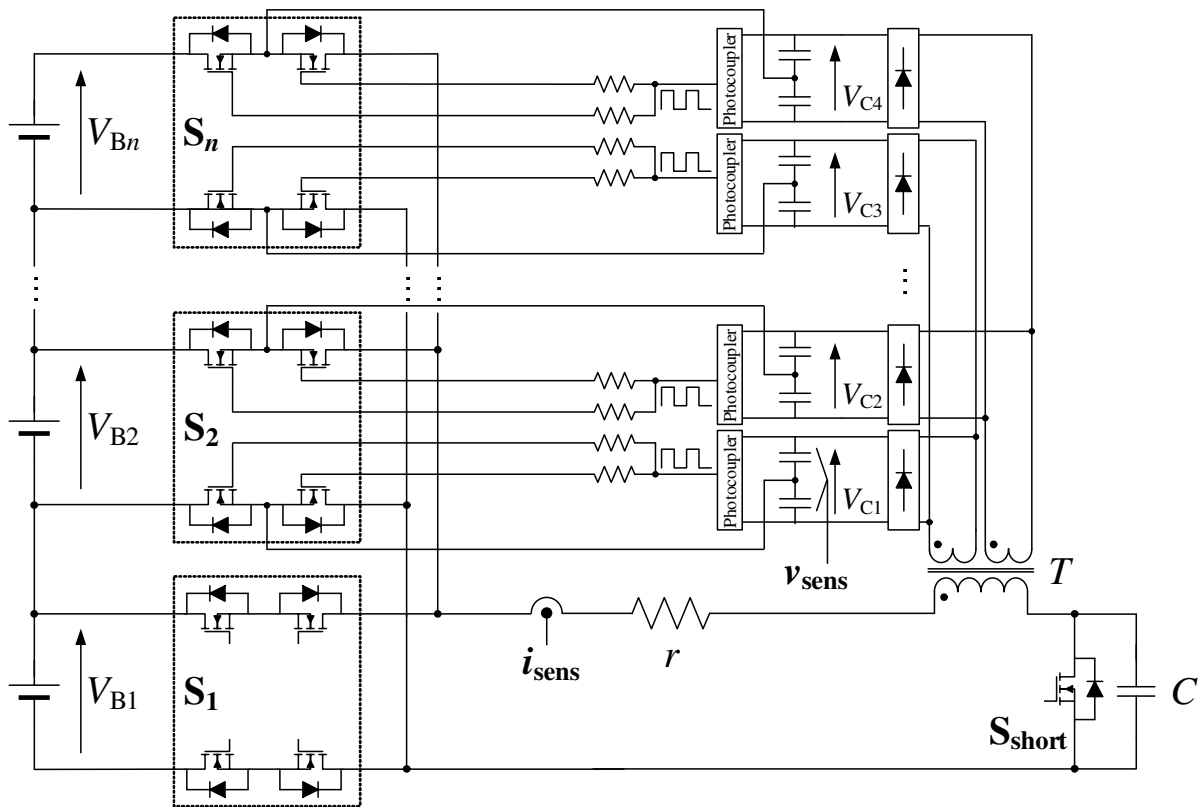
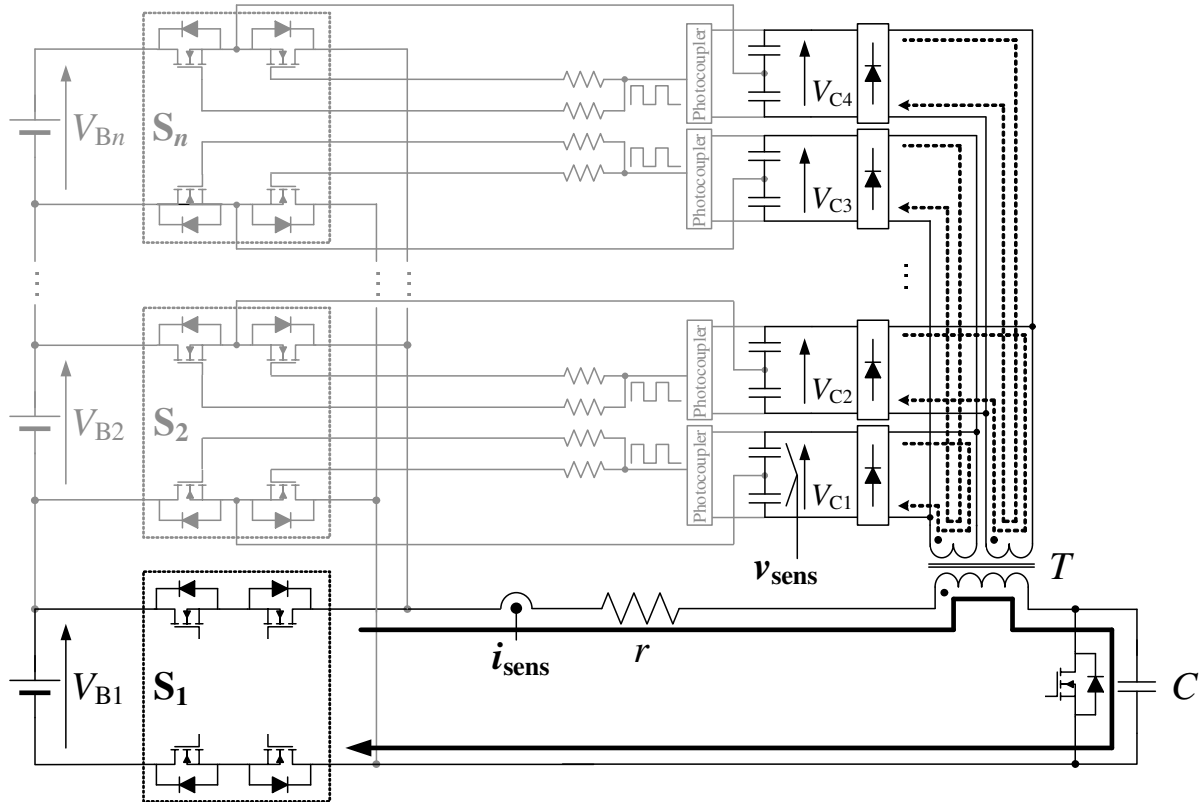


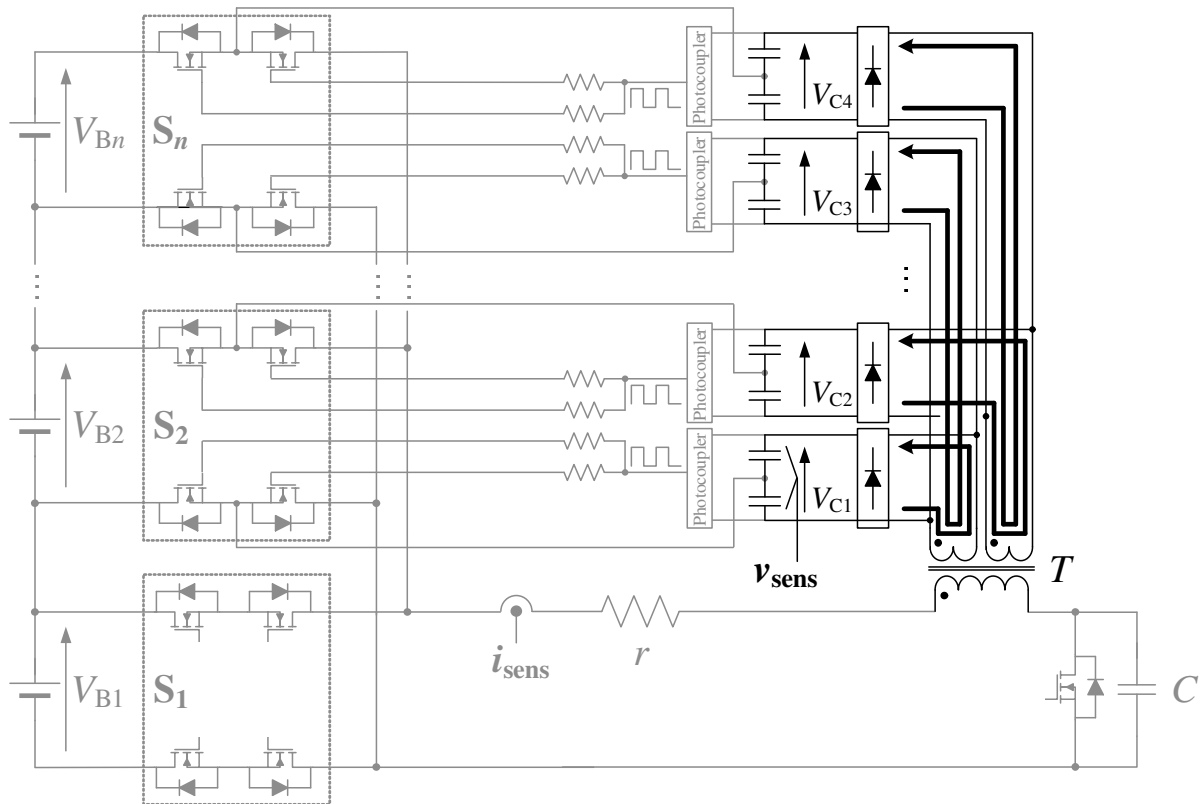
Fig. 5.2. Circuit configuration of the proposed cell voltage equalizer with a regenerative gate drive circuit.



5.1 回生型ゲート駆動回路を提案回路に適用した際の回路構成



(a) Equalization mode.



(b) Free-wheeling mode.

Fig. 5.3. Operation modes of the proposed regenerative gate drive circuit.

## 5.2 回生型ゲート駆動回路の制御法

本章で提案する回生型ゲート駆動回路では、均等化動作中の環流モードを利用してゲート駆動回路用電源を生成する。そのため、トランス  $T$  の2次側に伝送される電力は均等化電流に依存し、その電流の大きさによってゲート駆動回路用キャパシタに充電される電力が変化してしまう。したがって、ゲート駆動回路用キャパシタの電圧を、双方向スイッチを構成するスイッチング素子が正常に ON/OFF できる電圧範囲に制御する必要がある。

Fig. 5.4 に、本章で提案する回生型ゲート駆動回路の制御法のブロック図を示す。提案する制御法では、従来通りの均等化動作を行うと同時に、電圧センサによりゲート駆動回路用キャパシタの電圧  $v_{sens}$  を取得し、LPF(Low-Pass Filter) を掛けた値とヒステリシス特性を有する基準電圧  $V_{ref}$  を比較することで、短絡スイッチ  $S_{short}$  の ON/OFF を制御する。これにより、キャパシタ電圧  $v_{sens}$  が基準電圧  $V_{ref}$  よりも低い領域においては短絡スイッチ  $S_{short}$  を導通させることで、積極的に2次側へ電力を伝送する。また、ゲート駆動回路用キャパシタが十分に充電され、キャパシタ電圧  $v_{sens}$  が基準電圧  $V_{ref}$  よりも高い領域になると短絡スイッチ  $S_{short}$  を開放し、通常の均等化動作を行う。ここで、提案する制御法では1つのキャパシタ電圧  $v_{sens}$  のみを用いて制御を行っているが、これは3巻線トランス  $T$  および整流ダイオードの働きにより、全てのキャパシタ電圧が均衡するように各キャパシタへの充電動作が行われるためである。これによりセンサ数の増加を抑え、均等化回路の低コスト化に貢献する。また、均等化動作中に短絡スイッチ  $S_{short}$  が導通した場合、主回路側キャパシタ  $C$  を短絡することになるため、キャパシタ  $C$  電圧が最小となるタイミングで導通させることが望ましい。しかしながら、キャパシタ  $C$  の容量はバッテリーセルと比較すると十分に小さいこと、および制御簡易化のため、本制御法ではこの点について考慮していない。一例としては、LC 直列回路の共振周期からキャパシタ  $C$  電圧が最小となるタイミングを計算し、短絡スイッチ  $S_{short}$  を導通させることなどが考えられる。

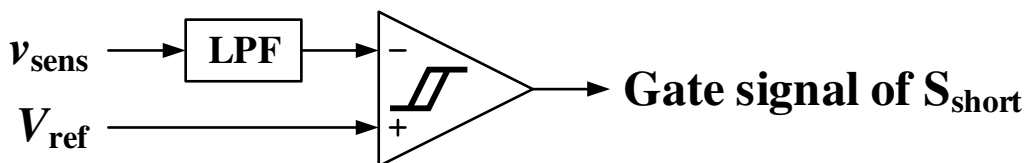


Fig. 5.4. Block diagram of the control method for the proposed regenerative gate drive circuit.

### 5.3 3巻線トランスの設計指針

本節では、回生型ゲート駆動回路に必要となる3巻線トランス  $T$  の設計指針を示す。ここで、Fig. 5.3に示した回生型ゲート駆動回路を適用した提案回路の動作について考えると、Fig. 5.3(a)に示した均等化モード中は従来の回路構成におけるインダクタ  $L$  と同様に均等化電流を抑制するとともにトランス  $T$  にエネルギーを蓄え、Fig. 5.3(b)に示した環流モードにおいてそのエネルギーを2次側に伝送している。これは、一般的なフライバックコンバータと類似の動作である。そこで本章の3巻線トランス  $T$  の設計にあたっては、回生型ゲート駆動回路と動作特性が似ているフライバックコンバータ用トランスの設計指針 [57] を参考にすることとした。なお、回生型ゲート駆動回路では Fig. 5.5(a)に示すような3巻線トランスを必要とするが、動作特性から1次巻線に対する2次巻線と3次巻線は対称構成であるため、設計の簡易化を目的として、本章では3巻線トランスを Fig. 5.5(b)に示すような2次側対称の3巻線トランスとして設計することとした。以下に、後述の実機実験で用いた3巻線トランス  $T$  の設計手順を示す。

まず、3巻線トランス  $T$  の設計にあたってはゲート駆動回路用電源の生成だけでなく、正常な均等化動作が行えるように設計する必要がある。そこで、先に均等化動作に必要なパラメータとして、1次側インダクタンス  $L_p$  (1次側漏れインダクタンス  $L_{l1}$  と相互インダクタンス  $L_m$  の合成値)、セル切替周期  $T_{CC}$ 、およびデッドタイム  $T_{dead}$  を決定する。1次側インダクタンス  $L_p$  については、均等化電流の制御性の観点から  $200 \mu\text{H}$  とした。これにより、セル切替周期  $T_{CC}$  は  $L_p$  および  $C = 800 \mu\text{F}$  の関係から、式 (2.11) を用いて  $0.80 \text{ ms}$  と求まる。また、デッドタイム  $T_{dead}$  は、使用したスイッチング素子の特性から  $100 \mu\text{s}$  とした。

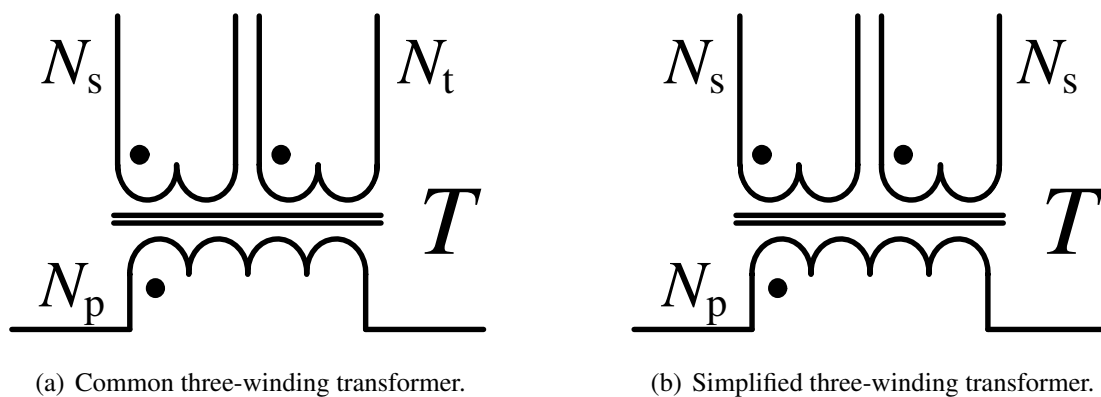


Fig. 5.5. Conceptual diagrams of three-winding transformers.

## 第5章 回生型ゲート駆動回路を用いたゲート駆動回路の簡素化

次にこれらを踏まえ、3巻線トランス  $T$  の設計を行う。文献 [57] によると、まずフライバック電圧  $V_{OR}$  を設定する。ここで、 $V_{OR}$  と通流率  $D (= \frac{T_{CC}}{T_{CC}+T_{dead}})$ 、入力電圧  $V_{in}$  には

$$D = \frac{V_{OR}}{V_{in} + V_{OR}} \quad (5.1)$$

の関係があるため、 $V_{in} = 3.0 \text{ V}$  とすれば  $V_{OR} = 22.0 \text{ V}$  と求まる。これにより、巻数比  $\frac{N_p}{N_s}$  は、出力電圧  $V_o = 30 \text{ V}$ 、およびダイオードブリッジの順方向電圧  $V_F = 1.0 \text{ V}$  とすると

$$\frac{N_p}{N_s} = \frac{V_{OR}}{V_o + V_F} = 0.71 \quad (5.2)$$

となる。ここで、 $L_p = 200 \mu\text{H}$  であるため、 $N_p$  は

$$N_p = \sqrt{\frac{L_p}{A_L}} = 9.23 \cong 10 \text{ turns} \quad (5.3)$$

と求まる。ただし、 $A_L$  は使用するコアの材質によって一意に決まる値であり、前述の計算では後述の実機実験で用いた TDK 社製 PC40-T22 の仕様値である、 $2350 [\text{nH}/\text{N}^2]$  を用いた。したがって、 $N_s$  は

$$N_s = \frac{N_p}{0.71} = 14.1 \cong 15 \text{ turns} \quad (5.4)$$

となる。

## 5.4 シミュレーションによる動作特性の検証

本章で提案する回路構成ならびに制御法の妥当性について検討するため、シミュレーションによる動作の検証を行った。本章のシミュレーションにおけるパラメータを Table 5.2 に示す。また、シミュレーションに用いた MOS-FET のパラメータを Table 5.3 に示す。本章のシミュレーション検討では、スイッチング素子のパラメータとして後述の実機実験を想定した値 [58] を用いた。なお、本章のシミュレーションならびに実機実験は回生型ゲート駆動回路の動作検証が目的であるため、接続するバッテリーモジュールは均等化動作の最小構成である 3 セルとした。

Table 5.2. Circuit parameters in the simulation for the proposed regenerative gate drive circuit.

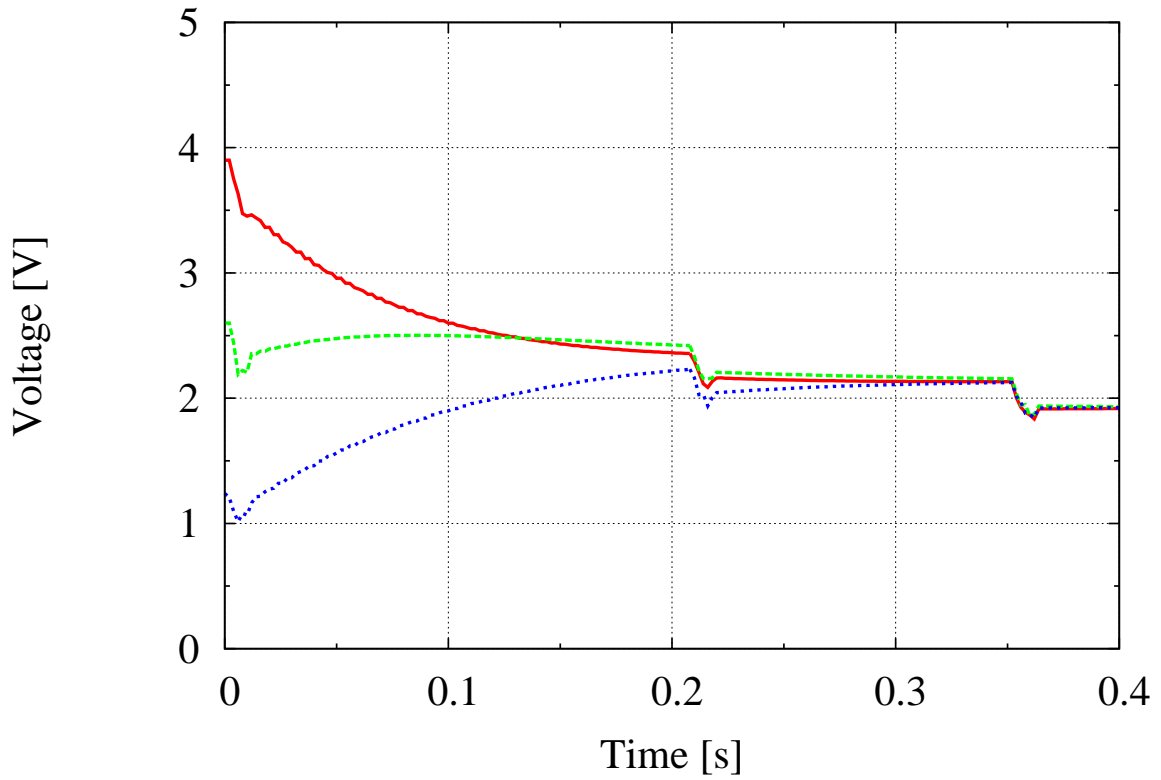
Number of cells $n$	3
Battery cell capacity	50 mF
ESR of each battery cell	100 m $\Omega$
Initial voltage of $V_{B1-B3}$	1.30–3.90 V (1.30 V step)
Transformer turn ratio $N_1:N_2:N_3$	5:5:5
Coil resistance $r_1, r_2, r_3$	50, 50, 50 m $\Omega$
Leakage inductance $L_{11}, L_{12}, L_{13}$	1.02, 1.02, 1.02 $\mu$ H
Mutual inductance $L_m$	50 $\mu$ H
ESR of the capacitor $C$	50 m $\Omega$
Capacitance $C$	470 $\mu$ F
Control frequency $f_{cnt}$	50 kHz
Cell change cycle $T_{CC}$	0.26 ms
Dead-time $T_{dead}$	20 $\mu$ s
Current limit value $i_{ref}$	5.0 A
Diode-bridge forward voltage $V_F$	1.0 V [59]
Reference voltage $V_{ref}$	15–30 V (hysteresis)
Cutoff frequency of the LPF	10 kHz

Table 5.3. Parameters of MOS-FETs [58] using in the simulation.

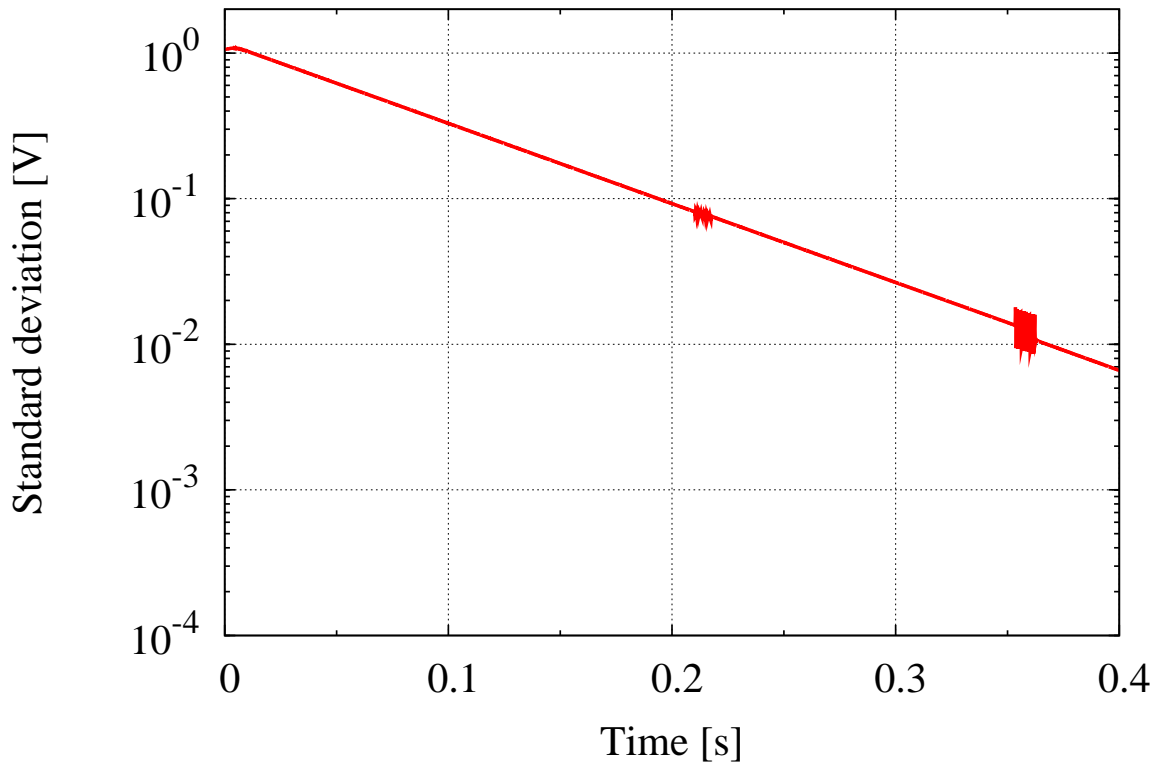
Drain-source breakdown voltage	40 V
Static on-resistance	1.4 m $\Omega$
Gate threshold voltage	2.5 V
Turn-ON time	827 ns @195 A
Turn-OFF time	355 ns @195 A
Body diode forward voltage	1.3 V @195 A

Fig. 5.6 に均等化動作時における各セル電圧，および電圧値の標準偏差のシミュレーション結果を示す。Fig. 5.6 より，各セル電圧のばらつきは時間とともに解消され，各セル電圧の標準偏差も 10 mV 以下の十分低い値まで低減されていることがわかる。したがって，本章にて提案する回路構成および制御法を用いても正常な均等化動作が可能であることが確認された。

ここで，各ゲート駆動回路用キャパシタ電圧  $V_{C1-C4}$  のシミュレーション結果を Fig. 5.7 に示す。Fig. 5.7 から，均等化動作初期において短絡スイッチ  $S_{short}$  の導通によりゲート駆動回路用キャパシタへの積極的な充電が行われていることがわかる。また，各ゲート駆動回路用キャパシタ電圧波形の傾きの変化から，キャパシタ電圧  $v_{sens}$  が基準電圧  $V_{ref}$  の上限値 (30 V) に達したところで短絡スイッチ  $S_{short}$  が開放され，通常の均等化動作に切り替わったことが確認できる。更に，均等化動作初期ならびに均等化動作中のどちらにおいても，3巻線トランス  $T$  および整流ダイオードの作用により各ゲート駆動回路用キャパシタ電圧  $V_{C1-C4}$  は均等に充電されていることも確認できる。ここで，Fig. 5.6(b) に着目すると，均等化動作の途中で標準偏差が急峻に変化している箇所を確認できる。これは Fig. 5.7 に示したように，ゲート駆動回路用キャパシタ電圧  $v_{sens}$  が基準電圧  $V_{ref}$  の下限値 (15 V) よりも低くなり短絡スイッチ  $S_{short}$  が導通して補充電が行われたことで，各セルの電圧が瞬間的に変動したためである。



(a) Voltages of each cell.



(b) Standard deviation.

Fig. 5.6. Simulation results of the proposed regenerative gate drive circuit.

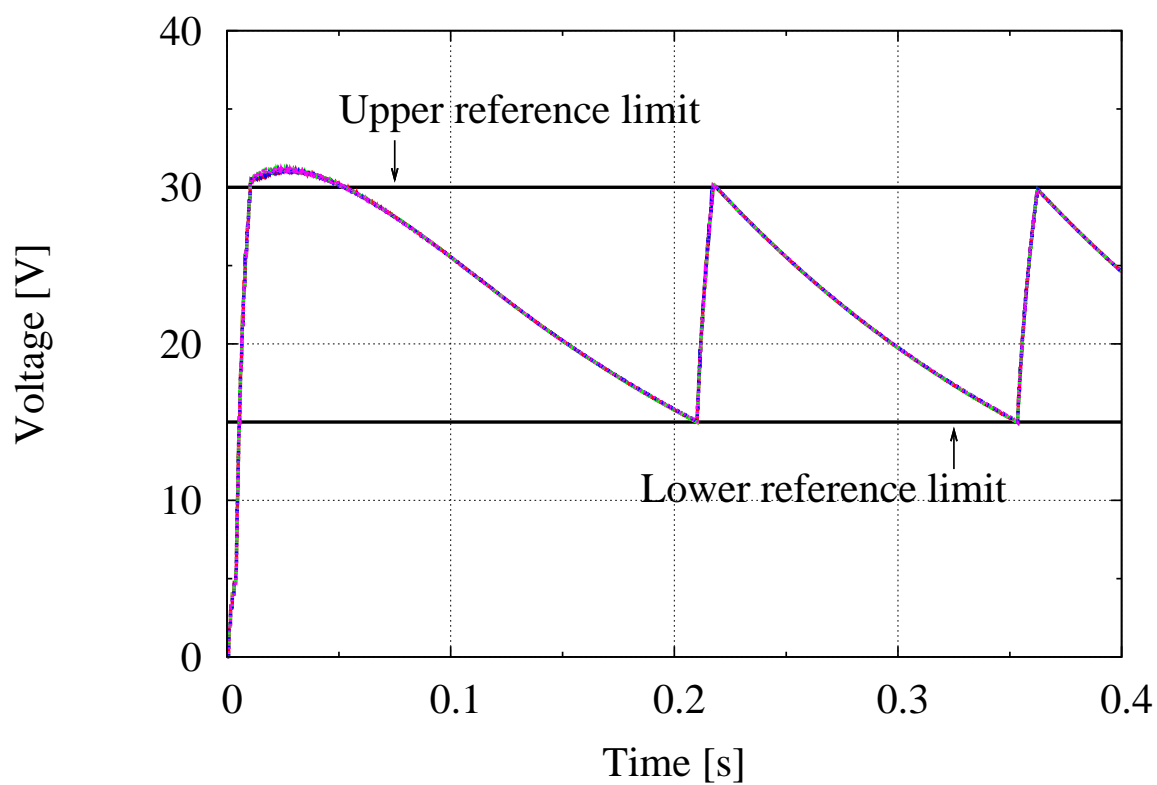


Fig. 5.7. Voltages of each gate drive capacitor  $V_{C1-C4}$ .



## 5.5 実機実験による動作特性の検証

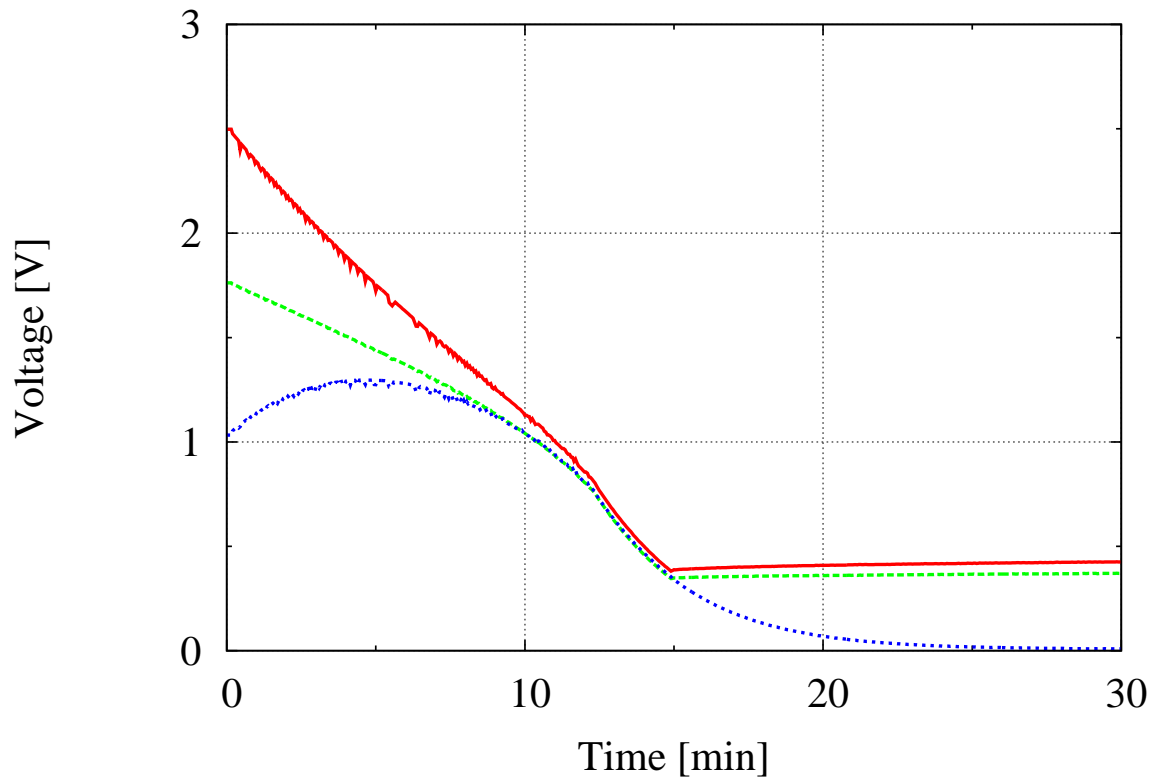
本章で提案する回路構成ならびに制御法の妥当性について検討するため、実機実験による動作の検証を行った。本実機実験におけるパラメータを Table 5.4 に示す。

Fig. 5.8(a) に均等化動作時における各セル電圧の実験結果を示す。Fig. 5.8(a) より、各セル電圧のばらつきは時間とともに解消されていることがわかる。したがって、本章にて提案する回路構成および制御法を用いても正常な均等化動作が可能であることが確認された。ここで、実験開始から5分経過時のゲート駆動回路用キャパシタ電圧  $V_{C1}$  の実験結果を Fig. 5.8(b) に示す。Fig. 5.8(b) から、電圧指令値  $V_{ref}$  の 15–30 V の間でヒステリシス制御が行われていることが確認できる。

一方で、再び Fig. 5.8(a) に着目すると、実験開始から約 15 分経過時点を境に再び各セル電圧のばらつきが増大していることが確認できる。これは、均等化動作に伴い各セルの電圧が低下し、ゲート駆動回路用電源の生成動作に必要な下限電圧を下回ったことで、 $S_2, S_3$  のスイッチング動作が停止したためである。回生型ゲート駆動回路では、ゲート駆動回路用電源の生成動作のために各バッテリーセルの電力が使用されるため、時間とともに各セルの電圧が低下するという特徴がある。したがって、回生型ゲート駆動回路を用いて安定的に均等化動作を行うためには、均等化動作の対象とするバッテリーモジュールが十分な充電容量を有すること、もしくはバッテリーモジュールが外部電源等により充電状態にあることが必要であると考えられる。

Table 5.4. Circuit parameters in the experiment for the proposed regenerative gate drive circuit.

Number of cells $n$	3
Battery module type	EDLC
Battery cell capacity	60 F
ESR of each battery cell	32 m $\Omega$
Initial voltage of $V_{B1-B3}$	1.00–2.50 V (0.75 V step)
Transformer turn ratio $N_1:N_2:N_3$	10:15:15
Coil resistance $r_1, r_2, r_3$	143, 309, 332 m $\Omega$
Leakage inductance $L_{11}, L_{12}, L_{13}$	3.4, 5.9, 6.0 $\mu$ H
Mutual inductance $L_m$	178 $\mu$ H
ESR of the capacitor $C$	11 m $\Omega$
Capacitance $C$	788 $\mu$ F
Control frequency $f_{\text{cnt}}$	50 kHz
Cell change cycle $T_{\text{CC}}$	0.80 ms
Dead-time $T_{\text{dead}}$	100 $\mu$ s
Current limit value $i_{\text{ref}}$	5.0 A
Diode-bridge forward voltage $V_{\text{F}}$	1.0 V
Reference voltage $V_{\text{ref}}$	15–30 V (hysteresis)
Cutoff frequency of the LPF	10 kHz



(a) Voltages of each cell.

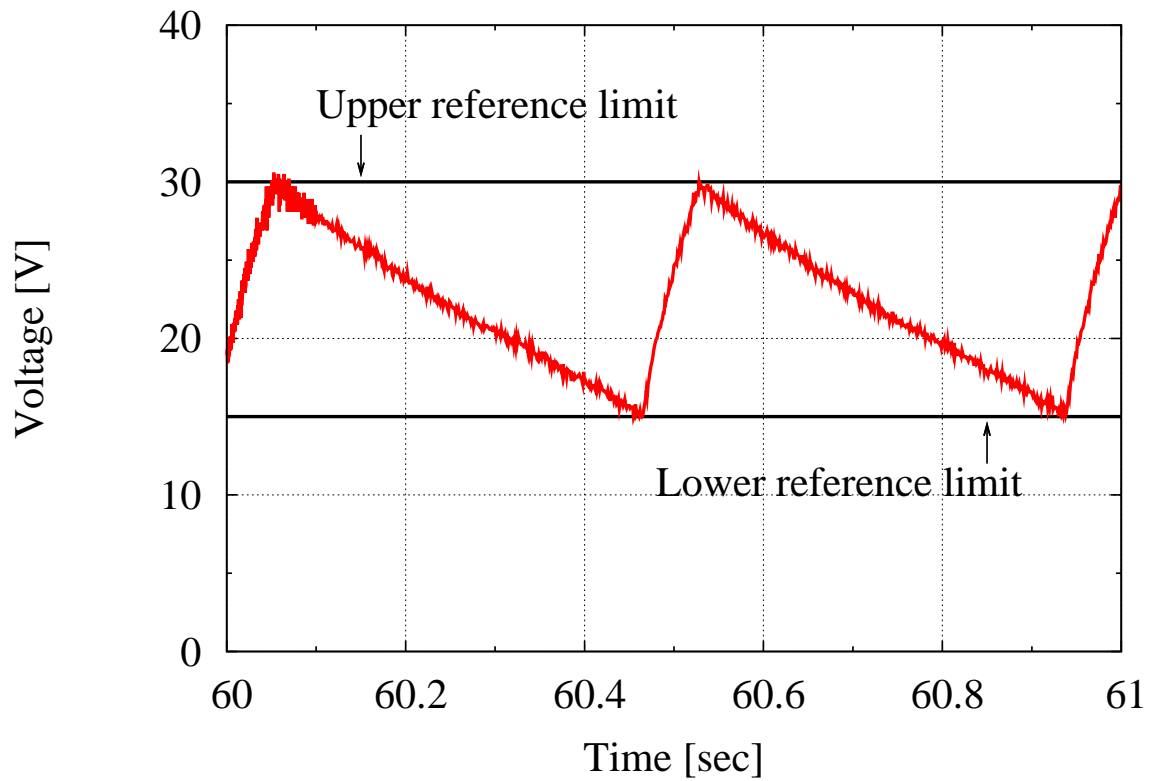
(b) Voltage of the gate drive capacitor  $V_{C1}$ .

Fig. 5.8. Experimental results of the proposed regenerative gate drive circuit.

## 5.6 バッテリモジュール充電時の動作特性

前節までの結果から、提案回路に回生型ゲート駆動回路を適用した場合、時間の経過とともに各セル電圧のばらつきが小さくなっている一方で、各セルの電圧が徐々に低下し、最終的には均等化動作が停止していることが明らかとなった。これは、回生型ゲート駆動回路を用いた場合、ゲート駆動回路用電源の生成動作のために各バッテリーセルの電力が使用されることで各セルの電圧が低下し、動作に必要な下限電圧を下回ったためである。したがって、回生型ゲート駆動回路を用いて安定的に均等化動作を行うためには、均等化動作の対象とするバッテリーモジュールが十分な充電容量を有すること、もしくはバッテリーモジュールが外部電源等により充電状態にあることが求められる。

そこで本節では、回生型ゲート駆動回路を適用した提案回路について、接続されたバッテリーモジュールが充電状態にある場合における均等化動作ならびにゲート駆動回路用電源生成動作の特性について、EDLC モジュールを使用した実機実験により検討した。

本検討における実験条件を Table 5.5 に示す。バッテリーモジュールの充電については、Fig. 5.9 中の破線部に示すように EDLC モジュールと並列に外部電源を接続し、外部電源により EDLC モジュールが CC-CV 充電 (定電流-定電圧充電) されるよう維持しながら実験を行った。

各セルの電圧、および各セル電圧の標準偏差の推移を Fig. 5.10 に示す。Fig. 5.10 より、各セル電圧のばらつきは CC 充電時と CV 充電時のどちらにおいても、時間の経過とともに解消されていることがわかる。また、各セル電圧の標準偏差に着目すると、EDLC 均等化動作の一般的な指標である 10 mV 以下 [4] となっていることから、回生型ゲート駆動回路を適用した提案回路は、接続されたバッテリーモジュールが充電状態にある場合においても十分な均等化動作が可能であることが確認された。

Table 5.5. Circuit parameters in the experiment for the proposed regenerative gate drive circuit (in charging state).

Number of cells $n$	3
Battery module type	EDLC
Battery cell capacity	60 F
ESR of each battery cell	32 m $\Omega$
Initial voltage of $V_{B1-B3}$	0.50–1.00 V (0.25 V step)
Transformer turn ratio $N_1:N_2:N_3$	10:15:15
Coil resistance $r_1, r_2, r_3$	143, 309, 332 m $\Omega$
Leakage inductance $L_{11}, L_{12}, L_{13}$	3.4, 5.9, 6.0 $\mu$ H
Mutual inductance $L_m$	178 $\mu$ H
ESR of the capacitor $C$	11 m $\Omega$
Capacitance $C$	788 $\mu$ F
Control frequency $f_{cnt}$	50 kHz
Cell change cycle $T_{CC}$	0.80 ms
Dead-time $T_{dead}$	100 $\mu$ s
Current limit value $i_{ref}$	5.0 A
Diode-bridge forward voltage $V_F$	1.0 V
Reference voltage $V_{ref}$	15–30 V (hysteresis)
Cutoff frequency of the LPF	10 kHz
CC-CV charging limit value	0.20 A–6.00 V

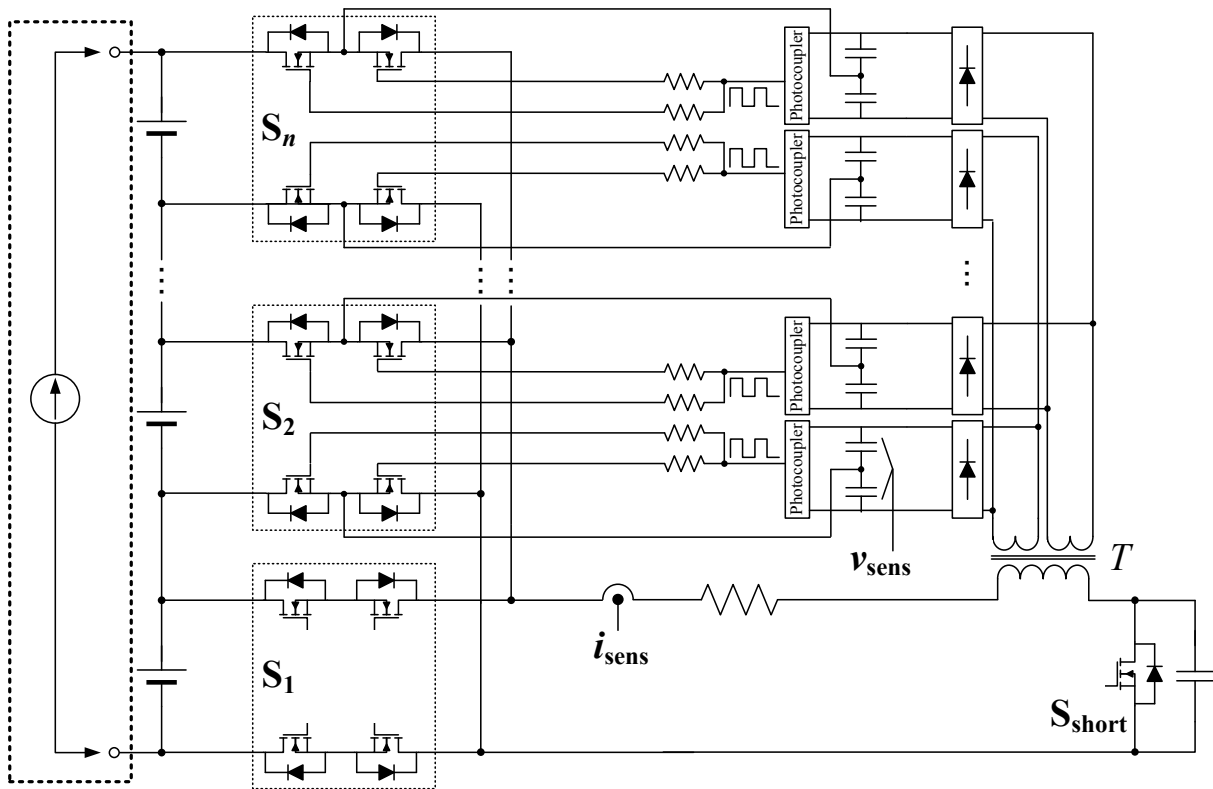
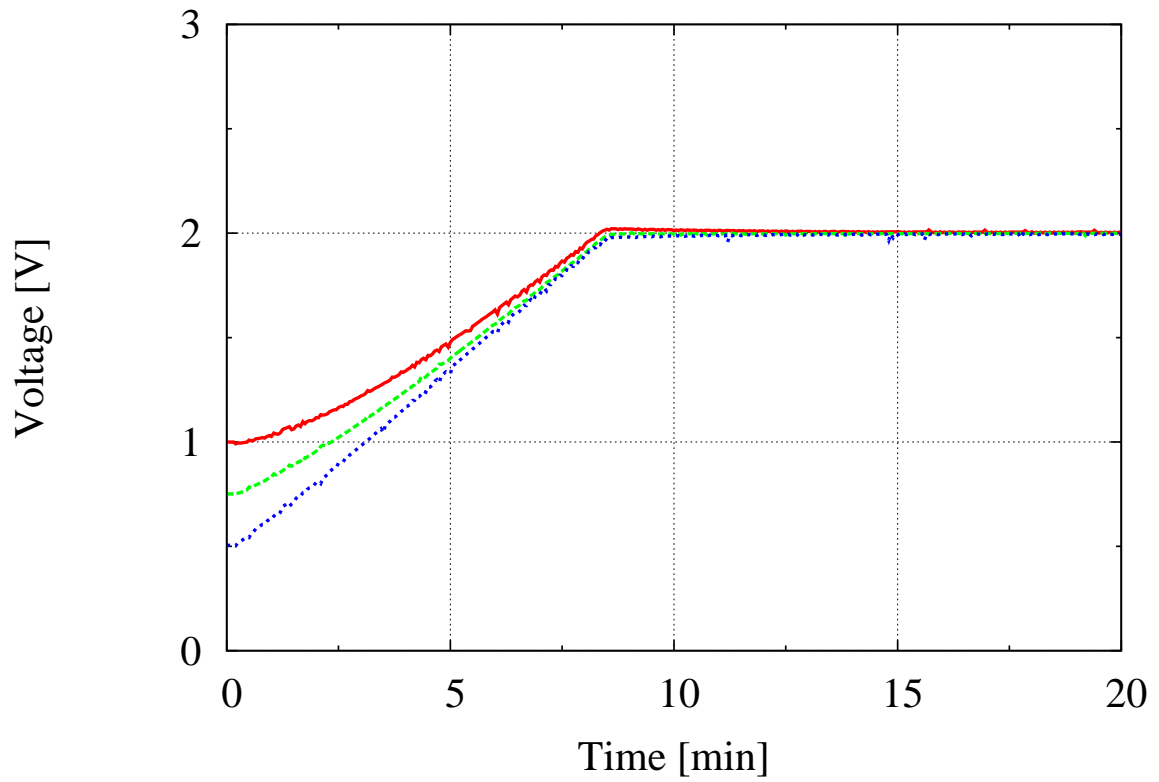
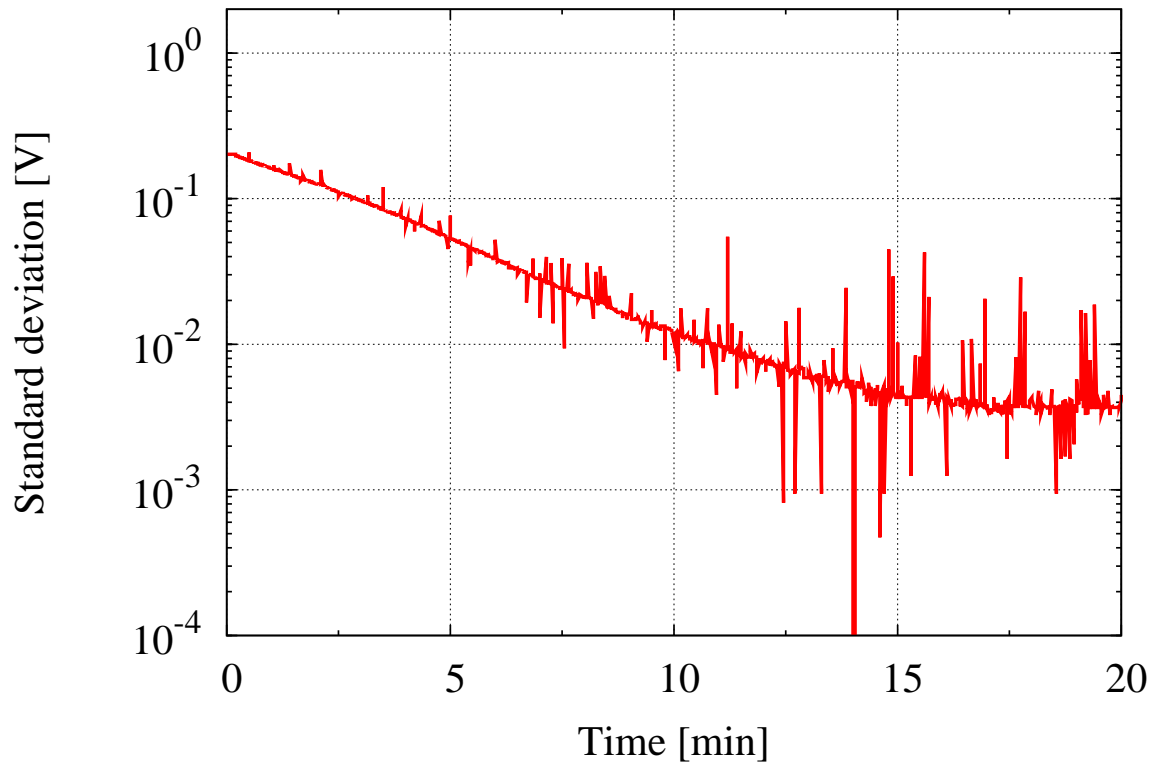


Fig. 5.9. Connection diagram of a battery module with an external power supply.



(a) Voltages of each cell.



(b) Standard deviation of each cell voltage.

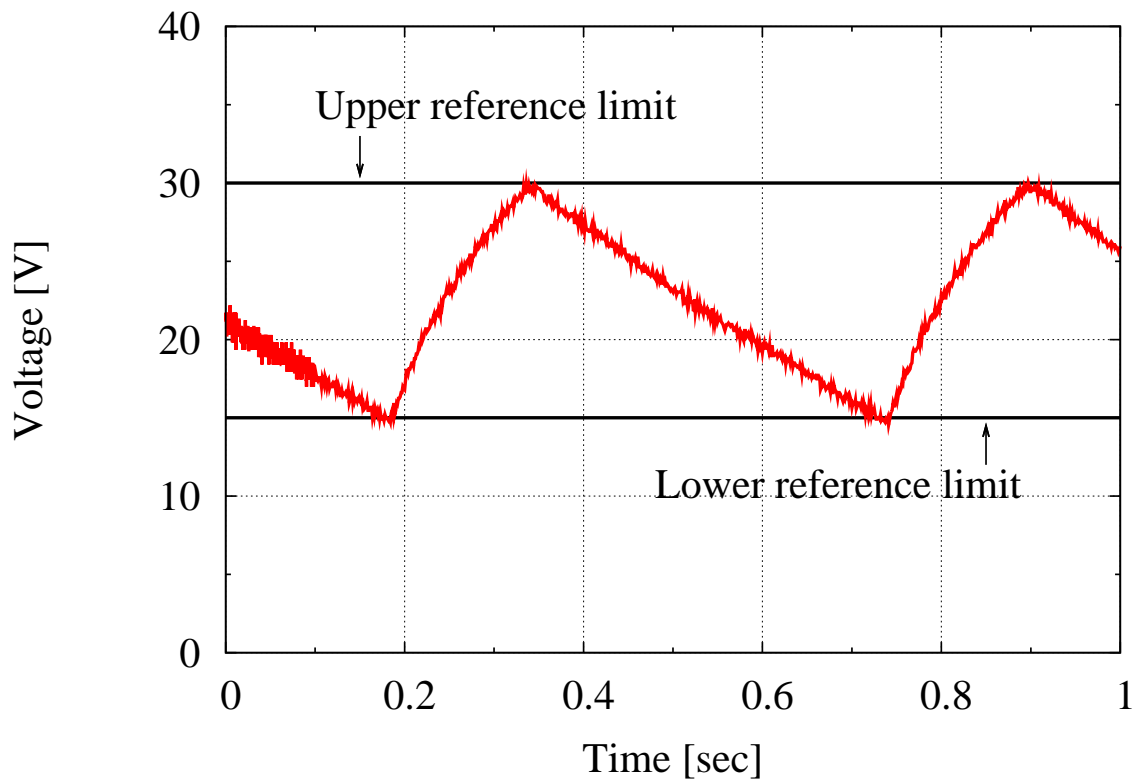
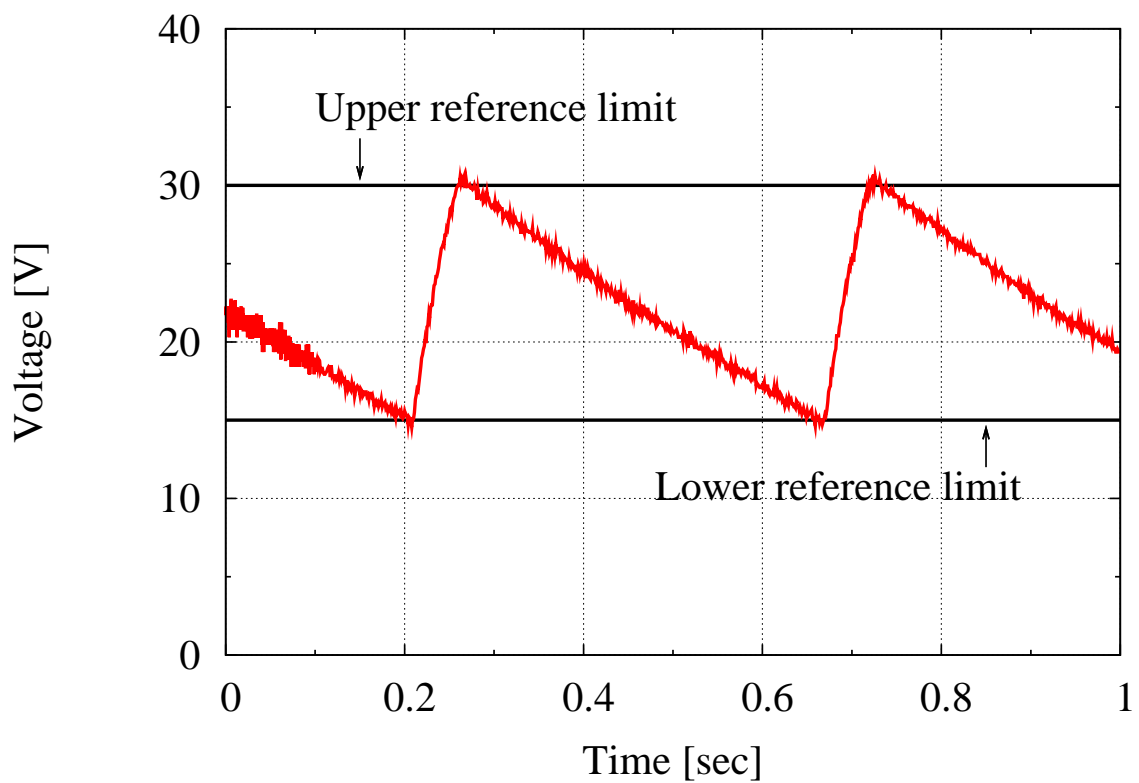
Fig. 5.10. Experimental results of the proposed regenerative gate drive circuit (in charging state).

## 第5章 回生型ゲート駆動回路を用いたゲート駆動回路の簡素化

ここで、均等化動作開始から5分経過時点(CC充電時)と15分経過時点(CV充電時)における $V_{Cl}$ の波形を、それぞれFig. 5.11と5.12に示す。両図より、CC充電時とCV充電時のどちらにおいても、 $V_{Cl}$ が本実験における電圧指令値 $V_{ref}$ (15–30 V)内に制御されていることがわかる。したがって、回生型ゲート駆動回路では、提案回路に接続されたEDLCモジュールの充電状態に依存することなく、ゲート駆動回路用電源の生成動作が可能であることが確認された。

なお、Fig. 5.10(b)に示した標準偏差の推移に着目すると、時折スパイク状の変動が認められた。これは、回生型ゲート駆動回路のゲート駆動回路用電源生成動作に伴うスイッチ $S_{short}$ のオン/オフによって3巻線トランスの1次側電流が急変し、各セルの電圧が急峻に変動したためである。本来であれば前述の変動はFig. 5.11, 5.12に示した $S_{short}$ のオン/オフに伴って現れるものであるが、使用した測定機器のサンプリング速度上の制約によりFig. 5.10(b)のような波形となった。本論文中では、回生型ゲート駆動回路を適用した際の均等化時間の変化については検証していないが、今後均等化時間の変化について検討していく上では、適切なデータ処理に基づき、標準偏差のスパイク状の変動を除外して評価する必要がある。



Fig. 5.11. Voltage of the gate drive capacitor  $V_{C1}$  (under CC charging period,  $t = 5$  min).Fig. 5.12. Voltage of the gate drive capacitor  $V_{C1}$  (under CV charging period,  $t = 15$  min).

## 5.7 第5章のまとめ

本章では、第2章にて示した提案回路の課題の1つである双方向スイッチの構成に対して、2つの $n$ チャネルMOS-FETを逆直列に接続した構成とすることで高い制御性を有するとともに、それらのゲート駆動回路を簡素化することが可能な回生型ゲート駆動回路およびその制御法を提案した。更に、シミュレーションと実機実験により動作特性の検証を行い、本章で提案する回生型ゲート駆動回路の有用性について検討した。シミュレーションおよび実機実験の結果から、本章で提案する回生型ゲート駆動回路を用いることで、バッテリーモジュールのセル数が増加した場合においても3つのコンバータのみでゲート駆動回路を構成することが可能であり、バッテリーモジュールが外部電源により充電されている場合においては、より安定的な均等化動作が可能であることを確認した。

なお、本章で提案した回生型ゲート駆動回路はゲート駆動回路用コンバータの削減が目的であるため、本論文においては回生型ゲート駆動回路を使用した場合と一般的なコンバータを使用した場合の、均等化動作の効率については比較検討を行っていない。しかしながら、均等化動作の効率改善は提案回路の目的の1つであることから、回生型ゲート駆動回路を使用した場合の均等化動作の効率についても、今後検討すべき課題であると考えらる。

## 第6章 結論

本論文では、蓄電装置の需要拡大に伴って必要性が増しているセル電圧均等化回路の更なる有用性向上を目的とし、各種従来回路が抱える課題に着目した新たなセル電圧均等化回路として、LC直列回路方式セル電圧均等化回路の提案、および提案回路の価値の更なる向上を目的とした制御法ならびに回路構成に関する研究成果についてまとめた。

第1章では、蓄電装置の需要の高まりから、セル電圧均等化回路が今後益々必要とされる背景について述べるとともに、従来回路が抱える課題を示し、本論文における研究の目的を明確化した。

第2章では、第1章にて示した従来回路が抱える課題に対して、アクティブ方式の採用による蓄電エネルギーの有効活用、均等化電流の動的な制御性、ならびに一時的なエネルギー貯蔵のために必要な受動素子数の削減に着目した新たなセル電圧均等化回路として、LC直列回路方式セル電圧均等化回路を提案した。更に、シミュレーションと実機実験により均等化動作特性の検証を行い、セル電圧均等化回路としての提案回路の有用性について検討した。加えて実機実験の結果から、提案回路は従来のパッシブ型のセル電圧均等化回路と比較して、均等化動作の効率を向上可能であることを示した。最後に、提案回路の更なる価値向上を目的として、均等化時間と双方向スイッチの構成という提案回路特有の課題についても合わせて整理した。

第3章では、第2章にて示した提案回路が抱える課題の1つである均等化時間に対して、疑似乱数列を利用してセルの切替順をランダムとすることで各バッテリーセルの初期条件による影響を小さくし、均等化時間を低減可能な制御法(疑似乱数法)を提案した。更に、シミュレーションと実機実験により均等化動作特性の検証を行い、疑似乱数法の有用性について検討した。加えてシミュレーションおよび実機実験の結果から、疑似乱数法は従来の制御法と比較して均等化時間を概ね低減可能であること、また各バッテリーセルの初期条件に依存することなく、平均的な均等化時間を低減可能であることを示した。

第4章では、第2章にて示した提案回路が抱える課題の1つである均等化時間に対して、均等化動作時に流れる電流の向きから各バッテリーセル電圧の大小関係を推定し、バッテリーモジュール内で電圧が最も高いセルと最も低いセルとの間で選択的に均等化動作を行うことで均等化時間を低減可能な制御法(大小関係推定法)を提案した。更に、シミュレーションおよび実機実験

## 第6章 結論

により均等化動作特性の検証を行い、大小関係推定法の有用性について検討した。加えてシミュレーションおよび実機実験の結果から、大小関係推定法は従来の制御法と比較して均等化時間を低減可能であること、また各バッテリーセル電圧のばらつき状況に合わせた均等化動作が可能であることを示した。

第5章では、第2章にて示した提案回路が抱える課題の1つである双方向スイッチの構成に対して、2つの $n$ チャネルMOS-FETを逆直列に接続した構成とすることで高い制御性を有するとともに、それらのゲート駆動回路用コンバータ数を削減可能な回生型ゲート駆動回路およびその制御法を提案した。更に、シミュレーションおよび実機実験により均等化動作特性ならびにゲート駆動回路用電源の生成動作特性の検証を行い、回生型ゲート駆動回路の有用性について検討した。加えてシミュレーションおよび実機実験の結果から、回生型ゲート駆動回路を用いることでバッテリーモジュールのセル数が増加した場合においても3つのコンバータのみで提案回路のゲート駆動回路を構成することが可能であること、バッテリーモジュールが外部電源により充電されている場合においては安定的な均等化動作ならびにゲート駆動回路用電源の生成動作が可能であることを示した。

以上の結果から、本論文で提案したLC直列回路方式セル電圧均等化回路は従来回路と比較してアクティブ型の採用による均等化動作の効率向上、均等化電流の動的な制御性、インダクタやキャパシタ等の一時的なエネルギー貯蔵のための受動素子数の削減といった点で優位性を有し、提案回路を用いることで多くのバッテリーモジュールを有する蓄電装置に対して高性能なセル電圧均等化回路を容易に適用可能となる。これにより、蓄電装置をより長期間安定的に運用可能となることで、ひいてはスマートグリッドに代表される電力の賢い利用が広く普及する一因となることが期待される。したがって、本論文はセル電圧均等化回路の有用性向上に大きく寄与したものと考えられる。

最後に今後の展望について述べる。本論文で提案したLC直列回路方式セル電圧均等化回路は、従来回路と比較して前述のような優位性を有することが確認された一方で、最適な回路パラメータ設計手法の導出や均等化動作効率ならびに均等化時間を最小化可能な制御手法の構築など、更なる有用性向上の余地が未だ多く残されている。また、本論文中では提案回路を単純なセル電圧均等化回路としてのみ議論してきたが、多くの双方向スイッチを有している点やLC直列回路部に近接したダイオードの端子間電圧を計測することで均等化動作と同時に各セルの電圧を計測可能である点などを考慮すると、制御法の工夫により提案回路をセルの状態を監視する回路としても利用可能であると考えられ、提案回路の更なる価値向上が期待できる。更に、セル電圧均等化回路を利用することでバッテリーモジュール中に多少劣化したバッテリーセルを含む場合でもバッテリーモジュールとしての充放電容量を最大限活用することが可能となるため、

提案回路のセル電圧均等化機能と前述のセル監視機能を統合した上で制御法を工夫すれば、電気自動車等で使用できなくなった中古電池の活用範囲をより広げることによって提案回路が貢献できると考えている。これらの点について今後も引き続き検討を進め、提案回路の更なる有用性向上を目指したい。



# 謝辞

本論文は、著者が東京理科大学、公益財団法人鉄道総合技術研究所、ならびに公立諏訪東京理科大学において実施したセル電圧均等化回路に関する研究成果をまとめたものであり、その間、多くの方々よりご指導ならびにご支援を賜りました。稿を終えるにあたり、ご関係の皆様  
に心より感謝申し上げます。

東京理科大学理工学部電気電子情報工学科教授 星伸一先生には、学部3年の特別講義から8年間に渡り、終始懇切丁寧なご指導を賜りました。パワーエレクトロニクスという分野の奥深さを知り、学位論文をまとめられるまでに興味を惹かれたのもひとえに、学生の自主性を尊重しつつも常に最大限のバックアップをしてくださる星先生のご支援の賜物と強く実感しております。星研究室のように学生が生き活きと研究活動に取り組める環境を作ることは並大抵のことではないと愚察いたしますが、星先生からご教授いただいた研究者、そして教育者としての在り方を深く心に刻み、星先生のような教員となれるよう、今後とも邁進して参る所存です。人生の恩師として、ここに甚大なる謝意を表します。

東京理科大学理工学部電気電子情報工学科教授 木村真一先生ならびに永田肇先生、同学部機械工学科教授 早瀬仁則先生、同大学工学部電気工学科教授 小泉裕孝先生には、博士論文審査会委員として貴重なご指摘やご助言を賜りました。特に、学位論文としてのストーリー性や根拠となるデータの並立性および一般性など、他の学術論文とは別様な、学位論文を執筆する上での重要な考え方をご教授いただいたことで、改めてこれまでの研究成果を振り返る良い機会となり、論文の完成度を一段と高めることができました。ここに深謝の意を表します。

元東京理科大学理工学部電気電子情報工学科助教 春名順之介先生(現宇都宮大学大学院工学研究科電気電子システム工学専攻助教)ならびに内田晃介先生(現茨城大学大学院理工学研究科電気電子システム工学領域助教)には、星研究室でのゼミなどを通して本研究へのご指導を賜りました。中でも、大学で研究を進めるに際してアプリケーションを見据えることの重要性につきましては、共同研究などに数多く取り組まれてきた先生方ならではのご視点であり、今でも折りに触れ省察するよう心掛けております。深謝申し上げるとともに、先生方のご健康と今後益々のご活躍を心よりお祈り申し上げます。

星研究室の皆様には、先輩後輩同期の垣根なく良い関係を築いてくださりありがとうございます

## 謝辞

ました。日頃の議論等を通じて多くのことを学ばせていただいただけでなく、昼夜を問わず共に苦楽を分かち合える仲間がいたことが、これまで本研究を継続してこれた大きな要因であることは疑いようがありません。特に、修士課程までは先輩後輩として、そして博士後期課程からは同期として互いに切磋琢磨してきた太田涼介氏には、研究面だけでなく、遠隔地に住む著者に代わって様々な手続きを代行していただきました。ここに深く感謝申し上げます。

公益財団法人鉄道総合技術研究所の皆様には、研究に関するアドバイスだけでなく、業務面や精神面など多岐にわたるご支援を賜りました。まず、就職と進学で迷っていた著者に、鉄道電気の魅力溢れる世界を学ぶ機会を与えていただいた同研究所車両制御技術研究部主管研究員小笠正道氏に深謝申し上げます。若いうちから鉄道技術の根幹に触れられる鉄道総合技術研究所に身を置けたことは、これまでに自身が抱いていた研究者に対する価値観を変える大変良い機会となりました。また、若輩者であるにも関わらず、現地試験など多くの機会を通じて最新の鉄道技術を直に学ばせていただいたばかりか、社会人として博士後期課程に進学する機会を与えていただいた同研究所電力技術研究部前部長 兎束哲夫博士(現国際業務部次長)、同研究部部長 池田充氏、同研究部き電研究室室長 重枝秀紀博士をはじめとする電力技術研究部の皆様に深謝の意を表します。更に、入所当初から現在に至るまで、継続して公私に渡る良い関係を築いていただいた平成27年度入所の同期16名に心より御礼申し上げます。鉄道総合技術研究所で過ごした3年間は、大学という場所だけでは経験できない大変有意義な毎日の連続でした。皆様には与えていただいたばかりで何もお返しできておりませんが、3年間での経験を今後の研究に活かしていけるよう、更に精進して参る所存です。

公立諏訪東京理科大学学長 河村洋先生、同大学副学長 小越澄雄先生、同大学工学部機械電気工学科教授 大島政英先生をはじめとする教職員の皆様には、未熟者である私を一教員として迎え入れていただいたばかりでなく、学位取得に向けて多くのご支援を賜りました。特に、博士論文審査が始まってからは業務面でも多大なるご高配を賜り、おかげさまで本論文を無事に完成させることができました。ここに深謝申し上げます。また、大島研究室の皆様には日頃より教員と学生を超えた良い関係を築いていただきました。皆様の若い力に元気を貰いながら、楽しく研究を進めることができました。皆様のご健康とご活躍をお祈り申し上げます。

末筆ながら、これまで幾度もの人生の岐路に立ったとき、自身が思う道に進むことに対して常に温かく見守りながらも、有り余るほどの支援を続けてくれた両親に深く感謝いたします。そして、博士後期課程への進学、大学への転職などに際して、いつでも優しくそっと背中を押してくれた妻に深甚なる謝意を表します。

2019年3月

佐藤大記



## 参考文献

- [1] “Introduction of MHI’s Products & Technologies for Energy & Environment,” *MHI Tech Seminar*, Sept., (2012).
- [2] KYUSYU ELECTRIC POWER CO., INC: “Nuclear & Environment & Energy”,  
<http://www.kyuden.co.jp/enev~index.html>  
(最終アクセス: 2018/12/24).
- [3] Clement-Nyns, K., Haesen, E., Driesen, J.: “The Impact of Charging Plug-In Hybrid Electric Vehicles on a Residential Distribution Grid”, *IEEE Transactions on Power System*, Vol.25, No.1, pp.371–380, (2010).
- [4] Uno M., Kukita A.: “Double-Switch Equalizer Using Parallel- or Series-Parallel-Resonant Inverter and Voltage Multiplier for Series-Connected Supercapacitors,” *IEEE Transactions on Power Electronics*, Vol.29, No.2, pp.812–828, (2014).
- [5] Tochimitsu Tanaka: “Project of Large Power Storage System Demonstration”, *The Journal of The Institute of Electrical Engineers of Japan*, Vol.135, No.6, pp.380, (2015) (in Japanese)  
田中俊光: “大型蓄電システム実証事業について”, 電気学会誌, Vol.135, No.6, pp.380, (2015).
- [6] Yoichiro Tashiro: “The Latest Trend of Grid connected Electric Energy Storage System Application and International Standards”, *The Journal of The Institute of Electrical Engineers of Japan*, Vol.137, No.7, pp.434–437, (2017) (in Japanese)  
田代洋一郎: “蓄電池システムの電力利用と国際規格化の最新動向”, 電気学会誌, Vol.137, No.7, pp.434–437, (2017).
- [7] Hiroshi Nagashima, Atsushi Kajiwara, Kenshi Iihoshi, Yasunori Kai: “Supply and Demand Balance Improvement using 300MWh-class Storage System”, *IEEJ Transactions on Power and Energy*, Vol.137-B, No.10, pp.671–677, (2017) (in Japanese)  
長嶋洋, 梶原淳史, 飯干憲志, 甲斐靖規: “300MWh級蓄電システムを用いた需給バランス改善への取組”, 電気学会論文誌 B, Vol.137-B, No.10, pp.671–677, (2017).

## 参考文献

- [8] Atsushi Ishigame, Toshikazu Shibata: “Trends and Application of Large Scale Storage Battery Systems”, *The Journal of The Institute of Electrical Engineers of Japan*, Vol.138, No.2, pp.78–81, (2018) (in Japanese)  
石亀篤司, 柴田俊和: “大型蓄電池技術の現状と実証事例”, 電気学会誌, Vol.138, No.2, pp.78–81, (2018).
- [9] Nissan Motor Co., Ltd.: “EV Cascade Reuse Project”,  
<https://newsroom.nissan-global.com/releases/181120-02-j/>  
(最終アクセス: 2018/12/24).
- [10] Moon-Young Kim, Chol-Ho Kim, Jun-Ho Kim, Gun-Woo Moon: “A New Chain Structure of Switched Capacitor for Fast Cell Balancing of Lithium-ion Batteries”, *Proceedings of Korea-Japan Joint Technical Workshop on Semiconductor Power Converter*, KIPE-S2-02, pp.129–134, (2012).
- [11] M. Uno, K. Tanaka: “Single-Switch Cell Voltage Equalizer Using Multistacked Buck-Boost Converters Operating in Discontinuous Conduction Mode for Series-Connected Energy Storage Cells,” *IEEE Transactions on Vehicular Technology*, Vol.60, No.8, pp.3635–3645, (2011).
- [12] Hukuyama Yuichi: “The battery pack charging device.”, *Japan Patent*, Kokai Heisei 8-19188, (1996) (in Japanese)  
福山雄一: “組電池の充電装置”, 日本特許, 特開平 8-19188, (1996).
- [13] T. A. Stuart, W. Zhu: “Fast equalization for large lithium ion batteries,” *IEEE Aerospace and Electronic Systems Magazine*, Vol.24, No.7, pp.27–31, (2009).
- [14] Masatoshi Uno, Akio Kukita, Koji Tanaka: “Electric Double-Layer Capacitor Module with Series-Parallel Reconfigurable Cell Voltage Equalizers”, *IEEJapan Transactions on Industry Applications*, Vol.131-D, No.5, pp.729–738, (2011) (in Japanese)  
鵜野将年, 久木田明夫, 田中孝治: “直並列切替式セル電圧バランス回路を用いた電気二重層キャパシタモジュール”, 電気学会論文誌 *D*, Vol.131-D, No.5, pp.729–738, (2011).
- [15] Sugimoto Shigeyuki, Ogawa Shigeaki, Katsukawa Hiroyuki, Mizutani Hiroshi, and Okamura Michio: “Study on Series-Parallel Changeover Circuit of Capacitor Bank for Energy Storage System Utilizing Electric Double-Layer Capacitors”, *IEEJ Transactions on Power and Energy*, Vol.122-B, No.5, pp.607–615, (2002) (in Japanese)

杉本重幸, 小川重明, 勝川裕幸, 水谷浩, 岡村 廻夫: “電気二重層キャパシタ電力貯蔵装置のバンク直並列切替回路の検討”, 電気学会論文誌 *B*, Vol.122-B, No.5, pp.607–615, (2002).

- [16] Analog Devices: “LTC3300-1, High Efficiency Bidirectional Multicell Battery Balancer”, (2013) (in Japanese)  
Analog Devices: “LTC3300-1, 高効率の双方向マルチセル・バッテリー・バランサ”, (2013).
- [17] Y. Shang, B. Xia, F. Lu, C. Zhang, N. Cui, C. C. Mi: “A Switched-Coupling-Capacitor Equalizer for Series-Connected Battery Strings,” *Power Electronics, IEEE Transactions on*, Vol.32, No.10, pp.7694–7706, (2017).
- [18] C. Kim, M. Kim, H. Park, G. Moon: “A Modularized Two-Stage Charge Equalizer With Cell Selection Switches for Series-Connected Lithium-Ion Battery String in an HEV,” *IEEE Transactions on Power Electronics*, Vol.27, No.8, pp.3764–3774, (2012).
- [19] Y. Shang, B. Xia, F. Lu, C. Zhang, N. Cui, C. C. Mi: “A Switched-Coupling-Capacitor Equalizer for Series-Connected Battery Strings,” *IEEE Transactions on Power Electronics*, Vol.32, No.10, pp.7694–7706, (2017).
- [20] M. Uno, A. Kukita: “Bidirectional PWM Converter Integrating Cell Voltage Equalizer Using Series-Resonant Voltage Multiplier for Series-Connected Energy Storage Cells,” *IEEE Transactions on Power Electronics*, Vol.30, No.6, pp.3077–3090, (2015).
- [21] H. Xiong, Y. Fu, K. Dong: “A Novel Point-to-Point Energy Transmission Voltage Equalizer for Series-Connected Supercapacitors,” *IEEE Transactions on Vehicular Technology*, Vol.65, No.6, pp.4669–4675, (2016).
- [22] H. Xiong, Y. Fu, K. Dong: “A Novel Point-to-Point Energy Transmission Voltage Equalizer for Series-Connected Supercapacitors,” *IEEE Transactions on Vehicular Technology*, Vol.65, No.6, pp.4669–4675, (2016).
- [23] M. Fu, C. Zhao, J. Song, C. Ma: “A Low-Cost Voltage Equalizer Based on Wireless Power Transfer and a Voltage Multiplier,” *IEEE Transactions on Industrial Electronics*, Vol.65, No.7, pp.5487–5496, (2018).

- [24] Y. Shang, C. Zhang, N. Cui, J. M. Guerrero: “A Cell-to-Cell Battery Equalizer With Zero-Current Switching and Zero-Voltage Gap Based on Quasi-Resonant LC Converter and Boost Converter,” *IEEE Transactions on Power Electronics*, Vol.30, No.7, pp.3731–3747, (2015).
- [25] M. Uno, K. Tanaka: “Double-Switch Single-Transformer Cell Voltage Equalizer Using a Half-Bridge Inverter and a Voltage Multiplier for Series-Connected Supercapacitors,” *IEEE Transactions on Vehicular Technology*, Vol.27, No.8, pp.3764–3774, (2012).
- [26] M. Uno, A. Kukita: “Single-Switch Single-Transformer Cell Voltage Equalizer Based on Forward-Flyback Resonant Inverter and Voltage Multiplier for Series-Connected Energy Storage Cells,” *IEEE Transactions on Vehicular Technology*, Vol.63, No.9, pp.4232–4247, (2014).
- [27] T. Gottwald, Z. Ye, T. Stuart: “Equalization of EV and HEV batteries with a ramp converter,” *IEEE Transactions on Aerospace and Electronic Systems*, Vol.33, No.1, pp.307–312, (1997).
- [28] M. A. Hannan, M. M. Hoque, S. E. Peng, M. N. Uddin: “Lithium-Ion Battery Charge Equalization Algorithm for Electric Vehicle Applications,” *IEEE Transactions on Industry Applications*, Vol.53, No.3, pp.2541–2549, (2017).
- [29] C. Hua, Y. Fang, P. Li: “Charge equalisation for series-connected LiFePO<sub>4</sub> battery strings,” *IET Power Electronics*, Vol.8, No.6, pp.1017–1025, (2015).
- [30] Yuang-Shung Lee, Ming-Wang Cheng: “Intelligent control battery equalization for series connected lithium-ion battery strings,” *IEEE Transactions on Industrial Electronics*, Vol.52, No.5, pp.1297–1307, (2005).
- [31] Y. Hsieh, T. Liang, S. O. Chen, W. Horng, Y. Chung: “A Novel High-Efficiency Compact-Size Low-Cost Balancing Method for Series-Connected Battery Applications,” *IEEE Transactions on Power Electronics*, Vol.28, No.12, pp.5927–5939, (2013).
- [32] A. Xu, S. Xie, X. Liu: “Dynamic Voltage Equalization for Series-Connected Ultracapacitors in EV/HEV Applications,” *IEEE Transactions on Vehicular Technology*, Vol.58, No.8, pp.3981–3987, (2009).
- [33] C. Lim, K. Lee, N. Ku, D. Hyun, R. Kim: “Modularized Equalization Method Based on Magnetizing Energy for a Series-Connected Lithium-Ion Battery String,” *IEEE Transactions on Power Electronics*, Vol.29, No.4, pp.1791–1799, (2014).

- [34] N. Nguyen, S. K. Oruganti, K. Na, F. Bien: “An Adaptive Backward Control Battery Equalization System for Serially Connected Lithium-ion Battery Packs,” *IEEE Transactions on Vehicular Technology*, Vol.63, No.8, pp.3651–3660, (2014).
- [35] A. M. Imtiaz, F. H. Khan: “ “ Time Shared Flyback Converter ” Based Regenerative Cell Balancing Technique for Series Connected Li-Ion Battery Strings,” *IEEE Transactions on Power Electronics*, Vol.28, No.12, pp.5960–5975, (2013).
- [36] Z. Ye, T. A. Stuart: “Sensitivity of a ramp equalizer for series batteries,” *IEEE Transactions on Aerospace and Electronic Systems*, Vol.34, No.4, pp.1227–1236, (1998).
- [37] Ming Tang, T. Stuart: “Selective buck-boost equalizer for series battery packs,” *IEEE Transactions on Aerospace and Electronic Systems*, Vol.36, No.1, pp.201–211, (2000).
- [38] X. Wang, K. W. E. Cheng, Y. C. Fong: “Series-Parallel Switched-Capacitor Balancing Circuit for Hybrid Source Package,” *IEEE Access*, Vol.6, pp.34254–34261, (2018).
- [39] H. Park, C. Kim, C. Kim, G. Moon, J. Lee: “A Modularized Charge Equalizer for an HEV Lithium-Ion Battery String,” *IEEE Transactions on Industrial Electronics*, Vol.56, No.5, pp.1464–1476, (2009).
- [40] Y. Shang, B. Xia, C. Zhang, N. Cui, J. Yang, C. C. Mi: “An Automatic Equalizer Based on Forward-Flyback Converter for Series-Connected Battery Strings,” *IEEE Transactions on Industrial Electronics*, Vol.64, No.7, pp.5380–5391, (2017).
- [41] Y. Ye, K. W. E. Cheng: “Modeling and Analysis of Series-Parallel Switched-Capacitor Voltage Equalizer for Battery/Supercapacitor Strings,” *IEEE Journal of Emerging and Selected Topics in Power Electronics*, Vol.3, No.4, pp.977–983, (2015).
- [42] Y. Shang, N. Cui, B. Duan, C. Zhang: “Analysis and Optimization of Star-Structured Switched-Capacitor Equalizers for Series-Connected Battery Strings,” *IEEE Transactions on Power Electronics*, Vol.33, No.11, pp.9631–9646, (2018).
- [43] Y. Shang, N. Cui, B. Duan, C. Zhang: “A Global Modular Equalizer Based on Forward Conversion for Series-Connected Battery Strings,” *IEEE Journal of Emerging and Selected Topics in Power Electronics*, Vol.6, No.3, pp.1456–1469, (2018).

## 参考文献

- [44] P. A. Cassani, S. S. Williamson: “Design, Testing, and Validation of a Simplified Control Scheme for a Novel Plug-In Hybrid Electric Vehicle Battery Cell Equalizer,” *IEEE Transactions on Industrial Electronics*, Vol.57, No.12, pp.3956–3962, (2010).
- [45] Y. Shang, C. Zhang, N. Cui, C. C. Mi: “A Delta-Structured Switched-Capacitor Equalizer for Series-Connected Battery Strings,” *IEEE Transactions on Power Electronics*, Vol.34, No.1, pp.452–461, (2019).
- [46] Y. Shang, B. Xia, C. Zhang, N. Cui, J. Yang, C. Mi: “A Modularization Method for Battery Equalizers Using Multiwinding Transformers,” *IEEE Transactions on Vehicular Technology*, Vol.66, No.10, pp.8710–8722, (2017).
- [47] Y. -. Lee, G. -. Cheng: “Quasi-Resonant Zero-Current-Switching Bidirectional Converter for Battery Equalization Applications,” *IEEE Transactions on Power Electronics*, Vol.21, No.5, pp.1213–1224, (2006).
- [48] Japan Storage Battery Co.,Ltd.: ”Latest Practical Rechargeable Battery”, *Nikkan Kogyo Shim-bun Ltd.*, 2nd ed., pp.261-271, 317–322, (1999) (in Japanese)  
日本電池株式会社 編: ”最新 実用二次電池 その選び方と使い方”, 日刊工業新聞社, 第2版, pp.261-271, 317–322, (1999).
- [49] 金村聖志: “自動車用 リチウムイオン電池”, 日刊工業新聞社, pp.49–55, (2010).
- [50] TOSHIBA Datasheet: “TLP3100”, (2014).
- [51] Kiyoshi Ito: “Probability Theory”, *Iwanami Shoten*, Japan, (1991) (in Japanese)  
伊藤清: “確率論”, 岩波基礎数学選書, 岩波書店, (1991).
- [52] A. M. Frieze, R. Kannan, J. C. Lagarias: “Linear Congruential Generators Do Not Produce Random Sequences,” *Proceedings of 25th Annual Symposium on Foundations of Computer Science, 1984*, Singer Island, FL, USA, pp.480–484, (1984).
- [53] JIS Z 9031:2012: “Procedure for random number generation and randomization”, *Japanese Standards Association*, (2012) (in Japanese)  
“乱数生成及びランダム化の手順”, 日本規格協会, (2012).
- [54] ISO 28640:2010: “Random variate generation methods”, *International Organization for Standardization*, (2010).

- [55] M. Matsumoto, T. Nishimura: “Mersenne Twister: A 623-dimensionally equidistributed uniform pseudorandom number generator,” *ACM Transactions on Modeling and Computer Simulation*, Vol.8, No.1, pp.3–30, (1998).
- [56] TOSHIBA Datasheet: “TLP250H”, (2014).
- [57] ローム株式会社: “PWM 方式フライバックコンバータ設計手法,” *ROHM 技術資料*, (2014).
- [58] International Rectifier Datasheet: “IRLB3034PbF”, (2012).
- [59] PANJIT Datasheet: “SX34F”, (2012).





# 主論文を構成する論文

## 第2章

1. 佐藤大記, 星伸一, 春名順之介: 「LC直列回路を用いた電気二重層キャパシタおよびリチウムイオンバッテリー向けセル電圧均等化回路」, 電気学会論文誌D (産業応用部門誌), Vol.134-D, No.2, pp.175–184, (2014).
2. Daiki SATOU, Nobukazu HOSHI, Junnosuke HARUNA: “Characteristics of Cell Voltage Equalization Circuit Using LC Series Circuit in Charging and Discharging States”, Proceedings of the IECON 2013 - 39th Annual Conference of the IEEE Industrial Electronics Society, 2013 IEEE, pp.514–519, (2013).
3. Daiki SATOU, Nobukazu HOSHI: “Study on the Cell Change Cycle for Cell Voltage Equalization Circuit Using an LC Series Circuit”, Proceedings of the IECON 2014 - 40th Annual Conference of the IEEE Industrial Electronics Society, 2014 IEEE, pp.3168–3173, (2014).

## 第3章

1. 佐藤大記, 星伸一: 「LC直列回路方式セル電圧均等化回路の擬似乱数列を用いた均等化時間低減法」, 電気学会論文誌D (産業応用部門誌), Vol.135-D, No.9, pp.906–913, (2015).
2. Daiki SATOU, Nobukazu HOSHI: “An Equalization Time Reduction Method Using a Pseudo-Random Number Sequence for a Cell Voltage Equalization Circuit with an LC Series Circuit”, Electrical Engineering in Japan, Vol.197, No.3, pp.50–57, (2016).

## 第4章

1. 佐藤大記, 星伸一, 内田晃介: 「LC直列回路方式セル電圧均等化回路における蓄電セル電圧の大小関係推定を利用した均等化時間低減法」, 電気学会論文誌D (産業応用部門誌), Vol.139-D, No.6, pp.1–10, (2019) (in press).

## 第5章

1. Daiki SATOU, Nobukazu HOSHI, Kosuke UCHIDA, Ryosuke OTA: “Reduction in the number of gate drive power converters for a cell voltage equalizer using an LC series circuit”, Proceedings of the INTELEC 2017 - 39th International Telecommunications Energy Conference, 2017 IEEE, pp.376–380, (2017).

# 研究業績

## 査読付き論文

1. 佐藤大記, 星伸一, 春名順之介: 「LC 直列回路を用いた電気二重層キャパシタおよびリチウムイオンバッテリー向けセル電圧均等化回路」, 電気学会論文誌D (産業応用部門誌), Vol.134-D, No.2, pp.175–184, (2014).
2. 佐藤大記, 星伸一: 「LC 直列回路方式セル電圧均等化回路の擬似乱数列を用いた均等化時間低減法」, 電気学会論文誌D (産業応用部門誌), Vol.135-D, No.9, pp.906–913, (2015).
3. Daiki SATOU, Nobukazu HOSHI: “An Equalization Time Reduction Method Using a Pseudo-Random Number Sequence for a Cell Voltage Equalization Circuit with an LC Series Circuit”, Electrical Engineering in Japan, Vol.197, No.3, pp.50–57, (2016).
4. 佐藤大記, 星伸一, 内田晃介: 「LC 直列回路方式セル電圧均等化回路における蓄電セル電圧の大小関係推定を利用した均等化時間低減法」, 電気学会論文誌D (産業応用部門誌), Vol.139-D, No.6, pp.1–10, (2019) (in press).

## 査読付き国際会議プロシーディングス

1. Daiki SATOU, Nobukazu HOSHI, Junnosuke HARUNA: “Consideration about Novel Cell Voltage Equalization Circuit for Battery / EDLC”, Proceedings of the ECCE Asia Dunder 2013 - 5th IEEE Annual International Energy Conversion Congress and Exhibition Asia, 2013 IEEE, pp.861–866, (2013). [平成 25 年 6 月 5 日]
2. Daiki SATOU, Nobukazu HOSHI, Junnosuke HARUNA: “Characteristics of Cell Voltage Equalization Circuit Using LC Series Circuit in Charging and Discharging States”, Proceedings of the IECON 2013 - 39th Annual Conference of the IEEE Industrial Electronics Society, 2013 IEEE, pp.514–519, (2013). [平成 25 年 11 月 13 日]

## 研究業績

3. Daiki SATOU, Nobukazu HOSHI: “Study on the Cell Change Cycle for Cell Voltage Equalization Circuit Using an LC Series Circuit”, Proceedings of the IECON 2014 - 40th Annual Conference of the IEEE Industrial Electronics Society, 2014 IEEE, pp.3168–3173, (2014). [平成 26 年 10 月 31 日]
4. Ryosuke OTA, Kengo KAKOMURA, Nobukazu HOSHI, Daiki SATOU: “Maximum efficiency control scheme and design method for resonant circuit of Bi-directional inductive power transfer system”, Proceedings of the ECCE Europe 2017 - 19th European Conference on Power Electronics and Applications, 2014 IEEE, pp.3168–3173, (2014). [平成 29 年 9 月 14 日]
5. Daiki SATOU, Nobukazu HOSHI, Kosuke UCHIDA, Ryosuke OTA: “Study on the Cell Change Cycle for Cell Voltage Equalization Circuit Using an LC Series Circuit”, Proceedings of the INTELEC 2017 - 39th International Telecommunications Energy Conference, 2017 IEEE, pp.376–380, (2017). [平成 29 年 10 月 25 日]

## 査読なし論文

1. 佐藤大記, 星伸一, 春名順之介: 「バッテリーおよび EDLC 向けセルバランス回路に関する研究」, 電気学会研究会資料, 自動車研究会, VT-13-003, pp.13–18, (2013). [平成 25 年 1 月 15 日]
2. 佐藤大記, 星伸一, 春名順之介: 「LC 直列回路を用いたセル電圧均等化回路の充放電状態における動作に関する一考察」, 平成 25 年電気学会産業応用部門大会講演論文集, Vol.I, pp.89–92, (2013). [平成 25 年 8 月 28 日]
3. 佐藤大記, 星伸一, 春名順之介: 「LC 直列回路を用いたセル電圧均等化回路の均等化時間低減法」, 電気学会研究会資料, 半導体電力変換/自動車/家電・民生合同研究会, SPC-13-149/VT-13-032/HCA-13-054, pp.31–36, (2013). [平成 25 年 12 月 19 日]
4. 佐藤大記, 星伸一: 「入力電圧を低く設定可能な LC 直列回路方式セル電圧均等化充電器に関する一考察」, 電気学会研究会資料/電子情報通信学会技術研究報告, 半導体電力変換/電気通信エネルギー技術合同研究会, SPC-14-111, pp.63–68, (2014). [平成 26 年 7 月 11 日]
5. 佐藤大記, 星伸一: 「LC 直列回路方式セル電圧均等化回路における擬似乱数列を用いた均等化時間低減法の実験的検証」, 平成 26 年電気学会産業応用部門大会講演論文集, Vol.I, pp.349–352, (2013). [平成 26 年 8 月 28 日]

6. 佐藤大記, 星伸一: 「電流センサによるセル電圧推定を用いた LC 直列回路方式セル電圧均等化回路の均等化時間低減法」, 電気学会研究会資料, 自動車/交通・電気鉄道合同研究会, VT-14-037/TER-14-043, pp.43–48, (2014). [平成 26 年 9 月 26 日]
7. 佐藤大記, 星伸一: 「インダクタ電流から推定した各セル電圧の大小関係を用いた LC 直列回路方式セル電圧均等化回路向け均等化時間低減法の実験的検証」, 電気学会研究会資料, 半導体電力変換/家電・民生/自動車合同研究会, SPC-14-147/HCA-14-055/VT-14-042, pp.19–24, (2014). [平成 26 年 12 月 18 日]
8. 佐藤大記, 星伸一: 「LC 直列回路方式セル電圧均等化回路を利用したセル電圧測定法」, 平成 28 年電気学会産業応用部門大会講演論文集, Vol.I, pp.371–372, (2016). [平成 28 年 9 月 1 日]
9. 佐藤大記, 星伸一, 内田晃介, 太田涼介: 「多段接続されたスイッチング素子のゲート駆動回路に関する一考察」, 電気学会研究会資料, 半導体電力変換/家電・民生/自動車合同研究会, SPC-16-171/HCA-16-068/VT-16-038, pp.23–28, (2016). [平成 28 年 12 月 8 日]
10. 佐藤大記, 星伸一, 内田晃介: 「電流センサを利用した均等化時間低減法における電圧推定周期の一決定法」, 平成 29 年電気学会産業応用部門大会講演論文集, Vol.IV, pp.123–128, (2017). [平成 29 年 8 月 30 日]
11. 太田涼介, 星伸一, 佐藤大記: 「AC 側電流センサを用いないデッドタイム補償による双方向型非接触給電システムの共振回路の高効率化」, 電気学会研究会資料, 半導体電力変換/家電・民生/自動車合同研究会, SPC-17-190/HCA-17-052/VT-17-032, pp.11–16, (2017). [平成 29 年 12 月 14 日]
12. 佐藤大記, 星伸一: 「回生型ゲート駆動回路を適用した LC 直列回路方式セル電圧均等化回路のバッテリーモジュール充電時における動作特性」, 平成 30 年電気学会産業応用部門大会講演論文集, Vol.IV, pp.115–118, (2018). [平成 30 年 8 月 30 日]
13. 佐藤大記, 星伸一: 「均等化電流を利用した LC 直列回路方式セル電圧均等化回路の回路素子の劣化判定」, 電気学会研究会資料, 自動車/交通・電気鉄道合同研究会, VT-18-028/TER-18-073, pp.7–12, (2018). [平成 30 年 9 月 28 日]

## 口頭発表等

1. 佐藤大記, 星伸一, 春名順之介: 「バッテリーおよびEDLC向けセル電圧均等化回路に関する一考察」, 平成25年電気学会全国大会講演論文集, Vol.4, pp.306–307, (2013). [平成25年3月20日]
2. 佐藤大記, 星伸一, 春名順之介: 「線形合同法により生成した擬似乱数列を用いたLC直列回路方式セル電圧均等化回路の均等化時間低減法」, 平成26年電気学会全国大会講演論文集, Vol.4, pp.111–112, (2014). [平成26年3月20日]
3. 太田涼介, 水主村賢吾, 星伸一, 佐藤大記: 「非共振型非接触給電システムの高効率化手法」, 平成29年電気学会全国大会講演論文集, Vol.4, pp.289–290, (2017). [平成29年3月17日]
4. 佐藤大記, 星伸一, 内田晃介: 「擬似乱数列を利用した均等化時間低減法のバッテリーモジュール充放電時における均等化動作特性」, 平成29年電気学会全国大会講演論文集, Vol.4, pp.427–428, (2017). [平成29年3月17日]
5. 佐藤大記, 星伸一: 「LC直列回路方式セル電圧均等化回路向け回生型ゲート駆動回路用トランスの設計法に関する一考察」, 平成30年電気学会全国大会講演論文集, Vol.4, pp.324–325, (2018). [平成30年3月16日]
6. 足立麟太郎, 佐藤大記, 星伸一, 内田晃介: 「LC直列回路方式セル均等化回路のセル電圧監視機能実装に関する基礎検討」, 平成30年電気学会全国大会講演論文集, Vol.4, pp.326–327, (2018). [平成30年3月16日]

## 表彰等

平成27年3月 電気学会産業応用部門研究会部門優秀論文発表賞

(平成26年電気学会半導体電力変換/家電・民生/自動車合同研究会)

平成27年9月 電気学会産業応用部門大会部門優秀論文発表賞

(平成26年電気学会産業応用部門大会)

平成30年8月 電気学会産業応用部門大会部門優秀論文発表賞

(平成29年電気学会産業応用部門大会)