

微細化技術に起因するシリコンデバイス特性劣化の
発生機構の検討とその改善

倉知 郁生

概要

スマートフォン等に代表される現代の電子機器による、よりフレンドリーな高度情報化社会は、シリコン系デバイスの微細化による高性能化やコストダウンによって可能になったといっても過言ではない。半導体デバイスの微細化は、シリコン上に形成するゲート電極や配線等のピッチの縮小により行われているが、半導体デバイスを構成している素子である電界効果トランジスタ(MOSFET: Metal Oxide Semiconductor Field Effect Transistor)の微細化も必要である。しかしながら、MOSFETにおいては、ノイズマージンの確保等のため電源電圧をそれほど低減できない等の理由から、微細化に伴い素子内部の電界が高くなり、特にその長期信頼性に及ぼす影響が無視できなくなっている。その一つがホットキャリア注入と呼ばれるゲート酸化膜へのキャリア(電子あるいは正孔)の注入現象である。さらにこのホットキャリア注入の抑制のために導入した MOSFET の新構造が新たな問題である静電耐量の低下も引き起こした。これらの現象の根本的な原因はともに高電界によって発生したホットキャリアの注入とそれによるシリコン-酸化膜界面の界面準位の発生によるものである。さらに、微細化実現のために必要な新規プロセスの一つである、RTP (Rapid Thermal Processing)でも、界面準位の形成が確認され、微細化された MOSFET の特性の低下や信頼性の低下を招いている。本研究では、これらの微細化によって生じた問題に対し、特性変動現象を明らかにし、その改善策を提案することで、より高性能で高信頼な半導体デバイスを実現することを目的とした。

本研究の一つ目の課題は、MOSFET のアナログ動作において重要なパラメータであるドレインコンダクタンスのホットキャリア注入による変動機構の究明とアナログ特性変動からのアナログ素子の寿命予測である。ホットキャリア注入によるドレインコンダクタンス変動は、Gradual Channel Approximation を用いた物理モデルを使ってホットキャリア注入による界面準位の発生を考慮することで説明できることを初めて

示した。また、このモデルを用いることで、アナログアンプの利得変動から見た寿命も予測できることも示した。特に、この寿命のゲート長依存は、デジタル系で定義されている寿命と異なっており、高信頼なアナログ素子の実現には不可欠な寿命予測モデルとなっている。

二つ目の課題は、ホットキャリア注入抑制のためのドレイン電界を低減する構造である、LDD (Lightly Doped Drain) MOSFET の導入が静電耐量の低下を招いた原因の究明とその改善である。静電気注入後に新たに見つかったソフトブレイクダウン現象による MOSFET のオフリーク増大機構についての解析結果を示す。このオフリーク増大機構の考察から、静電耐量を改善することができる LDD 部へのヒ素の追加イオン注入、あるいはオフセットゲート MOSFET 保護素子の適用の二つの方法を提案する。これら二つの方法により、LDD 構造の MOSFET を半導体デバイスに用いても、十分な静電耐量に改善することができた。

三つ目の課題は微細化に必須となるプロセスである RTP による界面準位の発生機構の解明である。界面準位の発生は RTP という高温熱処理中にシリコンと酸化膜の熱膨張係数差によって機械的ストレスが発生し、界面準位が発生したことを示した。さらに、熱処理中に酸化膜は粘性流動を起こし、それにより発生した界面準位が修復されることも示した。これは、RTP において界面準位発生を抑制するプロセス条件の組み立てに有用であると考えられる。

以上の事から、本研究から導き出された現象の理解とそれに伴う改善方法は半導体デバイスの微細化に貢献することができ、より快適な社会を実現できる電子機器の出現を可能にしたと考えている。

目次

第1章 序論	1
1.1 半導体デバイスの発達と素子の微細化	1
1.2 MOSFET 構造と製造プロセス	3
1.3 素子の微細化に伴うホットキャリアの発生と課題	10
1.4 ホットキャリア発生低減と素子の静電破壊耐量	14
1.5 微細化プロセスが誘発する課題	18
第1章 参考文献	22
第2章 ホットキャリア注入による n 型 MOSFET のドレインコンダクタンス 変動物理モデル	25
2.1 まえがき	25
2.2 ホットキャリア注入による特性変動モデル	26
2.2.1 ホットキャリア注入による MOSFET の線形領域の特性変動	26
2.2.2 飽和領域におけるドレイン電流	29
2.2.3 ドレインコンダクタンス変動モデル	32
2.3 実験方法	33
2.4 測定結果と考察	34
2.4.1 ホットキャリア注入による単体トランジスタアンプの利得変動	34
2.4.2 ドレインコンダクタンス変動モデルの妥当性	36
2.4.3 ドレインコンダクタンス変動による寿命の実効ゲート長依存性	38
2.4.4 ドレインコンダクタンス変動による寿命の基板電流依存性	41
2.4.5 アナログアンプの寿命予測	43
2.5 結論	49
第2章 参考文献	50

第3章 出力 MOSFET でのソフトブレイクダウン現象による ESD 耐量低下 の解明とその改善	53
3. 1 まえがき	53
3. 2 実験方法	54
3. 3 ESD 試験前後のリーク電流特性	56
3. 4 スナップバックストレスによるソフトブレイクダウン現象の発生	58
3. 5 ソフトブレイクダウン現象でのリーク電流の経路解析	59
3. 6 ソフトブレイクダウン現象のメカニズム	62
3. 7 ソフトブレイクダウン現象でのリーク電流増加メカニズム	65
3. 8 ソフトブレイクダウン現象による ESD 耐量低下の改善	69
3. 8. 1 ドレインエンジニアリングを用いた ESD 耐量の改善	69
3. 8. 2 ヒ素の追加イオン注入による ESD 耐量の改善	70
3. 8. 2. 1 ヒ素の追加イオン注入 LDD MOSFET の寄生抵抗	70
3. 8. 2. 2 ヒ素の追加イオン注入 LDD MOSFET の基板電流	72
3. 8. 2. 3 ヒ素の追加イオン注入 LDD MOSFET の初期リーク電流	73
3. 8. 2. 4 ヒ素の追加イオン注入 LDD MOSFET による ソフトブレイクダウン現象の改善	75
3. 8. 3 オフセットゲート MOSFET 保護素子での改善	76
3. 8. 3. 1 オフセットゲート MOSFET のコンセプトと構造	76
3. 8. 3. 2 オフセットゲート MOSFET の保護素子による ESD 耐量の改善	77
3. 9 結論	78
第3章 参考論文	80

第4章 RTPによる界面準位の生成と消滅に関する検討	82
4.1 まえがき	82
4.2 試料の作成と測定方法	84
4.3 測定結果と考察	86
4.3.1 RTP前の測定サンプルの界面準位と SCAでの界面準位測定の妥当性	86
4.3.2 RTP温度と界面準位発生量	88
4.3.3 機械的ストレスと界面準位	91
4.3.4 RTP時間と界面準位	93
4.4 結論	97
第4章 参考文献	99
第5章 総括	104
5.1 本研究の成果	104
5.2 今後の展開	106
謝辞	108
付録 発表論文リスト	110

第1章 序論

1.1 半導体デバイスの発達と素子の微細化

ここ半世紀において電子機器は急速に発展し、新たなる機器の出現によって産業構造や社会構造まで変化してきている。実際、30年ばかり前では、電子機器の代表でもある電子計算機は一室を専用するほどの大きさであったが、ノート型パーソナルコンピュータやタブレット端末、スマートフォンのように過去の電子計算機以上の機能・性能が手のひら上の機器で実現される時代である。また、パーソナルコンピュータの普及と情報通信技術の進歩により、全世界がインターネットを通してリアルタイムでつながるといふ高度な情報共有化技術が台頭し、これによっても産業構造や社会生活のシステムも大きく変換していったことは周知の事実である。さらに、近年においては、種々のセンサーによって感知された情報がインターネットにつながり、より高度な情報サービスが可能となる、IOT (Internet of Things)が注目されている。この応用では、例えば健康管理という観点から、ウェアラブルデバイスで収集された脈拍や体温、血糖値等がインターネットに送信・データ処理され、リアルタイムに体調の異常を予測警告できるというシステムがある。このように、電子機器の発展は、現代の社会生活に不可欠な技術であり、今後の人間社会にとっても重要な位置を占めているのは疑う余地もない。

この電子機器の発展を支えることができたのは、LSI (Large Scale Integrated Circuit)と呼ばれる半導体デバイスの微細化によってデバイスサイズの縮小化、高機能化とコストダウンが実現できたことによるものが大きい。IntelのGordon E. Mooreが1965年に提唱したMooreの法則によれば、半導体デバイスの集積密度は2年でほぼ倍増するとされている。その予測から50年経た現在でも、最近はその微細化速度は遅延気味でもあるが、ほぼ予測に従って高密度化(つまり素子寸法の縮小)が進んでいる。50年間、微細化速度が維持されたことは、事実、驚くべきことである。

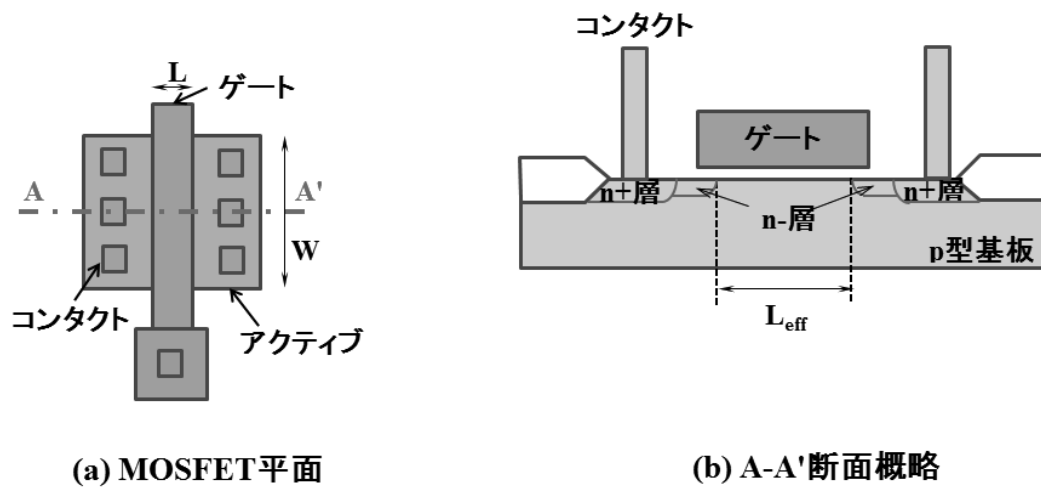
自分自身の半導体開発経験からも、開発に従事し始めた 1983 年ころには 1 μm 程度のテクノロジーノードのデバイス開発が行われていたが、約 30 年後の 2015 年では 17 nm のテクノロジーノードが開発されたニュースがリリースされており、この 30 年を見ただけでも、線分で約 60 分の 1 に縮小(面積では約 3600 分の 1)されたことになる。

このように非常に短期間で半導体デバイスが縮小化され高集積化できたのは、シリコンを材料とした、金属 酸化膜 半導体 電界効果トランジスタ(Metal Oxide Semiconductor Field Effect Transistor : MOSFET)によってデバイスが構成されていたからと言っても過言ではあるまい。材料としてのシリコンはいたるところに存在している。また、シリコンの単結晶を得る方法としては、チョコラルスキー法と呼ばれる、石英るつぼ中にある溶融したシリコンを種となるシリコン結晶によって引き揚げ結晶成長させる方法がある。この方法で、容易に高純度で且つ欠陥の少ないシリコンインゴットを得ることができる。さらに、シリコンは酸素雰囲気中の高温熱処理で、簡単にシリコン酸化膜という良質な絶縁膜を形成することができる。またその酸化によって形成されたシリコンと酸化膜の界面は、シリコンのバンドギャップ中に存在する界面準位がほぼ $10^{10} \sim 10^{11} \text{ cm}^{-2}$ オーダーという十分に低い密度に抑えられた良好な界面である。これによって、シリコン上に形成された MOSFET 特性を良好なものとするとともに、プレーナー型のデバイス形成を容易にすることができた。そのため、これほど早い微細化スピードを維持しながら、半世紀という長い期間において微細化を進めていく事が出来た。しかしながら、微細化は MOS 構造としても弱点となるシリコン-酸化膜界面に影響を与え、界面準位の発生という形で MOSFET 特性の変動を招いていることも事実である。本論文においては、この現象について発生した界面準位がどのようにデバイス特性に影響を与えたかを検討し、その回避手段を提案することで、更なる微細化に貢献することを第一の目的とした。

1.2 MOSFET 構造と製造プロセス

本論文では、半導体デバイスの微細化に伴う問題について述べるが、半導体デバイスの構成素子である MOSFET について、その基本的構造や製造プロセスを理解することは、微細化によって起こるであろう問題を理解する上では重要なことである。ここでは、典型的な微細化対応のトランジスタである LDD (Lightly Doped Drain) 構造の n 型 MOSFET について、構造やその製造プロセスをレビューする。

LDD MOSFET の典型的な表面からのパターン図を図. 1-1(a)に、概略的断面図を図. 1-1(b)に示す。MOSFET は、四角いアクティブパターンによってシリコン上で素子分離領域と実際に MOSFET の動作に関与するシリコン領域に分けられる。さらに、このアクティブ領域をまたがるようにゲート電極となるパターンが書かれている。ゲート電極と素子分離領域をマスクとしてドーパントのイオンを注入することで、ゲートの左右に対称的にソースとドレインが形成される。これらゲート・ソース・ドレインに金属配線を電気的に接続するコンタクトがある。これによって、MOSFET を金属配線から電気的に接続し動作させることができる。図. 1-1(b)の断面でみると、シリコンとゲート電極間には薄いゲート酸化膜(絶縁膜)が形成されており、ゲート電極の電位による電界効果によってシリコン表面のポテンシャルが制御されることがわかる。ゲート電極に閾値以上の電圧がかかると、この電界効果によって、チャンネルと呼ばれるシリコン表面に反転した n 型の反転層が形成され、ソースとドレインがこの n 型反転層で接続されることで、電流(ドレイン電流)が流れる。ゲート電圧が閾値以下であると、チャンネル部のシリコン表面は p 型のままであり、ドレインと基板間には逆バイアスがかかっている状態であるため、電流は流れず MOSFET はオフ状態にある。つまりゲート電位により、オン・オフのトランジスタ動作が可能となる。ソース・ドレインは基本的に n 型の濃度の濃い層であるが、微細化 MOSFET では後述するようにドレイン部の電界緩和を目的にした濃度が低めの n-層がチャンネルと n+層の間に形成されている。

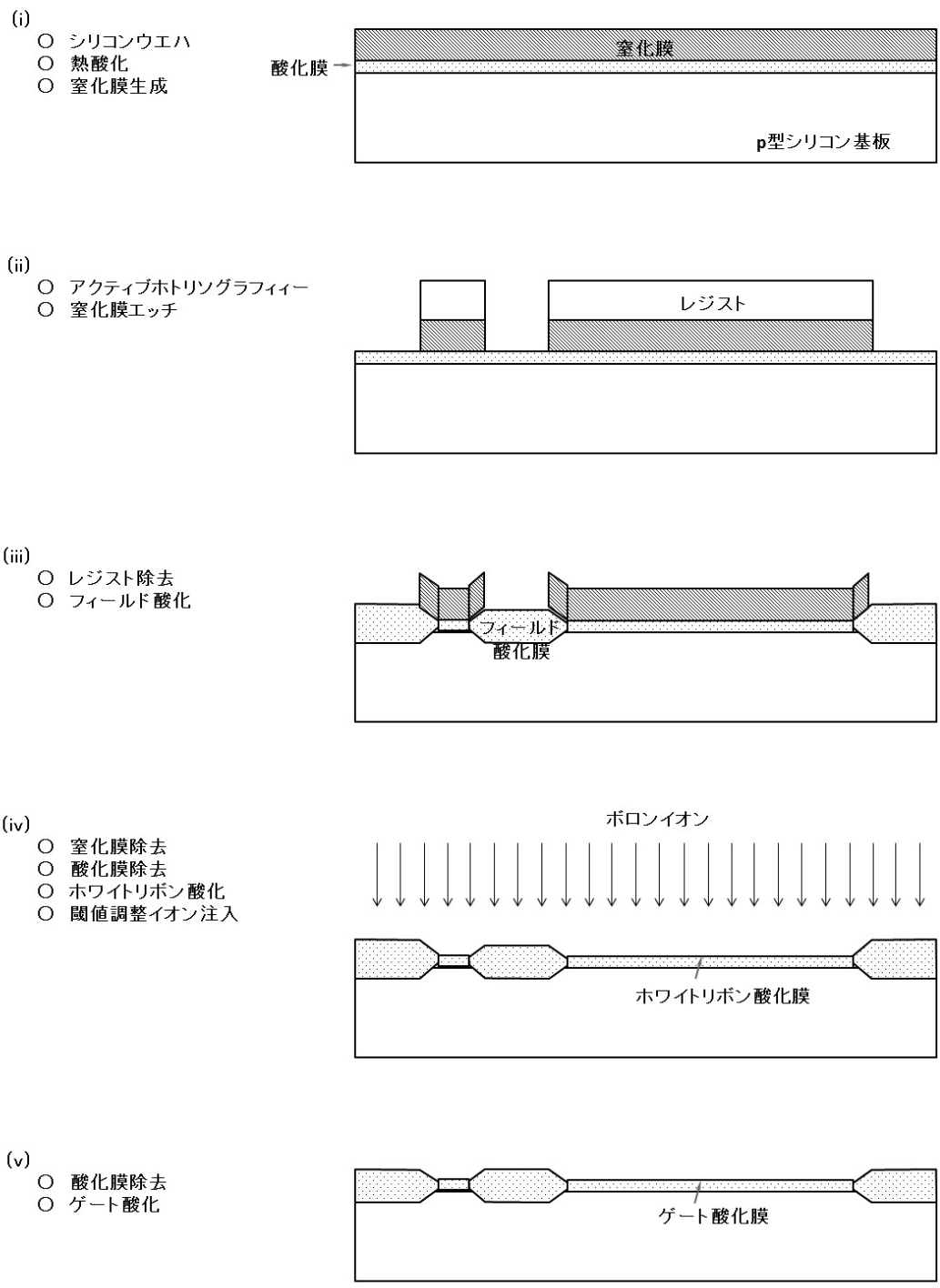


[図. 1-1] MOSFET の平面パターンと断面概略図

図. 1-1 に示したような LDD MOSFET をシリコンのインゴットから切り出したシリコンウエハ上に形成することで半導体デバイスができる。半導体デバイスはシリコンウエハの状態で作られるウエハプロセスとそのウエハからチップを個片化しパッケージングするアセンブリプロセスに大別されるが、微細化が進められたのはチップ内であることから、ここではウエハプロセスのみについて説明する。ウエハプロセスも大きく、素子分離プロセス、MOSFET 形成プロセス、配線プロセスに分けることができる。ただし、半導体デバイスでもメモリにおいてはデータの記憶素子としてのメモリセルが必要であり、メモリセル作成のためのプロセスがこの基本プロセスに付加されることになる。センサーデバイスも同様で、センサー作成のためのプロセスが付加される。典型的なプロセスフローを図. 1-2 に示した。最初のプロセスは、素子分離プロセスであり、図. 1-2 の(i)~(iii)に相当する。このプロセスは LOCOS (LOCAl Oxidation of Silicon、選択酸化)プロセスとして知られており、テクノロジーノードで $0.35\ \mu\text{m}$ 以前は一般的に用いられていた。まず、シリコンウエハに熱酸化により酸化膜を形成、さらに減圧 CVD 法により窒化膜を酸化膜上に形成する。アクティブパターンが描かれているマスクを用いて、このウエハ上に通常のホトリソグラフィ技術でレジストパター

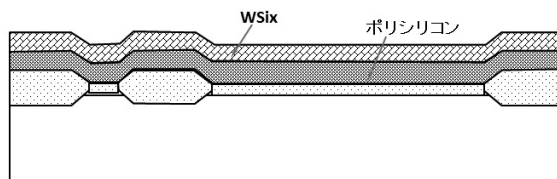
ンを形成する。さらにレジストをマスクに窒化膜をエッチング、レジスト除去後に熱酸化することで、窒化膜は酸素を通さないことから、素子分離領域である窒化膜がないところのシリコンのみ酸化されて、厚いフィールド酸化膜が形成、トランジスタが形成されるアクティブ領域には厚い酸化膜は形成されずに、電気的な素子間分離が可能となる。ここで前述したように、熱酸化膜は良好な絶縁膜であることから、このような簡便な方法で素子分離が可能となっている。その後、熱リン酸等で窒化膜を選択エッチすることで素子分離は完成する。ここで、注意しなければならないのは、図. 1-2(iii)に示したようにフィールド酸化時に窒化膜の端から酸素が横方向拡散しシリコンが酸化されるため、窒化膜でできたパターンより仕上がりのアクティブパターンが小さいという寸法変換差を持ち、後に述べるが、これがさらなる微細化ための障害となることである。素子分離プロセスの次は MOSFET 形成プロセスとなる。これは、図. 1-2 の(iv)~(xi)に相当する。実際の半導体デバイスでは CMOS (Complimentary MOS) デバイスであるため n 型のみならず p 型 MOSFET も形成が必要で、プロセス数もこれ以上となるが、基本的な製造方法は変わらないため、ここでは n 型 MOSFET の製造工程だけについて述べている。LOCOS の素子分離プロセスの後、表面のシリコンを一度犠牲酸化する。その犠牲酸化膜を通して、チャンネル部に所望の閾値が得られるチャンネル濃度にするためのボロンのイオン注入を実施し犠牲酸化膜除去する。次に酸化により薄いゲート酸化膜をチャンネル表面に形成し、ゲート電極となるポリシリコンを生成し、高濃度の n^+ となるように不純物のドーピングを行う。さらに、ゲート配線が低抵抗となるようにタングステンシリサイド (WSi_x) の生成を行う。ゲートパターンが描かれたマスクを用いて、通常ホトリソグラフィ技術により、ゲートのレジストパターンをウエハ上に形成し、レジストパターンをマスクとして、 WSi_x とポリシリコンをエッチングすることで、ゲート電極及びゲート配線が形成される。次にホトリソグラフィ技術により、n チャンネル領域以外をレジストでカバーし、LDD 構造の n-層と

なるリンをイオン注入する。さらに、レジスト除去後に酸化膜を CVD にて生成、異方性の RIE (Reactive Ion Etch) によってゲート脇に酸化膜を残すサイドウォールエッチングを実施する。次に、レジストで n チャンネル領域以外をカバーし、MOSFET のソース・ドレインの n+ 層となるヒ素をイオン注入する。レジストを除去した後、LDD に注入されたリンやソース・ドレインに注入されたヒ素を活性化するために高温の熱処理を実施する。この時、詳しくは後述するが、従来用いられていた拡散炉を用いた熱処理では熱処理時間が長く、不純物が横方向に拡散するため、実効のゲート長が短くなってしまふということが起こってしまう。微細化にはこの横方向拡散を抑制するのが、課題の一つとなっている。次に、p 基板とのコンタクトを取る p+ 層の形成を経て、MOSFET 形成プロセスは終了する。この後、図. 1-2(xii)~(xiv) に示した配線プロセスになるが、まず全面に絶縁膜を形成して、所望の層に電氣的に接続するためのコンタクトをホトリソグラフィ技術とエッチングにより形成、メタルのスパッタとホトリソグラフィとエッチングによりメタル配線が形成され、基本的な MOSFET の構造は完成する。このようなプロセスによって半導体デバイスは製造されているが、微細化の要点は、ホトリソグラフィとエッチング技術の革新によつての微細線幅・間隔のパターンを形成することと LOCOS やソース・ドレインの熱拡散であげた寸法変換差の無駄を省くことである。加えて、ゲート長・幅を縮小した微細 MOSFET で高性能・高信頼性を実現することである。

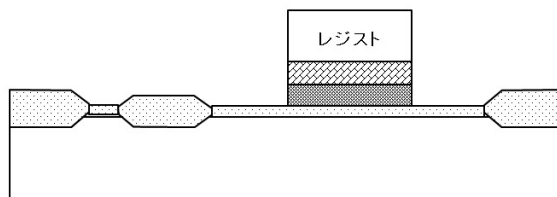


[図. 1-2(1)] n 型 MOSFET の基本的な製造プロセスフロー(1)

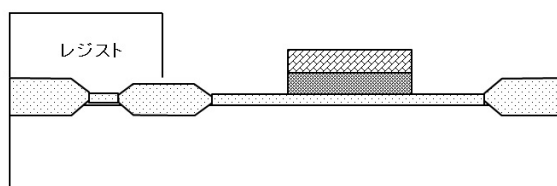
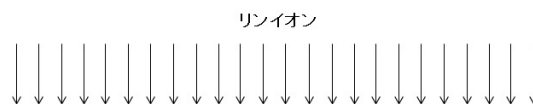
- (vi)
- ポリシリコン生成
 - ポリシリコンドーピング
 - WSix生成



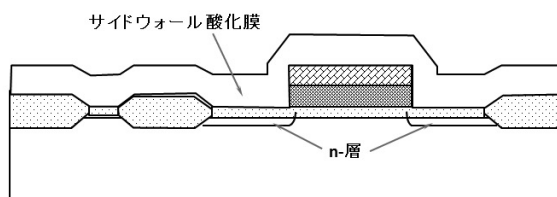
- (vii)
- ゲートホトリソグラフィ
 - ゲートエッチ



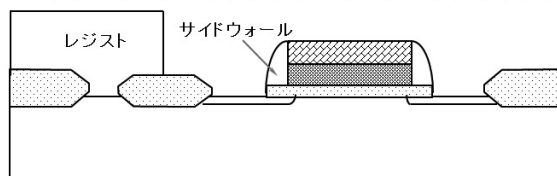
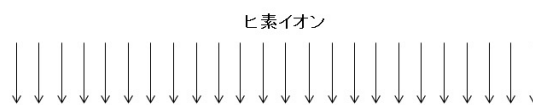
- (viii)
- レジスト除去
 - n+ホトリソグラフィ
 - n-イオン注入



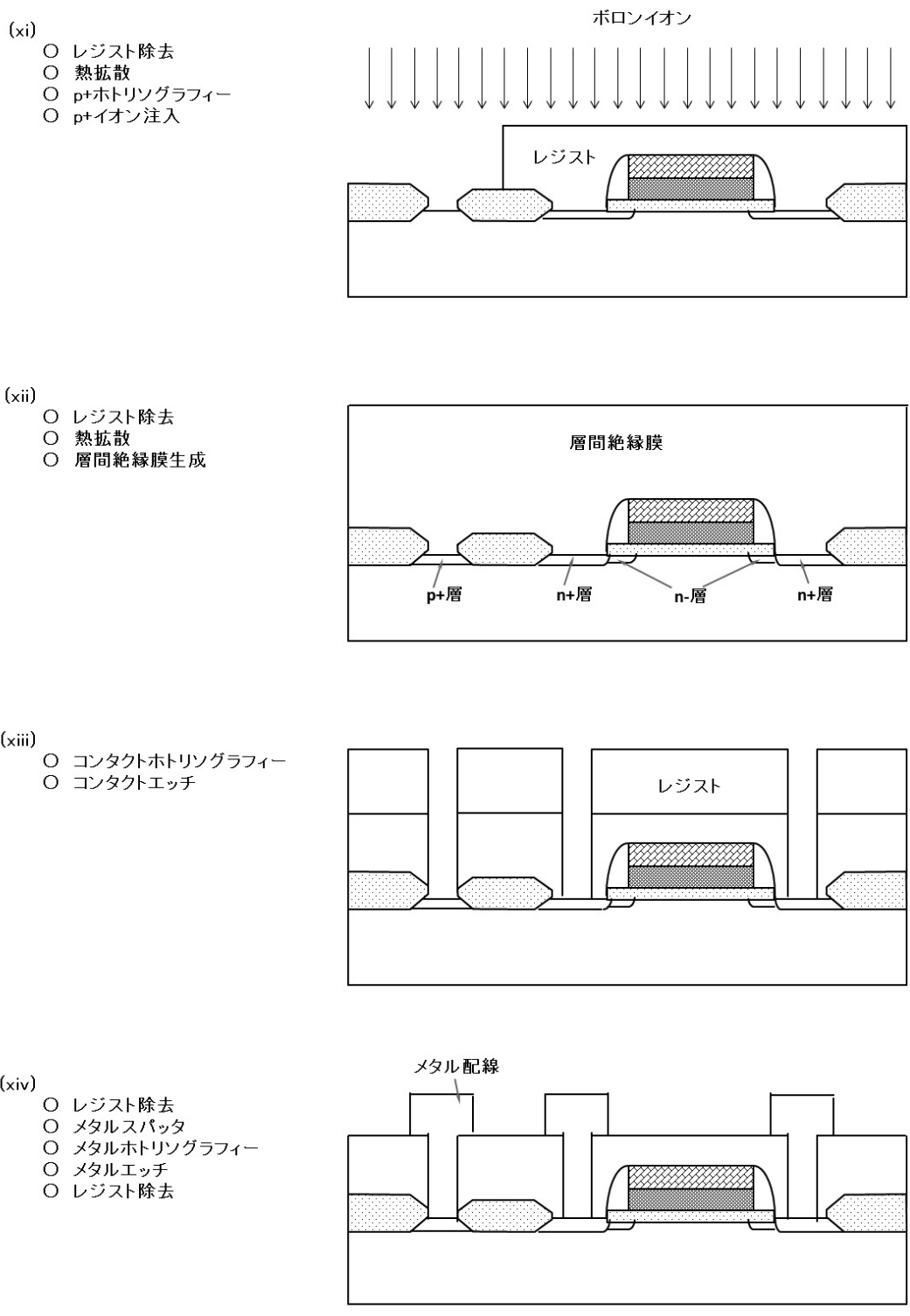
- (ix)
- レジスト除去
 - サイドウォール酸化膜生成



- (x)
- サイドウォールRIE
 - n+ホトリソグラフィ
 - n+イオン注入



[図. 1-2(2)] n型 MOSFET の基本的な製造プロセスフロー(2)



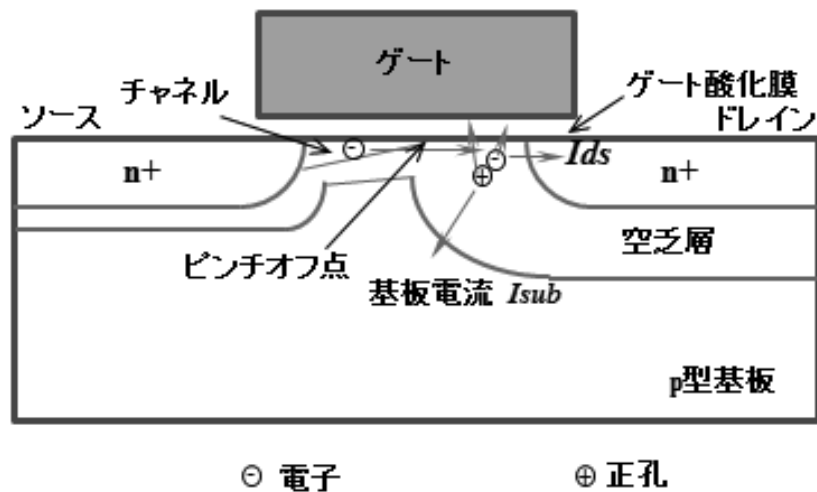
[図. 1-2(3)] n 型 MOSFET の基本的な製造プロセスフロー(3)

1.3 素子の微細化に伴うホットキャリアの発生と課題

半導体デバイスが良好な電気特性を維持し、且つ早いスピードでの微細化が可能となったのは、シリコンという材料の持つ特性に負うところが大きいですが、微細化をすすめるにはいろいろな課題もあった。その一つは、素子寸法は物理的に縮小可能であっても、デバイスが使用する電源電圧はMOSFETの閾値電圧の維持やノイズ耐性維持のためにスケージング則に従い低減できないという問題である。そのため、MOSFETにおいては、特にドレイン部の電界上昇によってドレイン空乏層内でキャリアが加速され、シリコン-酸化膜間の障壁高さよりも高いエネルギーのいわゆるホットキャリアの発生につながった。このホットキャリアは酸化膜中に注入される際にシリコン-酸化膜界面に界面準位を作り、また酸化膜中に注入されたキャリアがトラップすることで酸化膜中の電荷となり、MOSFETの動作特性を変動させるという現象が起こった。この対策としてドレイン電界を緩和する新たなドレイン構造のMOSFETが提案・導入された。（このようなドレイン構造の改良を一般的にドレインエンジニアリングと呼ばれる。）しかしながら、これらのドレイン構造の改良を行ったとしても、ホットキャリア注入を完全に抑止できる訳ではなく、MOSFETが動作することでの特性変動を完全に抑制できる訳ではない。つまり、半導体デバイスの信頼性を考えた時、半導体デバイスの動作時間に対してどれだけMOSFETの特性変動が起こっているかを精度よく予測することが必要となってきた。この予測を元に回路動作不良の起こるであろう半導体デバイスの寿命を算出することで、初めて半導体デバイスの長期信頼性を保証することが可能となる。

このMOSFETの特性変動の予測を行うには、ホットキャリアの発生原因となる、ドレイン空乏層の電界を電気特性からモニタする必要がある。ドレインに高い電圧が印加され、MOSFETが飽和領域になっているときホットキャリアが効率よく発生する。n型MOSFETでのこの状態の断面概略図を図.1-3に示した。飽和領域では、反転

層であるチャンネルにソースから電子が流れていき、ピンチオフ点を過ぎた電子はドレイン空乏層内に注入される。注入された電子は、ドレイン空乏層内の電界によって加速され、空乏層内で衝突イオン化を起こし、電子-正孔対を作る。この新たに発生したキャリアもドレイン空乏層内の電界で加速され、結果的にドレインアバランシェを引き起こし、多量のキャリアがドレイン空乏層内に発生する。この発生したキャリアの一部はドレイン空乏層電界により、シリコンに対する酸化膜の障壁である 3.1 eV 以上のエネルギーを持ち、ホットキャリアとなってゲート酸化膜に注入される。また、ゲート酸化膜へ注入されなかった大多数の電子はドレインに流れ、同様に正孔は基板に流れる。ドレインアバランシェによって正孔が発生し、その発生した正孔の量はドレイン電界で決まっていることと、発生した正孔のほとんどは基板電流として流れるため、基板電流がホットキャリア発生量のモニタになることは容易に考え付くことである。



[図. 1-3] n 型 MOSFET のドレイン高電界の時の概略断面図

この基板電流からの寿命予測は今まで次のような方法が提案されている。ホットキャリア発生の原因となる、ドレイン空乏層電界 E_m は基板に流れる正孔電流である、基板電流 I_{sub} によりモニタすることができ、

$$I_{sub} = C_1 I_{ds} \exp\left(-\frac{\beta}{E_m}\right) \quad (1.1)$$

となる。ここで、 C_1 、 β は定数であり、 I_{ds} はドレイン電流である。今、線形領域のトランスコンダクタンスである g_m が 10% 変動した時の時間を g_m 特性変動の寿命 τ_{gm} とすれば、経験的に

$$\tau_{gm} \propto I_{sub}^{-p} \quad (1.2)$$

として表すことができる[1]。この式は、 I_{sub} という初期特性から素子寿命が予測できるという意味で大変重要な式となる。つまり、長時間のストレス試験をせずとも I_{sub} という初期特性を測定することで、瞬時にそのトランジスタの寿命を予測できるというメリットを持つ。ただし、式(1.2)の関係は直流のストレスでの初期 I_{sub} と τ_{gm} の関係であることは注意しなければならない。実際の回路動作ではゲート電圧やドレイン電圧は遷移しており、実動作では交流ストレス下での寿命予測が必要となってくる。T. Horiuchi らは、トランジスタの寿命を閾値電圧変動が 10 mV の時間と定義しているが、この寿命と I_{sub} の間には、式(1.2)と同等の関係があることを示し、トランジスタを交流動作させた時、観測される I_{sub} の Duty Factor を考慮することで、式(1.2)が成り立つことを証明している[2]。これは、 I_{sub} を回路動作条件で示せられれば、式(1.2)の関係からデバイスの寿命予測ができることを示唆する。また、カリフォルニア大学バークレー校の C. Hu らのグループは、さらに詳細な物理モデルをたて、寿命は

$$\tau \propto \frac{I_{sub}^n}{I_{ds}^{n-1}} \quad (1.5)$$

となるとしており[3]、このモデルをもとにデバイスの寿命を予測する手法を提案している[4]。これらの手法によって、長時間の測定が必要なデバイスでの加速試験を用

いる事無く、MOSFET の初期特性(例えば基板電流、 I_{sub})を測ることで、回路動作条件での、そのデバイスの寿命を予測することが可能となった。また、これらのデバイスで構成する回路において、その動作を含めて、どの MOSFET がホットキャリア注入を受けて特性変動しやすい等の予測ができるようになった。これにより、例えば、ホットキャリア注入が起こりやすいところの MOSFET のみのゲート長を太くする等の対策をとり、デバイス全体としてのパフォーマンスを大きく落とす事無く寿命を改善することができ、信頼性高く、且つ良好な特性を持つデバイスの実現が可能となった。

一方、これらのモデルにおいては、MOSFET 寿命の定義はドレイン電流や線形領域のトランスコンダクタンスがある変動率になった時間か、閾値電圧の変動分がある値になった時間に定義されており、MOSFET のスイッチング時間で特性が決まるデジタル回路の寿命予測に適用することは可能である。しかし、近年、半導体デバイスは先に述べた IoT 対応の半導体デバイスのように、デジタル信号の処理ばかりではなく、アナログ信号の処理回路も混載するミクスドシグナルデバイスも必要となっている。アナログ信号処理回路では、特にゲート長をどうするかが重要なファクターでもあり、例えばアナログアンプのゲインや雑音、トランジスタペアになる MOSFET のミスマッチを考えるとゲート長は長い方がよく、長めのゲート長を用いることが多かった。長めのゲート長では、ホットキャリアの発生も少なく、アナログ回路のホットキャリア耐性の予測はそれほど重要ではなかった。しかしながら、アナログ信号処理においても、例えば近年注目されている RF 回路では、早い処理スピードが求められており、ゲート長の縮小を行う必要性がでてきた。アナログ回路では、デジタル回路のようなドレイン電流や線形領域のトランスコンダクタンス、閾値ばかりではなく、特に飽和領域でのドレインコンダクタンスがアナログ特性を大きく変動させることが判っている。J. E. Chungらは、MOSFET でホットキャリア注入が起こると、ドレインコンダクタンスが変化し、アンプの利得が低下することを指摘した[5]。また、彼らはこのドレインコンダク

タンスの変動原因を、ホットキャリア注入がドレイン近傍の極一部で起こり、それによって表面に界面準位が発生、ドレインコンダクタンス測定ではその領域をピンチオフ点が掃引されることと、ドレイン空乏層上の界面準位は見かけ上シールドされているため、ドレイン電流には影響ないことで定性的に説明している。このモデルは定性的には十分理解できるものであるが、定量的に理解されなければ、アナログデバイスとしての寿命予測にはつながらない。そこで、より定量的にドレインコンダクタンスの変動を予測するため、GCA(Gradual Channel Approximation)を使った定量モデルの構築を試みた。その結果、アナログ特性変動を十分精度よく予測できるモデルの構築ができ、さらにドレインコンダクタンス変動によって定義される素子寿命のゲート長依存や基板電流依存も予測することができることを確認した。これを用いてアンプの利得変動という観点からの寿命の予測についても検討を行った。これらについては、第3章で詳細に述べるが、今回提案したモデルによって、今まで使われていた線形領域のトランスコンダクタンス変動のデータから、アナログパラメータであるドレインコンダクタンスの変動量が予測でき、アンプの利得変動の予測が可能となり、ホットキャリア耐性のより高いアナログ回路設計の一助となっている。微細化が進んだアナログ系回路も含むシステム LSI の長期信頼性向上に本研究の成果は大いに役立つものと考えている。

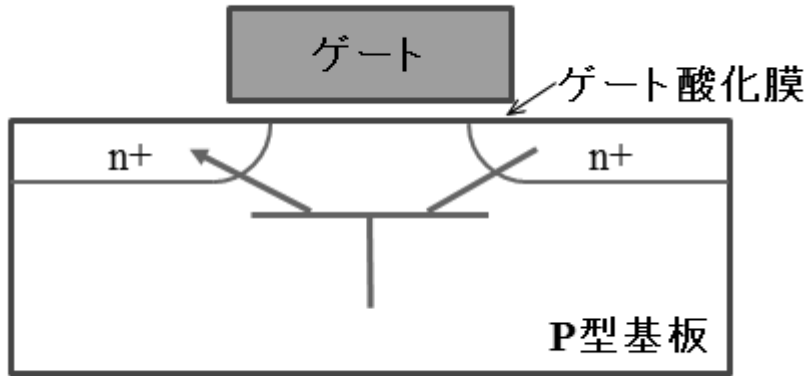
1.4 ホットキャリア発生低減と素子の静電破壊耐量

MOSFET の微細化による最大の課題であったホットキャリア注入による特性変動は、ドレイン構造を変えてドレイン電界を緩和することで対策となった。現在では、濃いソース・ドレイン拡散層とチャンネルの間に比較的ドーパント濃度の低い層を挟めるLDD構造が一般的に用いられている。しかしながら、このLDD構造の採用によりホットキャリア注入による素子寿命の改善はできたが、別の問題も発生した。静電保

護耐量低下もその一つであり[6]、この問題が解決できなければ LDD 構造 MOSFET の採用もできなくなり、長期信頼性を確保するためには微細化もできないという事態になる可能性もあった。

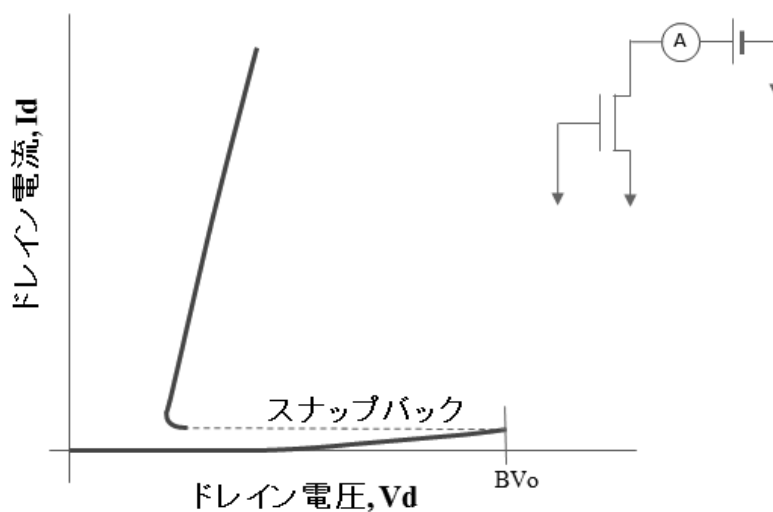
ここで、半導体デバイスに何故静電耐性が必要か説明する。半導体デバイスは通常モールドでパッケージされており、半導体デバイスとの信号のやりとりや電源供給を行う金属のピンが外にでていいる。これらの半導体デバイスは通常ボード上に半田等で実装され、システムとなる。例えば、この半導体デバイスの実装の際に作業員である人が半導体デバイスの金属のピンに触れたとしたら、人体にたまった静電気がこの金属のピンから半導体デバイスに注入されることになる。この現象は、HBM-ESD (Human Body Model Electrostatic Discharge)として知られている。このような静電気の注入があった場合でも半導体デバイスが破壊しないようにする必要がある。その他、半導体デバイスへの静電気注入の可能性としては、基板に半導体デバイスを実装する際に使われる機器の帯電によって起こるもの (MM, Machine Model) や半導体デバイスのパッケージが擦れて半導体デバイス自身の帯電によるもの (CDM, Charged Device Model)がある[7]。いずれにせよ、半導体デバイスを用いてシステムに実装していく過程で静電気が半導体デバイスに注入される可能性があり、静電気が注入されても半導体デバイスが破壊されないようにそれぞれの金属のピンに対して、静電保護回路を搭載する必要がある。

この静電保護回路であるが、保護のための特殊な構造の素子を使うのでは、製造コストの上昇を招いてしまう。そのため、半導体デバイスの構成素子で保護回路を実現する必要がある。一般的には MOSFET を保護素子として用いている[8]。MOSFET は、図. 1-4 に示したように、その構造上、バイポーラトランジスタも寄生トランジスタとして持っている。



[図. 1-4] n 型 MOSFET の概略的な断面図と寄生バイポーラトランジスタ

例えば n 型 MOSFET の場合、エミッタ及びコレクタが MOSFET の n+ソース及びドレインでベースが P 基板という NPN のバイポーラトランジスタが形成される。静電気が注入されたとき、この寄生バイポーラトランジスタをオンさせることで注入された静電気を消費させるとともに、その MOSFET 特性を変動させずに、また静電気を内部回路へ流入させないことで、静電保護回路となっている。この MOSFET のバイポーラアクションは図. 1-5 に示したようなスナップバック特性として知られている。



[図. 1-5] MOSFET のスナップバック特性

静電保護素子 MOSFET は、デバイスの入出力パッドにドレイン、電源電位(V_{cc})か接地電位(V_{ss})にソースが接続され、ゲート電位は V_{ss} に接続されている。半導体デバイスに注入される静電気は、静電注入モデルが HBM, MM, CDM としても、それぞれのモデルに対応するキャパシタンスにチャージされた電荷と考えられる。このチャージされたキャパシタンスが半導体デバイスの金属ピンに接触することによって容量カップリングでデバイス内部の電位が上昇する。これにより、保護 MOSFET のソース・ドレイン間の電位が上昇し、ある電圧 (BV_0) を超えるとバイポーラ動作が起こりスナップバックを起こし、キャパシタンスにチャージした電荷を消費する。この時、 BV_0 が MOSFET のソース・ドレイン間にかかる最大電圧となる。MOSFET の微細化によって導入された LDD 構造はドレイン電界の緩和を目的としているため、この BV_0 が上昇する。また、微細化によりゲート酸化膜厚が薄くなっており、さらにドレイン端の電界は上昇してしまう。その結果として微細化した MOSFET の静電耐量が低下すると考えられている。

基本的には、LDD 導入による静電耐量の低下の原因は BV_0 が高くなったこととゲート酸化膜が薄くなったことであるのは確かだが、静電耐量が非常に低くなってしまったことと、静電耐量を決めている特性変動が通常言われている PN 接合の熱による完全破壊ではなく、保護素子となる MOSFET のオフリークの増加であることから、新たな不良機構によって静電耐量が決まっているものと考えている。この静電ストレスによる MOSFET オフリークの増加現象を新たにソフトブレイクダウン現象と呼び、オフリークの発生原因とその機構について追及を行った。その結果、ソフトブレイクダウン現象によって引き起こされたオフリークは、ESD の電荷が注入され、MOSFET がスナップバックを起こした時に、ドレイン側にホットキャリアが発生し、このキャリアが酸化膜中に注入されることで MOS 界面の準位を増加させたことによるものと類推された。また、増加したオフリークは、この増加した界面準位を介して流れるトラップ

アシステッドトンネリング現象によって発生することも突き止めることができた。さらに、これらの考察から LDD 構造の MOSFET を用いても十分に HBM ESD 耐量を確保できる方法を提案した。この改良によって微細半導体デバイスにおいても、LDD MOSFET を適用でき、高性能で高信頼性な半導体デバイスの実現に貢献することができた。この HBM-ESD によるソフトブレイクダウン現象とオフリークが増加する現象の解析、さらにソフトブレイクダウン現象の改良方法については、詳細に第4章で述べていく。

1.5 微細化プロセスが誘発する課題

素子の微細化による MOS 界面への影響は、寸法が小さくなることで電界が増加しホットキャリアが発生、そのキャリアが酸化膜に注入されることに起因する現象ばかりではない。素子の微細化を実現し素子特性を向上させるためには、新たな材料の導入や新プロセスの導入が必要となってくる。この新たな材料の導入や新プロセスの導入が MOS 界面に影響を与える可能性は十分に考えられる。例えば、配線幅が縮小することでの配線抵抗の増加とそれによる信号伝搬スピードの遅延が起こるが、その抑制を目的とした低抵抗な新材料の導入がある。MOS 系デバイスにおいては、ゲートレベルでの配線遅延抑制を目的として、一般に用いられていたポリシリコンのゲート材料から、薄いポリシリコン上にタングステンシリサイドを形成したタングステンポリサイドの導入[9] やチタンあるいはコバルトかニッケルをゲートポリシリコン上やシリコン拡散層上に蒸着、熱処理を加える事で金属シリサイドを形成するシリサイド構造[10]の導入がある。ポリシリコンゲートからタングステンポリサイドやシリサイド構造の採用によって、約1桁以上の抵抗率の低減が可能となり、微細なゲート配線でも、その信号遅延を大幅に改善することが可能となった。しかしながら、ゲート電極

材料としてのタングステンポリサイドの採用はプロセス中の熱処理で発生する機械的ストレスによってシリコン-酸化膜界面の界面準位を増加させることとなった[11]。

さらに、以前はそれほど問題となっていなかった寸法変換差も微細化が進むにつれ縮小が必須となってきた。特に一般に使われてきた素子分離技術である LOCOS 法での寸法変換差とソース・ドレイン拡散層を形成するに一般的に使われてきた不純物イオン注入後の拡散炉による熱処理での横方向拡散による実効ゲート長への変換差は大きく、これらを低減することは素子微細化には必要条件となっている。前者は、LOCOS 法から STI (Shallow Trench Isolation) 法の導入により達せられた[12]。また、後者に対してはイオン注入によるダメージの回復と不純物の活性化を維持しながら、より Thermal Budget の少ない熱処理技術が必要となった。そのため、高温で且つ短時間で熱処理ができる RTP (Rapid Thermal Processing) が適用された。RTP はランプヒーターにより、シリコンウエハを高速に加熱し、数 100 °C から 1000 °C 程度で数 10 秒間の熱処理を行うことにより、イオン注入による結晶ダメージの回復と不純物の活性化を行う方法である。この方法は 0.5 μm 以下のテクノロジーノードから導入され[13,14]、45 nm レベルの High-k Metal ゲートではミリ秒の熱処理が可能であるフラッシュランプアニールが適用されている[15,16]。これらの短時間高温熱処理技術によって微細トランジスタの実現が可能になった。しかしながら、この熱処理は急速な昇温・降温を伴うため、シリコン-酸化膜で形成されている MOS 界面にダメージを与え、結果的に界面準位の増加につながった。この RTP による界面準位の増加に起因した MOSFET 特性の変動は、フラットバンド電圧 V_{FB} の変動[17]に伴う閾値電圧の変動、GIDL (Gate Induced Drain Leakage) 電流の増加[18]、 $1/f$ ノイズの増加[19]等が報告されている。このように、素子特性へも影響を与えてしまっている RTP ではあるが、不純物の活性化を維持し横方向拡散を抑制するには必要不可欠な技術であることから、特性に影響を与えている界面準位の増加をできるだけ低減できる RTP 処理

条件を模索する必要がある。そのためには、どのように RTP によって界面準位が発生するかの機構を明確にしなければならない。

RTP という急激な高温熱処理で何が起こると界面準位の発生に結びつくか、まず、想定原因を列挙してみた。界面準位は基本的に Pb センタと呼ばれるシリコン-酸化膜界面でのシリコン側にあるシリコン原子の未結合手、ダングリングボンド、によって発生すると考えられている[20]。このダングリングボンドはまた水素等の原子によりパッシベートされ、電氣的に不活性化となる。逆に、水素によりパッシベートされていたダングリングボンドから、その水素を離脱させると界面準位が増加する。あるいは、界面で酸化膜中の酸素と結合していたシリコンが何らかの要因によりこの結合が切れてダングリングボンドが発生する機構も考えられる。この現象が起こるには、シリコンと酸素の結合部に結合を切るに十分な力が発生しなければならない。これらの事を考えると、RTP による界面準位の発生は、(i)RTP の熱によってパッシベートされていたダングリングボンドから水素が離脱することで界面準位が増加する、(ii)シリコンと酸化膜の熱膨張係数の違いがシリコン-酸化膜界面にせん断応力を発生させ、その応力によりシリコンのダングリングボンドが発生し界面準位が増加する、(iii)(ii)に近い発想であるが、ゲート電極材料との熱膨張係数差によって発生するせん断応力によりシリコンのダングリングボンドが発生し界面準位が増加するという3つのモデルが考えられる。この3つの要因について一つ一つ検証して、真の原因の追究を行う必要がある。これまで研究されてきた文献を見ると、RTP によって界面準位が増加することは周知の事実ではある。Kamgar らは、ポリシリコンをゲート電極としたキャパシタに温度を変えて RTP を実施し、RTP 前後で高周波 C-V 測定から求めたフラットバンド電圧 V_{FB} により RTP での界面準位の発生について検討している[17]。さらに、RTP 後の水素アニールによって、RTP によってシフトした V_{FB} は RTP 前に戻ることを示している。また、酸化によって形成した酸化膜は高温(900 °Cと 950 °C)でアルゴ

ンアニールされており、この時に界面準位をパッシベートしている水素は離脱するの
もと考えられ、それでもその後の RTP で界面準位が増加することから、RTP による界
面準位の発生は RTP 中でのパッシベートしていた水素の離脱とは考えにくいことは指
摘している。しかしながら、これだけの結果から、RTP によって界面準位が発生する
原因を特定するのは難しい。B. J. O'Sullivan と O. K. Hurley らは、RTP によって発
生した界面準位をキャパシタを用いた Quasi-Static C-V と ESR (Electron Spin
Resonance) によって評価し、RTP によりシリコンのバンドギャップ中で、バレンスバンド
から 0.25-0.33 eV と 0.85-0.88 eV にピークを持つ界面準位が増加することを示してい
る[21, 22]。またこれらの界面準位はシリコンのダングリングボンドである Pb センター
に起因していることも指摘している。ただし、RTP による界面準位の発生機構を説明
するまでには至っていない。

RTP によって界面準位が発生し、その界面準位はシリコンのダングリングボンドで
ある Pb センタであることまでは証明されている。そこで、本論文においては、どんな
機構で RTP によって界面準位が発生するか の解明に重点をおいて前述の3つの考
えられる機構をもとに解析することにした。結果の詳細は第4章で述べるが、RTP に
よる界面準位の発生はシリコンと酸化膜の熱膨張係数の違いによって発生するスト
レスと酸化膜自身の持つ高温での粘性に関係していることを突き止めることができた。
界面準位の発生機構が解明されたことで、RTP を実施する効果を維持したまま、RTP
で発生する界面準位を最小限に抑える処理条件の最適化も可能となり、さらなる半
導体デバイスの性能や信頼性の向上に貢献できるものと考えている。

第1章 参考文献

- [1] E. Takeda, "Hot-carrier and wear-out phenomena in submicron VLSI's," in *VLSI Symp. Tech. Dig.*, 1985, pp. 2-5.
- [2] T. Horiuchi, H. Mikoshiba, K. Nakamura, and K. Hamano, "A simple method to evaluate device lifetime due to hot-carrier effect under dynamic stress," *IEEE Electron Device Lett.*, vol. 7, no. 6, pp. 337-339, 1986.
- [3] C. Hu, S. C. Tam, F.-C. Hsu, P.-K. Ko, T.-Y. Chan, and K. W. Terrill, "Hot-electron-induced MOSFET degradation – model, monitor, and improvement," *IEEE Trans. Electron Devices*, vol. 32, no. 2, pp. 375-385, 1985.
- [4] J.-E. Chung, P.-K. Ko, and C. Hu, "A model for hot-electron-induced MOSFET linear-current degradation based on mobility reduction due to interface-state generation," *IEEE Trans. Electron Devices*, vol. 38, no. 6, pp. 1362-1370, 1991.
- [5] J. E. Chung, K. N. Quader, C. G. Sodini, P.-K. Ko, and C. Hu, "The effects of hot-electron degradation on analog MOSFET performance," in *IEDM Tech. Dig.*, 1990, pp. 553-556.
- [6] C. Duvvury, R. A. McPhee, D. A. Baglee, and R. N. Rountree, "ESD protection reliability in 1 μ m CMOS technology," in *IRPS Proc.*, 1986, pp. 199-205.
- [7] Y. Fukuda, K. Kato, and E. Umemura, "ESD and latch up phenomena on advanced technology LSI," in *Proc. EOS/ESD Symp.*, 1996, pp. 76-84.
- [8] R. N. Rountree and C. Hutchins, "NMOS protection circuitry," *IEEE Trans. Electron Devices*, vol. 32, no. 5, pp. 910-917, 1985.
- [9] H. J. Geipel, JR., N. Hsieh, M. H. Ishaq, C. W. Koburger, and F. R. White, "Composite Silicide gate Electrodes – Interconnections for VLSI Device Technologies," *IEEE Trans. Electron Devices*, vol. 27, no. 8, pp. 1417-1424, 1980.

- [10] C. Y. Ting, "Silicide for contacts and interconnects," in *IEDM Tech. Dig.*, 1984, pp. 110-113.
- [11] I. Kurachi and K. Yoshioka, "Breakdown Characteristics of MOS tungsten polycide gate structure," in *Proc., Electronic Devices and Materials Symp. (Kaohsing)*, 1988, pp. 133-138.
- [12] H. Mikoshiba, T. Homma, and K. Hamano, "A new trench isolation technology as a replacement of LOCOS," in *IEDM Tech. Dig.*, 1984, pp. 578-582.
- [13] R. A. Chapman, J. W. Kuehne, P. S.-H. Ying, W. F. Richardson, A. R. Paterson, A. P. Lane, I.-C. Chen, L. Velo, C. H. Blanton, N. M. Mosiehl, and J. L. Paterson, "High performance sub-half micron CMOS using rapid thermal processing," in *IEDM Tech. Dig.*, 1991, pp. 101-104.
- [14] M. Segawa, T. Yabu, M. Arai, M. Moriwaki, H. Umimoto, M. Sekiguchi, and A. Kanda, "A 0.18 μm Ti-salicyded p-MOSFET with shallow junctions fabricated by rapid thermal processing in NH_3 ambient," in *IEDM Tech. Dig.*, 1996, pp. 443-446.
- [15] F. Ootsuka, A. Katakami, K. Shirai, T. Watanabe, H. Nakata, M. Kitajima, T. Aoyama, T. Eimori, Y. Nara, Y. Ohji, and M. Tanjyo, "Ultralow-thermal-budget CMOS process using flash-lamp annealing for 45 nm metal/high-k FETs," *IEEE Trans. on Electron Devices*, vol. **55**, no. 9, pp. 1042-1049, 2008.
- [16] T. Onizawa, S. Kato, T. Aoyama, Y. Nara, and Y. Ohji, "A proposal of new concept milli-second annealing: flexibly-shaped-pulse flash lamp annealing (FSP-FLA) for fabrication of ultra shallow junction with improvement of metal gate high-k CMOS performance," in *VLSI Symp. Tech. Dig.*, 2008, pp. 110-111.

- [17] A. Kamgar and S. J. Hillenius, "Rapid thermal anneal induced effects in polycrystalline silicon gate structures," *Appl. Phys. Lett.*, vol. **51**, no. 16, pp. 1251-1253, 1987.
- [18] J. C. Hsieh, Y. K. Fang, and C. W. Chen, "Effect of rapid thermal annealing on gate induced drain leakage in a n-channel metal-oxide-semiconductor field effect transistor," *Appl. Phys. Lett.*, vol. **63**, no. 22, pp. 3058-3059, 1993
- [19] D. C. Murray, J. C. Carter, A. G. R. Evans, A. Gougan, and J. L. Altrip, "An investigation into the effects of RTA processing on low frequency noise and other characteristics of CMOS FETs," in *Proc. 19th European Solid State Device Research Conf. (ESSDERC)*, 1989, pp. 557-560.
- [20] P. J. Caplan, E. H. Poindexter, B. E. Deal, and R. R. Razouk, "ESR centers, interface state, and oxide fixed charge in thermally oxidized silicon wafers," *J. Appl. Phys.*, vol. **50**, no. 9, pp. 5847-5854, 1979.
- [21] B. J. O'Sullivan, P. K. Hurley, C. Leveugle, and J. H. Das, "Si (100)-SiO₂ interface properties following rapid thermal processing," *J. Appl. Phys.*, vol. **89**, no. 7, pp. 3811-3820, 2001.
- [22] P. K. Hurley, A. Stesmans, V. V. Afanes'ev, B. J. O'sullivan, and E. O'Callaghan, "Analysis of Pb centers at the Si(111)/SiO₂ interface following rapid thermal annealing," *J. Appl. Phys.*, vol. **93**, pp. 3971-3973, 2003.

第2章 ホットキャリア注入による n 型 MOSFET のドレインコンダクタンス変動物理モデル

2.1 まえがき

半導体デバイスの性能向上とコストダウンのため、さらなる MOSFET の微細化が必要になってくる。これに対して、電源電圧はノイズマージン等の理由から下げられないため、MOSFET の微細化によって MOSFET 内の電界が上昇し、MOSFET 動作中にシリコンからゲート酸化膜へ注入されるに十分なエネルギーを持ったキャリア、いわゆるホットキャリアの発生を引き起こす。実際、1980年代からこの現象に関して多くの研究がなされており、ホットキャリア注入によってシリコンと酸化膜界面に界面準位が発生、もしくは界面近傍のシリコン酸化膜に注入されたキャリアが捕獲され電荷が発生することで MOSFET の閾値の上昇やチャンネルを流れるキャリアの移動度が変動し、結果としてドレイン電流の変動を引き起こすことが報告されている [1-4]。このホットキャリア注入による MOSFET の特性変動は、さらなる素子の微細化に対して、長期信頼性を確保するという観点から重要な課題となっている。そのため、界面準位発生によるキャリア移動度の低下をもとにした素子の寿命予測も提案されている [5]。さらに、ホットキャリア注入による MOSFET 特性変動の予測モデルをもとにデジタル回路でのデバイス寿命予測についてのいくつかの報告もなされている [6-8]。これらの寿命予測においては、特性変動の指標として業界の標準となっている線形領域のトランスコンダクタンス g_m の変動やドレイン電流の変動を用いていた。

これに対して、アナログ回路の動作において重要なパラメータとなる飽和領域のドレインコンダクタンス g_d もホットキャリア注入によって変動することが報告されている [9-11]。アナログ回路の寿命予測には、この g_d 変動機構を明確にし、モデル化する必要がある。しかしながら、 g_d 変動機構を明確に示した報告はあまりなされていない。 g_d 変動機構がモデル化されていないのはドレイン近傍でホットキャリア注入に

より発生する界面準位やキャリアのトラップのチャンネル方向分布を考慮しなければならないためである。ここでは GCA (gradual channel approximation) を用いた g_d 変動のモデルを提唱した[12]。このモデルにおいて、ドレイン近傍のホットキャリア注入領域で発生する界面準位をチャンネル方向のステップ関数と仮定し計算した。ホットキャリア注入領域では、MOSFET が飽和領域で動作する場合、空乏層がドレイン領域に形成され、その空乏層により、空乏層上部の発生した界面準位はシールドされるため、結果的にドレイン電流の変動に影響を与えないと仮定した。また、ホットキャリア注入による界面準位発生とそれによるキャリアの移動度の低下によってドレイン電流が変動すると仮定しモデル化した。

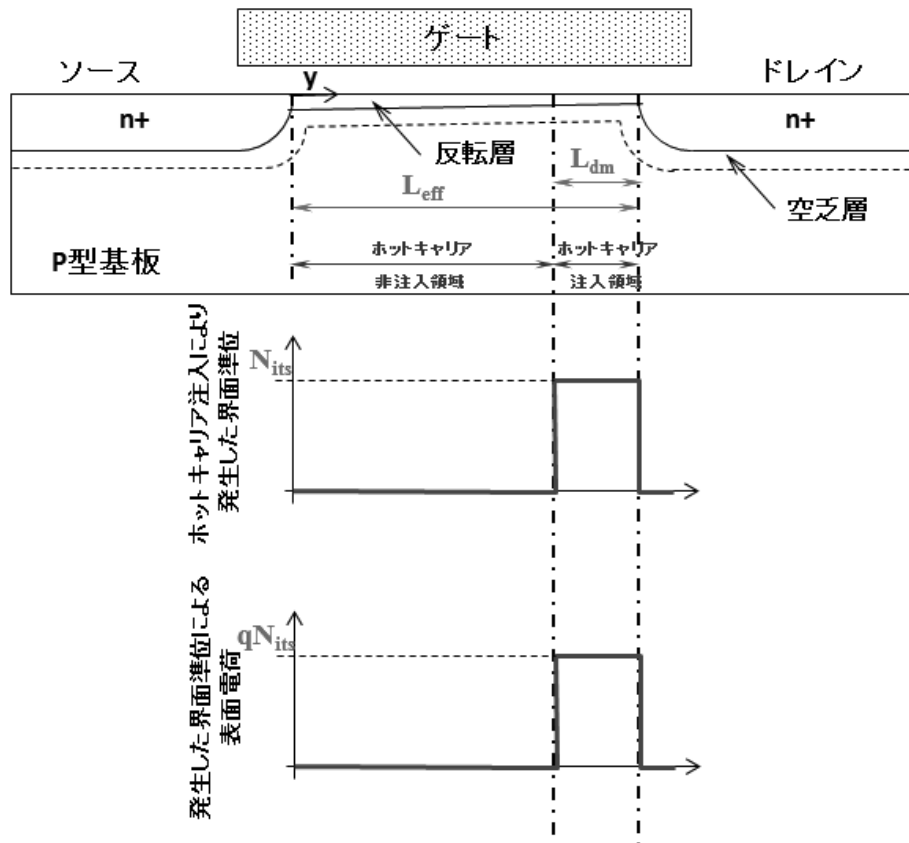
本章においては、まず2. 2節で提案する g_d 変動モデルについて説明する。この g_d 変動モデルを使う事で、通常 MOSFET のホットキャリア注入での特性変動の指標とされている線形領域の g_m 変動率で g_d 変動率も予測できることを示す。2. 3節では実験方法と測定方法、2. 4では実測の g_d 変動と提案したモデルによって g_m 変動から予測された g_d 変動の一致性について議論する。さらにゲート長依存性および基板電流依存性から提案するモデルを用いる寿命の予測についても説明する。また、これらの結果を用いて単純なアナログアンプの寿命予測についても考察していく[13]。

2. 2 ホットキャリア注入による特性変動モデル

2. 2. 1 ホットキャリア注入による MOSFET の線形領域の特性変動

n 型 MOSFET のホットキャリア注入による特性変動予測モデルを説明する概略図を図. 3-1 に示す。ホットキャリア注入によって界面準位はチャンネル方向にそってドレイン端からドレイン近傍に発生し、その分布は L_{dmg} の長さを持ち、発生した界面準位密度は N_{its} となるステップ関数であると仮定した。これらの界面準位はアクセプタ

ライクの界面準位であり、表面ポテンシャルがバルク中のフェルミレベルとミッドギャップポテンシャル差である ψ_B 以下になると負に帯電する。つまり、ゲート電圧が閾値電圧以上であると界面準位は負の電荷となると仮定できる。



[図. 2-1] 線形領域でのホットキャリア注入後の MOSFET 断面イメージと発生した界面準位分布

今 MOSFET の動作が線形領域にあり、GCA を用いることでチャネル方向の微小領域に発生する電位差は

$$dV = \frac{-I_d dy}{W\mu Q_n(y)} \quad (2.1)$$

となる。ここで、 I_d はドレイン電流、 W はゲート幅、 μ はシリコン表面での電子の移動度、 $Q_n(y)$ は反転層内の電子電荷である[14]。ホットキャリア注入によって界面準位

N_{it} が発生したとし、ドレイン電流が流れる強反転状態では界面準位は負に帯電するため、この反転層の電子電荷は発生した界面準位分だけ低下することから、 $Q_n(y)$ は

$$Q_n(y) = -C_{ox}[V_{gs} - V_{to} - V(y)] + qN_{it}(y) \quad (2.2)$$

となる[15]。ここで C_{ox} はゲート酸化膜の容量、 V_{to} は MOSFET の閾値電圧、 q は電子の電荷量である。式(2.2)を式(2.1)に代入し、ソースからドレインまで積分すると、

$$\int_0^{L_{eff}} \frac{\mu_0 I_d}{\mu L_{eff}} dy = \frac{\mu_0 W}{L_{eff}} \int_0^{V_{ds}} C_{ox} (V_{gs} - V_{to} - V(y)) dV - \frac{\mu_0 W}{L_{eff}} \int_0^{V_{ds}} q N_{it}(y) dV \quad (2.3)$$

となる。ここで μ_0 、 μ はそれぞれホットキャリア注入がない領域とホットキャリア注入が起こった領域での移動度、 L_{eff} はソース-ドレイン間の金属冶金学的接合の距離となる実効ゲート長である。界面準位発生による移動度変動の経験的モデル[16]を用いると、ホットキャリア注入があった領域での移動度 μ は

$$\mu = \frac{\mu_0}{1 + \alpha N_{its}} \quad (2.4)$$

と表現でき、 $\alpha = (0.104 + 0.0193 \log(N_a)) \times 10^{-11} \text{ cm}^2$ 、 $\mu_0 = 3490 - 164 \log(N_a) \text{ cm}^2/Vs$ で与えられる。ここで、 N_a はチャネルのドーピング濃度である。今回の実験においては $N_a = 2.8 \times 10^{16} \text{ cm}^{-3}$ であり、 $\alpha = 2.13 \times 10^{-12} \text{ cm}^2$ 、 $\mu_0 = 792 \text{ cm}^2/Vs$ を用いている。式(2.4)を用いると式(2.3)の左辺は、

$$\int_0^{L_{eff}} \frac{\mu_0 I_d}{\mu L_{eff}} dy = I_d \left(1 + \frac{L_{dmg}}{L_{eff}} \alpha N_{its} \right) \quad (2.5)$$

となる。式(2.3)の右辺第1項はホットキャリア注入されていない場合のドレイン電流と等しく、

$$\frac{\mu_0 W}{L_{eff}} \int_0^{V_{ds}} C_{ox} [V_{gs} - V_{to} - V(y)] dV = \frac{\mu_0 W}{L_{eff}} C_{ox} \left(V_{gs} - V_{to} - \frac{V_{ds}}{2} \right) V_{ds} \quad (2.6)$$

となる。式(2.3)の右辺第2項は、線形領域の MOSFET のチャネル領域では、

$dV = \frac{\partial V}{\partial y} dy \cong \frac{V_{ds}}{L_{eff}} dy$ と近似できるため、

$$-\frac{\mu_0 W}{L_{\text{eff}}} \int_0^{V_{\text{ds}}} q N_{\text{it}}(y) dV = -\frac{\mu_0 W q V_{\text{ds}} L_{\text{dmg}} N_{\text{its}}}{L_{\text{eff}}^2}, \quad (2.7)$$

となる。式(2.5)から式(2.7)を式(2.3)に代入すると、

$$I_{\text{d}} \left(1 + \frac{L_{\text{dmg}}}{L_{\text{eff}}} \alpha N_{\text{its}} \right) = \frac{\mu_0 W}{L_{\text{eff}}} C_{\text{ox}} \left(V_{\text{gs}} - V_{\text{to}} - \frac{V_{\text{ds}}}{2} \right) V_{\text{ds}} - \frac{\mu_0 W q V_{\text{ds}} L_{\text{dmg}} N_{\text{its}}}{L_{\text{eff}}^2}, \quad (2.8)$$

が得られる。この式を V_{gs} で微分し、 $\partial I_{\text{d}} / \partial V_{\text{gs}} = g_{\text{m}}$ であることから、

$$\begin{aligned} \left(1 + \frac{L_{\text{dmg}}}{L_{\text{eff}}} \alpha N_{\text{its}} \right) g_{\text{m}} &= g_{\text{mo}} \\ N_{\text{its}} &= \frac{L_{\text{eff}}}{L_{\text{dmg}}} \left(\frac{g_{\text{mo}} - g_{\text{m}}}{g_{\text{m}}} \right) \frac{1}{\alpha} \end{aligned} \quad (2.9)$$

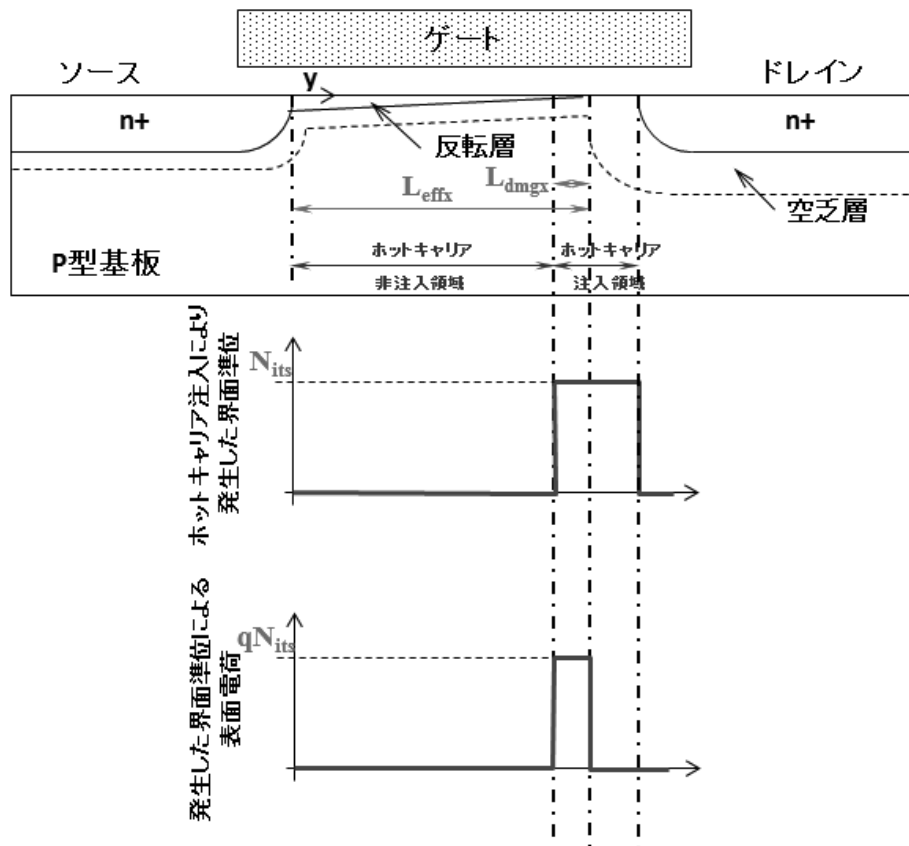
となる。ここで、 g_{m} はホットキャリア注入後のトランスコンダクタンスで g_{mo} はホットキャリア注入前のトランスコンダクタンスである。式(2.9)から、ホットキャリア注入によって発生する界面準位はトランスコンダクタンスの変動、 $\frac{g_{\text{mo}} - g_{\text{m}}}{g_{\text{m}}}$ から計算できることがわかる。

2. 2. 2 飽和領域におけるドレイン電流

飽和領域 ($V_{\text{ds}} > V_{\text{gs}} - V_{\text{to}}$) においては、図. 2-2 に示したようにピンチオフ点とドレイン端との間に空乏領域が形成される。反転層内を拡散によって流れた電子は空乏領域に注入され、空乏領域内での高い電界によって加速される。それゆえ、飽和領域でのドレイン電流はソースからピンチオフ点までの電子の拡散電流で制限される。その結果、飽和領域においても式(2.3)は、基本的に L_{eff} を L_{effx} 、 V_{ds} を V_{dsat} と置き換えることで成立することになる。ここで、 L_{effx} は飽和領域における実効ゲート長であるソースとピンチオフ点間の距離、 V_{dsat} はソースとピンチオフ点間の電圧である。以上から、飽和領域でのドレイン電流は、

$$\begin{aligned}
& \int_0^{L_{\text{effx}}} \frac{\mu_0 I_d}{\mu L_{\text{effx}}} dy \\
&= \frac{\mu_0 W}{L_{\text{effx}}} \int_0^{V_{\text{dsat}}} C_{\text{ox}} [V_{\text{gs}} - V_{\text{to}} - V(y)] dV \\
& - \frac{\mu_0 W}{L_{\text{effx}}} \int_0^{V_{\text{dsat}}} qN_{\text{it}}(y) dV \tag{2.10}
\end{aligned}$$

となる。この積分においても界面準位の特性への寄与を考慮しなければならない。



[図. 2-2] 飽和領域でのホットキャリア注入後の MOSFET 断面イメージと発生した界面準位分布

ドレイン近傍の空乏領域では、ホットキャリア注入で発生した界面準位はほとんど全て中性化している。何故なら、発生した界面準位はアクセプタライクな準位であり、またこの領域の表面ポテンシャルは ψ_B 以上にあるためである。この界面準位の寄与を考慮して式(2.10)を積分すると、

$$I_d = \frac{L_{\text{effx}}}{L_{\text{effx}} + L_{\text{dmgx}}\alpha N_{\text{its}}} I_{\text{do}} - \frac{\mu_0 W q V_{\text{dsat}} L_{\text{dmgx}} N_{\text{its}}}{L_{\text{effx}}(L_{\text{effx}} + L_{\text{dmgx}}\alpha N_{\text{its}})} \quad (2.11)$$

$$I_{\text{do}} = \frac{1}{2} \frac{\mu_0 W}{L_{\text{effx}}} C_{\text{ox}} V_{\text{dsat}}^2 \quad (2.12)$$

となる。ここで、 L_{dmgx} は図. 2-2 に示したホットキャリア注入領域の端からピンチオフ点間の距離である。もし L_{effx} , L_{dmgx} , V_{dsat} が既知であれば、 I_d は式(2.9)で与えられる N_{its} を用いて計算することができる。

式(2.11)において、右辺の第1項はホットキャリア注入領域での移動度低下によるドレイン電流の変動を表している。第2項は反転層形成への界面電荷寄与分である。この項は、 qN_{its} を $qN_{\text{its}} + \frac{qN_{\text{ots}}(T_{\text{ox}}-x)}{T_{\text{ox}}}$ に置き換えると、ホットキャリア注入領域上部の酸化膜中のトラップされた電子の効果も含んだ式となる。ここで、 N_{ots} は酸化膜中にトラップされた電子密度、 T_{ox} はゲート酸化膜厚、 x はシリコン表面からの酸化膜中にトラップされた電子分布のセントロイドまでの距離である。式(2.11)の右辺第1項と第2項を比較すると、ドレイン近傍の空乏層が界面準位による電荷やゲート酸化膜中の電荷をシールドしており L_{dmgx} は十分小さいため、第2項は無視することができる。実際、ゲート幅 W が $50 \mu\text{m}$ でゲート長 L が $1.0 \mu\text{m}$ の通常の LDD-MOSFET の飽和領域 ($V_{\text{ds}}=5.0 \text{ V}$, $V_{\text{gs}}=5.0 \text{ V}$) において、第1項は大体 15 mA の電流であるが、第2項は $1 \mu\text{A}$ 以下となり十分に小さいことがわかる。つまり、ホットキャリア注入後の飽和領域でのドレイン電流は、

$$I_d = \frac{L_{\text{effx}}}{L_{\text{effx}} + L_{\text{dmgx}}\alpha N_{\text{its}}} I_{\text{do}}, \quad (2.13)$$

とすることができる。この式から、飽和領域でのドレイン電流の変動はホットキャリア注入によって発生する界面準位とホットキャリア注入領域の長さによって支配されている事がわかる。また、式(2.8)と(2.13)を比較することで、飽和領域でのドレイン電流の劣化量は線形領域でのドレイン電流の劣化量より小さい事が判る。

2. 2. 3 ドレインコンダクタンス変動モデル

ドレインコンダクタンス g_d はドレイン電流 I_d をドレイン電圧 V_d で微分することで与えられる。つまり式(2.13)から、 g_d は

$$g_d = \frac{\partial I_d}{\partial V_{ds}} = - \frac{(L_{\text{effx}} - L_{\text{dmgx}})\alpha N_{\text{its}}}{(L_{\text{effx}} + L_{\text{dmgx}}\alpha N_{\text{its}})^2} \frac{\partial L_{\text{effx}}}{\partial V_{ds}} I_{\text{do}} + \frac{L_{\text{effx}}}{L_{\text{effx}} + L_{\text{dmgx}}\alpha N_{\text{its}}} g_{\text{do}} \quad (2.14)$$

となる。ここで、 g_{do} はホットキャリア注入前の MOSFET のドレインコンダクタンスである。式(2.12)からホットキャリア注入前の MOSFET のドレインコンダクタンスは、

$$g_{\text{do}} = \frac{\partial I_{\text{do}}}{\partial V_{ds}} = - \frac{1}{2} \frac{\mu_0 W}{L_{\text{effx}}^2} C_{\text{ox}} V_{\text{dsat}}^2 \frac{\partial L_{\text{effx}}}{\partial V_{ds}} = - \frac{1}{L_{\text{effx}}} I_{\text{do}} \frac{\partial L_{\text{effx}}}{\partial V_{ds}} \quad (2.15)$$

となる。式(2.15)を式(2.14)に代入すると、

$$g_d = \frac{(L_{\text{effx}} - L_{\text{dmgx}})\alpha N_{\text{its}}}{(L_{\text{effx}} + L_{\text{dmgx}}\alpha N_{\text{its}})^2} g_{\text{do}} + \frac{L_{\text{effx}}}{L_{\text{effx}} + L_{\text{dmgx}}\alpha N_{\text{its}}} g_{\text{do}} = \frac{L_{\text{effx}}^2 (1 + \alpha N_{\text{its}})}{(L_{\text{effx}} + L_{\text{dmgx}}\alpha N_{\text{its}})^2} g_{\text{do}} \quad (2.16)$$

となり、 $L_{\text{dmgx}} \ll L_{\text{effx}}$ であれば式(2.16)は、

$$g_d \cong (1 + \alpha N_{\text{its}}) g_{\text{do}}$$

であり、さらに

$$\frac{g_d - g_{\text{do}}}{g_{\text{do}}} = \alpha N_{\text{its}} = \frac{L_{\text{eff}}}{L_{\text{dmg}}} \frac{g_{\text{mo}} - g_{\text{m}}}{g_{\text{m}}} \quad (2.17)$$

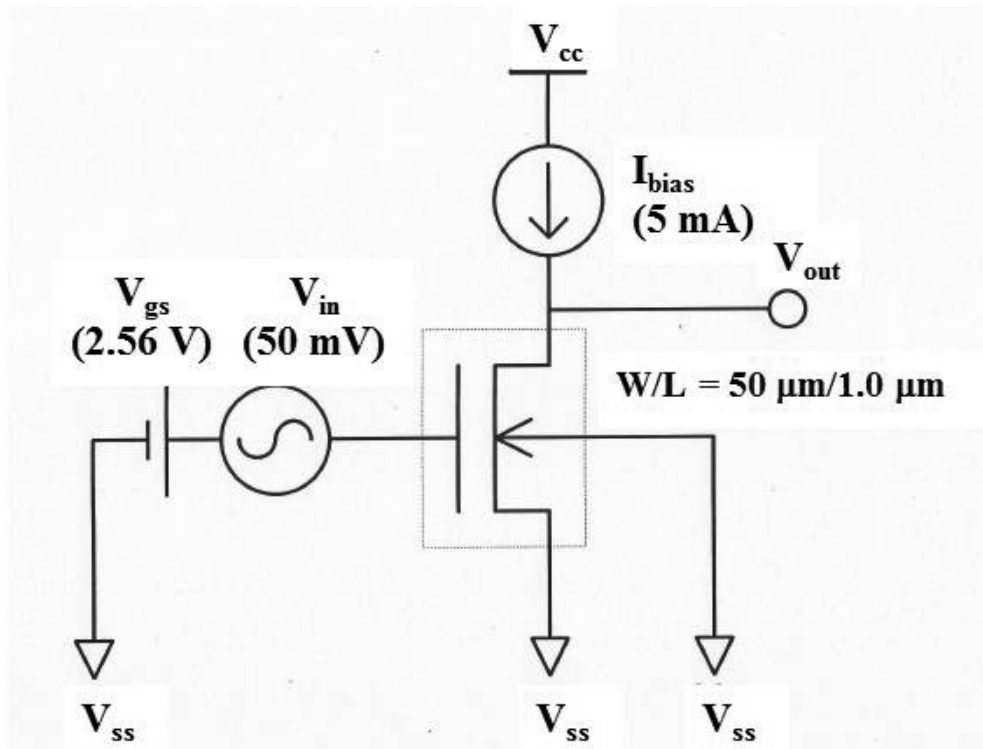
となる。式(2.17)により、ドレインコンダクタンスの変動はトランスコンダクタンスの変動によって予測することができる。この式が本論文で提唱するドレインコンダクタンス変動予測モデルの基本式となる。

2.3 実験方法

前述したモデルを検証するために n 型 MOSFET を 1.0 μm Nwell CMOS プロセスにより作成した。素子分離は通常の LOCOS 法を用い、ソースドレインには LDD 構造を適用している。ゲート酸化膜厚は 20 nm、MOSFET のゲート幅とゲート長は、それぞれ、50 μm と 0.8-2.0 μm である。

ストレス電圧を MOSFET に印加し、線形領域のトランスコンダクタンス g_m と飽和領域のドレインコンダクタンス g_d の時間変動を測定した。 g_m は $V_{ds}=0.1\text{ V}$ で V_{gs} を変えた時の最大となる値、 g_d は $V_{gs}=5.0\text{ V}$ で V_{ds} を変えた時の最小となる値とした。MOSFET の寿命は g_m が 10%変動した時間を g_m 変動による寿命 τ_{gm} と g_d が 50%変動した時間を g_d 変動による寿命 τ_{gd} とし、ふたつの寿命を定義することにした。ストレス条件の V_{gs} はストレス条件のドレイン電圧 V_{ds} で、基板電流が最大値となるゲート電圧 V_{gs} とした。この条件でのストレス時間は短くとも 1 日以上とした。

n 型 MOSFET で構成したシングルトランジスタアンプでの利得のストレス時間依存性も評価した。このアンプは図. 2-3 で示したように、n 型 MOSFET と定電流源で構成されている。この測定ではゲート幅 50 μm 、ゲート長 1.0 μm のトランジスタを使用した。定電流源は電流が $I_{bias}=5\text{ mA}$ となるようにし、トランジスタのゲート電圧はストレス印加前のトランジスタでゲインが最大となる場所の電圧(この時は $V_{gs}=2.56\text{ V}$)としている。入力信号は 50 mV_{p-p} にした。アンプで使っているバイアスポイントでのトランスコンダクタンス g_m とドレインコンダクタンス g_d も測定している。この測定でのストレス条件は直流ストレスとしており、 $V_{ds}=7.0\text{ V}$ 、 $V_{gs}=2.5\text{ V}$ である。また、このストレス条件の V_{gs} で基板電流は最大となっている。

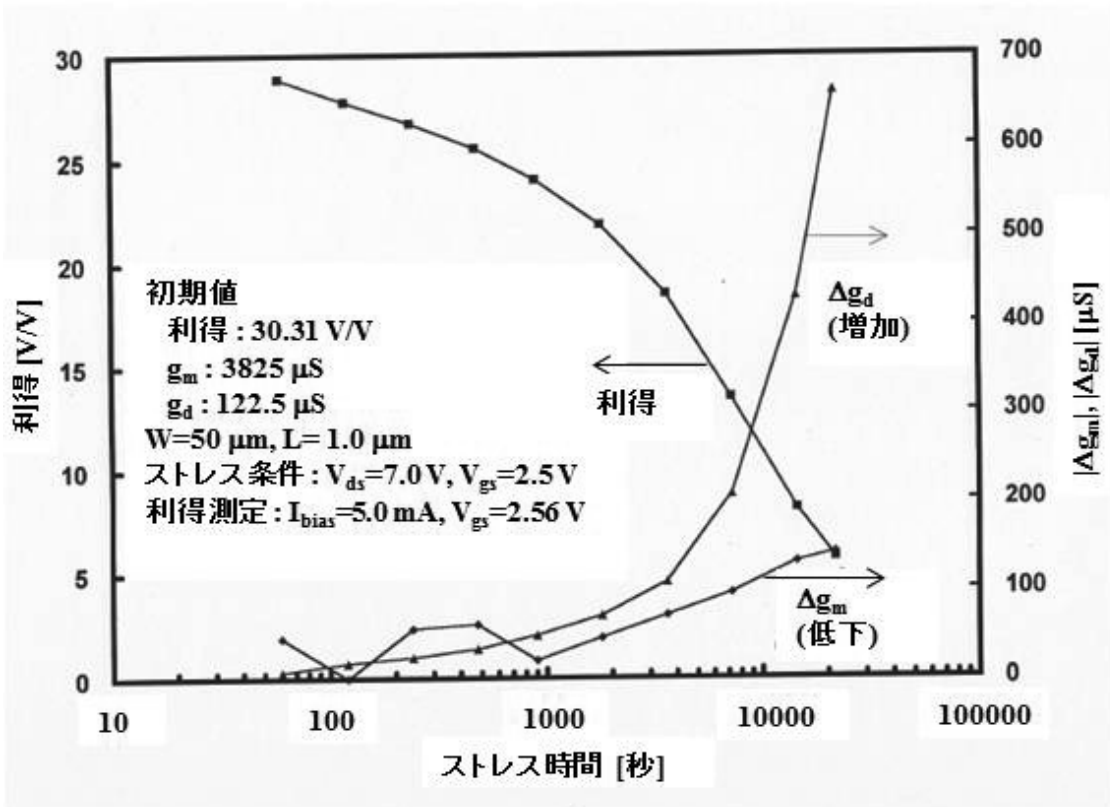


[図. 2-3] 測定に用いたシングルトランジスタアンプ回路[12]
Copyright (1994) IEEE

2. 4 測定結果と考察

2. 4. 1 ホットキャリア注入による単体トランジスタアンプの利得変動

直流ストレスによる単体トランジスタアンプの利得変動を図. 2-4 に示す。直接測定されるアンプの初期利得は30程度であったが、 1×10^4 秒のストレスをかけることで、利得は約10まで低下した。このアンプでの利得は g_m/g_d で与えられ、 g_m 及び g_d は飽和領域にある動作点での値となる。利得の低下が g_m の変動によるものか g_d の変動によるものかについて検討するため、MOSFETの動作点($I_{bias}=5$ mA で $V_{gs}=2.56$ V)での g_m 及び g_d も測定した。その結果も重ねて図. 2-4にプロットした。この図からもわかるように、飽和領域での g_m の変動は数%と小さい。これに対して g_d はストレス時間とともに増加し、 10^4 秒後では初期の値のほぼ2倍になっている。この結果から、利得変動の主な原因はホットキャリア注入による g_d の上昇によるものと考えられる。



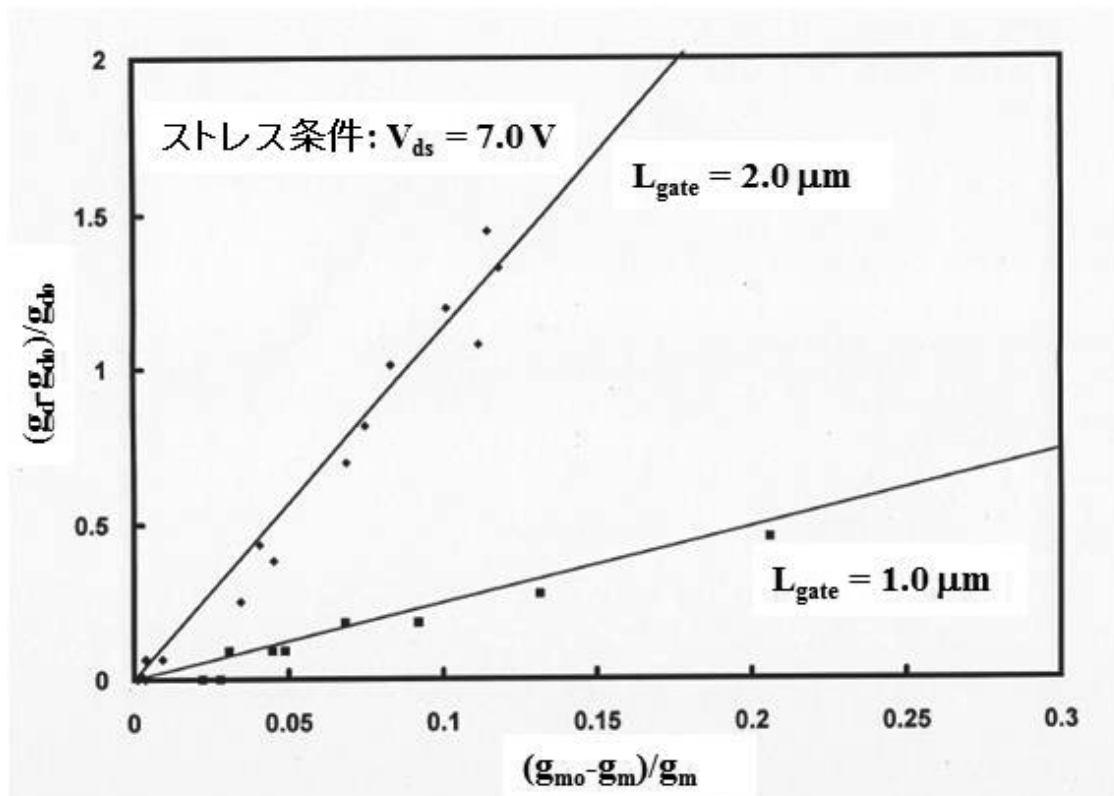
[図. 2-4] シングルトランジスタアンプでのホットキャリア注入による利得変動と動作点での g_m 及び g_d の変動[12]

Copyright (1994) IEEE

通常、アンプの動作では、MOSFET は飽和領域で動作している。飽和領域ではドレインの空乏層がホットキャリア注入された領域をシールドしているためホットキャリア注入による移動度の変動は線形領域での移動度の変動よりも小さいため、飽和領域での g_m 変動は線形領域での g_m 変動よりも小さい。これに対し、ピンチオフ点がホットキャリア注入領域上を掃引される g_d 測定では、チャネル全体の移動度がピンチオフ点で変わるため、ホットキャリア注入による変動が大きい。つまり、アンプの重要特性である利得の変動では g_d の変動による効果大きい。それゆえ、アンプのホットキャリア注入に対する寿命を予測するには、 g_d のホットキャリア注入による変動をモデル化することが g_m の変動をモデル化するよりも重要となる。

2. 4. 2 ドレインコンダクタンス変動モデルの妥当性

前節において、ホットキャリア注入によって変動する飽和領域の g_d と線形領域の g_m との関係は式(2.17)によって与えられることを示した。この式の妥当性を確認するため、ホットキャリア注入により変動した $(g_d - g_{do})/g_d$ と $(g_{mo} - g_m)/g_m$ の関係を $L_{gate} = 1.0 \mu\text{m}$ と $2.0 \mu\text{m}$ の n 型 MOSFET に対して測定、図. 2-5 にその結果をプロットした。図. 2-5 からわかるように、上記2つのパラメータで非常に良い線形関係を確認できた。また、 $L_{gate} = 2.0 \mu\text{m}$ の方が $L_{gate} = 1.0 \mu\text{m}$ よりも傾きが大きい事も式(2.17)から予測されたとおりである。与えられた g_m 変動量に対して、ゲート長が長いほど g_d 変動量は増大する。このゲート長依存性は次の節でも議論する。



[図. 2-5] $L_{gate} = 1.0 \mu\text{m}$ と $L_{gate} = 2.0 \mu\text{m}$ に対する $(g_{mo} - g_m)/g_m$ と $(g_d - g_{do})/g_d$ の関係[12]

Copyright (1994) IEEE

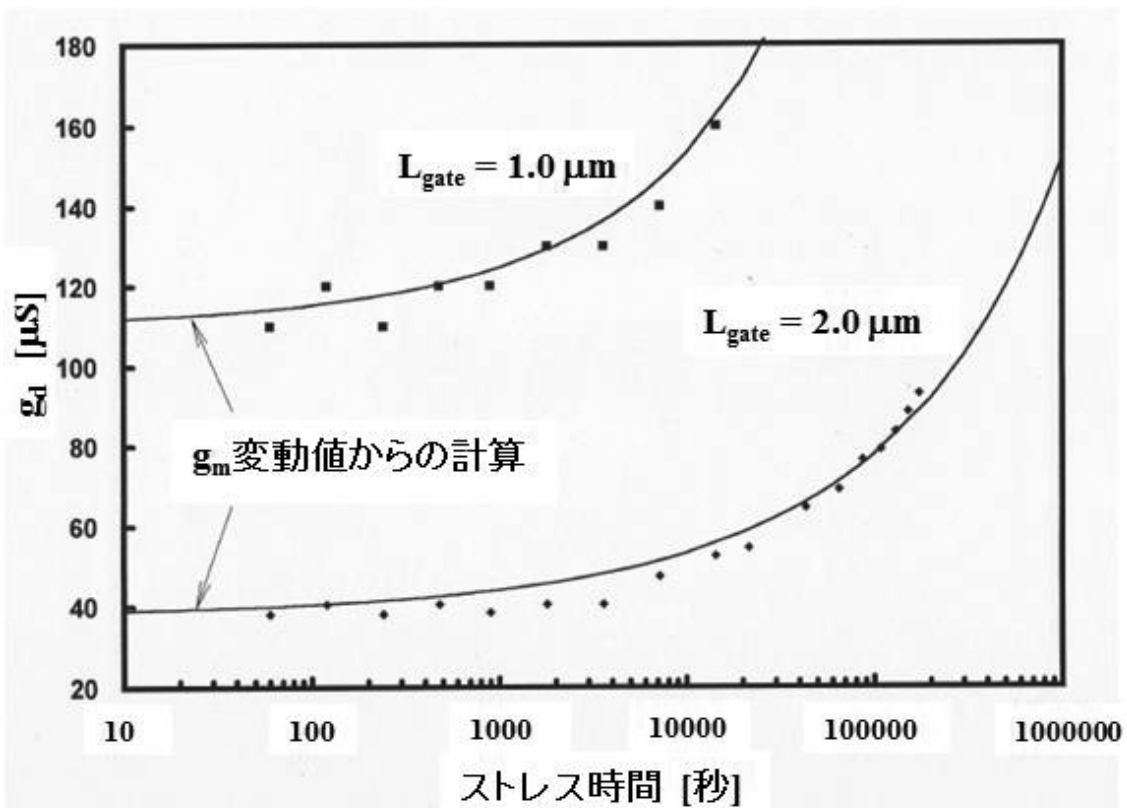
$(g_{mo}-g_m)/g_{mo}$ とストレス時間 t は経験的にべき乗関係があることは良く知られており [17]、

$$\frac{g_{mo} - g_m}{g_{mo}} = At^n \quad (2.18)$$

となる。ここで A 、 n はフィッティングパラメータである。式(2.18)を式(2.17)に代入すると、

$$g_d = g_{do} + \frac{L_{eff}}{L_{dmg}} \frac{At^n}{1 - At^n} g_{do} \quad (2.19)$$

が得られる。 A 、 n 及び L_{dmg} が実験値から求められれば、 g_d は式(2.19)を用いることで算出が可能である。図. 2-6 には $L_{gate}=1.0 \mu\text{m}$ と $L_{gate}=2.0 \mu\text{m}$ の n 型 MOSFET のストレス時間に対する g_d の変動を測定値プロットと式(2.19)を用いて計算した値を比較した。 $L_{gate}=1.0 \mu\text{m}$ 、 $L_{gate}=2.0 \mu\text{m}$ とともに測定値と計算値がよく一致していることがわかる。



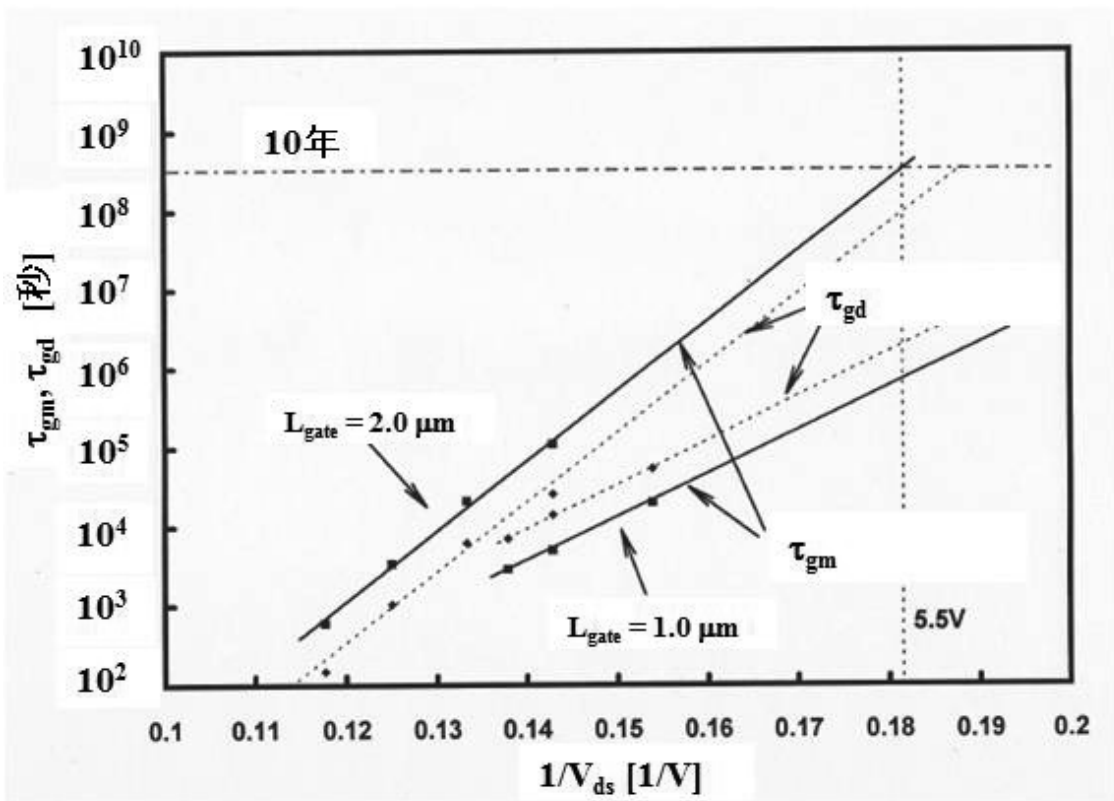
[図. 2-6] ホットキャリア注入のストレス時間に対する g_d の変動。 図中シンボルは測定値であり、実線

は式(3.17)を使つての計算値[12]

Copyright (1994) IEEE

2. 4. 3 ドレインコンダクタンス変動による寿命の実効ゲート長依存性

図. 2-7 は $L_{gate}=1.0 \mu\text{m}$ と $L_{gate}=2.0 \mu\text{m}$ の n 型 MOSFET の線形領域の g_m が 10% 変動した時の時間を寿命とした τ_{gm} と飽和領域の g_d が 50% 変動した時の時間を寿命とした τ_{gd} を V_{ds} に対してプロットしたものである。



[図. 2-7] $L_{gate}=1.0 \mu\text{m}$ と $L_{gate}=2.0 \mu\text{m}$ の MOSFET に対するストレス電圧 V_{ds} の逆数と τ_{gm} および

τ_{gd} の関係[12]

Copyright (1994) IEEE

$L_{gate}=1.0 \mu\text{m}$ の時は、 τ_{gm} は τ_{gd} より短い。これに対して、 $L_{gate}=2.0 \mu\text{m}$ では τ_{gm} は τ_{gd} より長くなっている。この L の違いによる逆転現象も式(2.17)によって説明することができる。 τ_{gm} の実効ゲート長 L_{eff} 依存は、経験的に

$$\log(\tau_{gm}) = \frac{C_1}{L_{eff}} + C_2 \quad (2.20)$$

と書ける [17]。ここで C_1 と C_2 は定数である。式(2.18)を用いて、 τ_{gm} はまた、

$$\frac{g_{mo} - g_m}{g_{mo}} = 0.1 = A\tau_{gm}^n \quad (2.21)$$

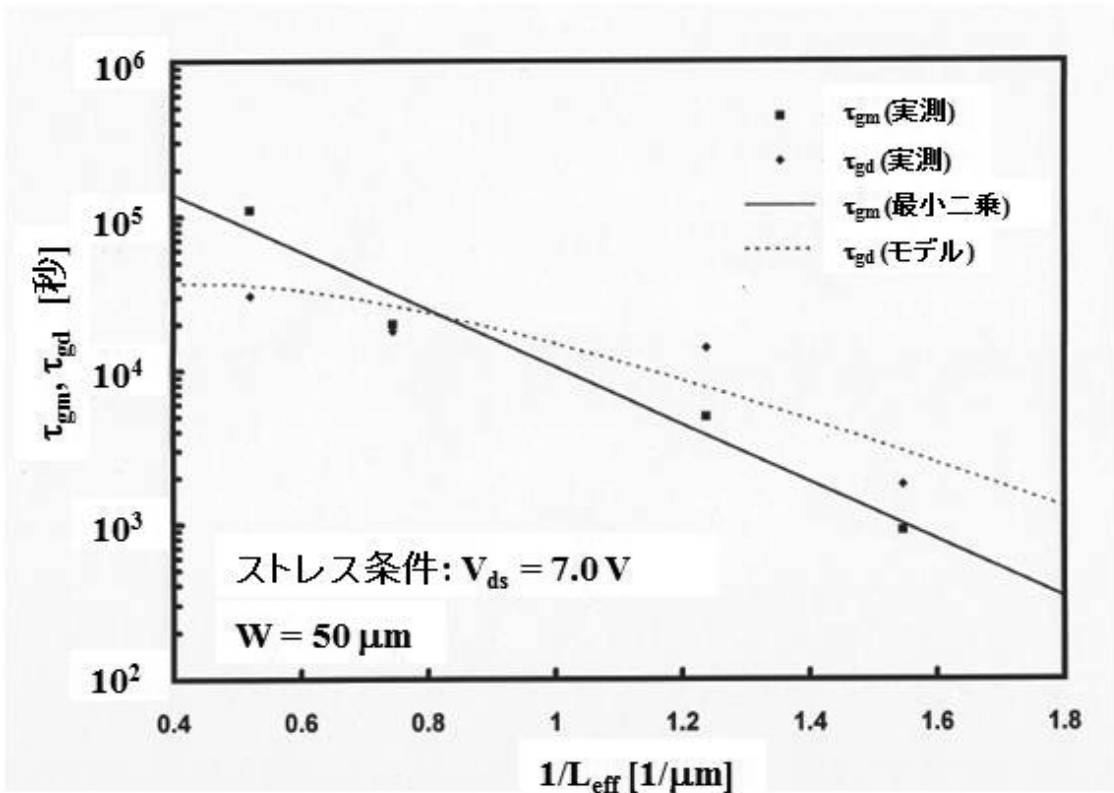
となる。同様に、 $(g_d - g_{do})/g_{do}=0.5$ を式(2.19)に入れると τ_{gd} は

$$\tau_{gd} = \left[\frac{L_{dmg}}{A(2L_{eff} + L_{dmg})} \right]^{\frac{1}{n}} \quad (2.22)$$

となり、式(2.20)-(2.22)から最終的に τ_{gd} は

$$\log(\tau_{gd}) = \frac{C_1}{L_{eff}} + C_2 + \frac{1}{n} \left[\log \left(\frac{L_{dmg}}{2L_{eff} + L_{dmg}} \right) + 1 \right] \quad (2.23)$$

となる。式(2.23)で C_1 、 C_2 、 n 、 L_{dmg} が実験から求められれば、 τ_{gd} は計算できることになる。図. 2-8 は τ_{gm} と τ_{gd} の L_{eff} 依存を示したものである。この図には $\log(\tau_{gm})$ と $1/L_{eff}$ の関係から最小二乗法で求めた直線と式(2.23)で計算された τ_{gd} も併記した。ここで C_1 、 C_2 はこの最小二乗法で求められたものを、 n は 0.5 を [17] 用いた。また L_{dmg} は $0.27 \mu\text{m}$ であると仮定した。この図からもわかるように τ_{gd} の方が τ_{gm} より L_{eff} 依存性が弱く、 L_{eff} が $1.2 \mu\text{m}$ 以上では τ_{gd} の方が τ_{gm} より短い。このことから、アナログ回路で使用されている MOSFET のゲート長が長い場合はデバイスの信頼性に関して特に注意しなければならない。一般にデバイスの寿命を見るには τ_{gm} を用いているが、これはアナログ回路の場合、 τ_{gm} ではデバイス寿命を楽天的にみている場合もあり、注意する必要がある。

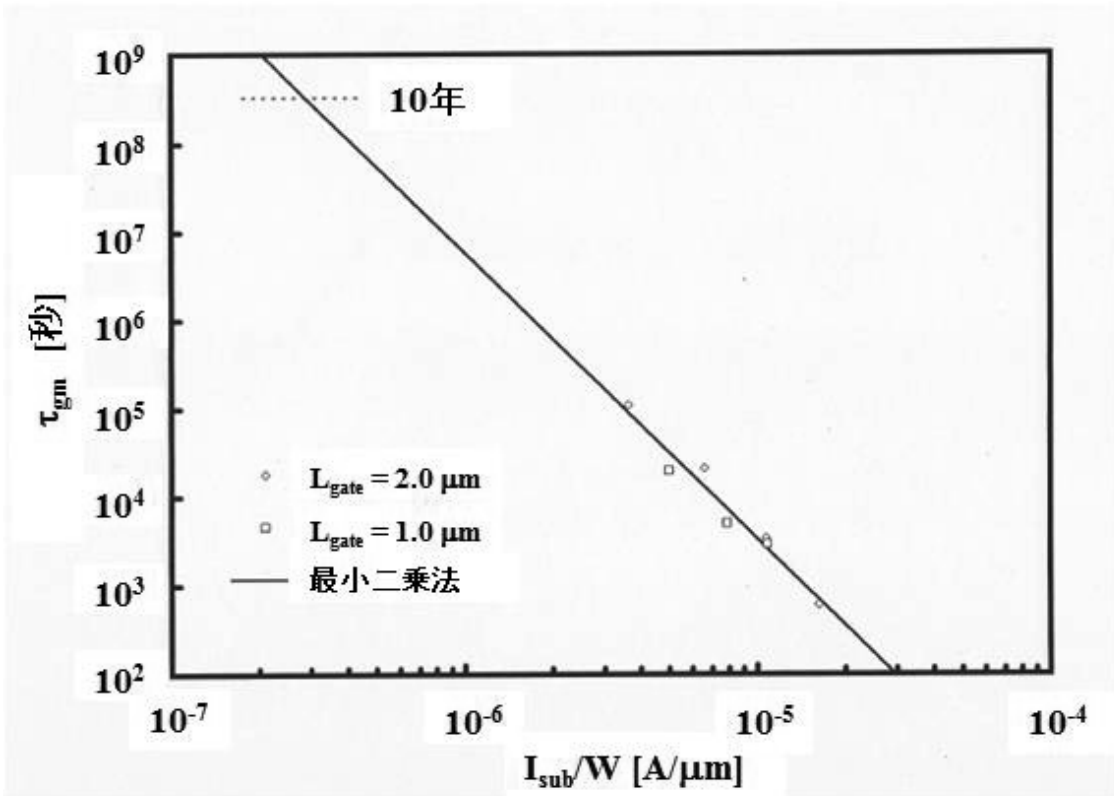


[図. 2-8] 実効ゲート長 L_{eff} の逆数と τ_{gm} および τ_{gd} の関係[12]

Copyright (1994) IEEE

2. 4. 4 ドレインコンダクタンス変動による寿命の基板電流依存性

基板電流 I_{sub} は図. 2-9 に示すようにホットキャリア注入による g_m 変動に対する寿命 τ_{gm} と非常に良いべき乗関係があることが知られており[17]、ホットキャリア注入による MOSFET の変動をモニタするには最良のパラメータである。この観点から、 I_{sub} とホットキャリア注入による g_d 変動に対する寿命である τ_{gd} との関係を明確にしていくことも必要である。



[図. 2-9] ストレス条件での初期基板電流と g_m 変動による素子寿命の関係

図. 2-9 で示したように、 τ_{gm} と I_{sub} には、

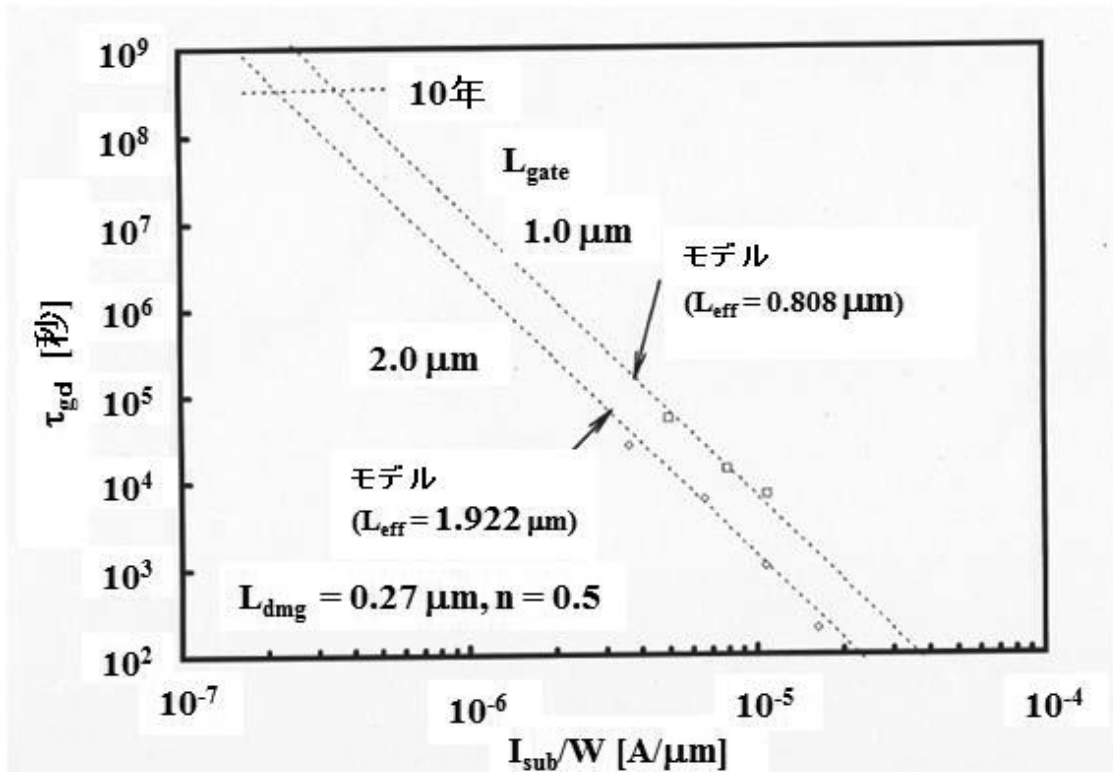
$$\log(\tau_{gm}) = C_3 \log(I_{sub}) + C_4 \quad (2.24)$$

となる関係がある。ここで、 C_3 と C_4 は定数である。式(2.21)、(2.22)、及び(2.24)から、

$$\log(\tau_{gd}) = C_3 \log(I_{sub}) + C_4 + \frac{1}{n} \left[\log \left(\frac{L_{dmg}}{2L_{eff} + L_{dmg}} \right) + 1 \right] \quad (2.25)$$

となる。この式からもわかるように、 $\log(\tau_{gd})$ と $\log(I_{sub})$ の間の傾きは $\log(\tau_{gm})$ と $\log(I_{sub})$ の間の傾きに等しく、 y 切片が L_{eff} や L_{dmg} に依存し変化することがわかる。この式から $n=0.5$ と $L_{dgm}=0.27 \mu\text{m}$ として計算された τ_{dg} と I_{sub} の関係を測定値とともに図. 2-10 に示した。式(2.25)による予測は良く実測データと一致していることが判る。このモデルを使う事で、初期の I_{sub} さえ測定すれば、ホットキャリア注入による g_m 変動に

に対する寿命 τ_{gm} ばかりではなく、 g_d 変動に対する寿命である τ_{gd} も予測できることになる。



[図. 2-10] ストレス条件での初期基板電流と g_d 変動による素子寿命の関係

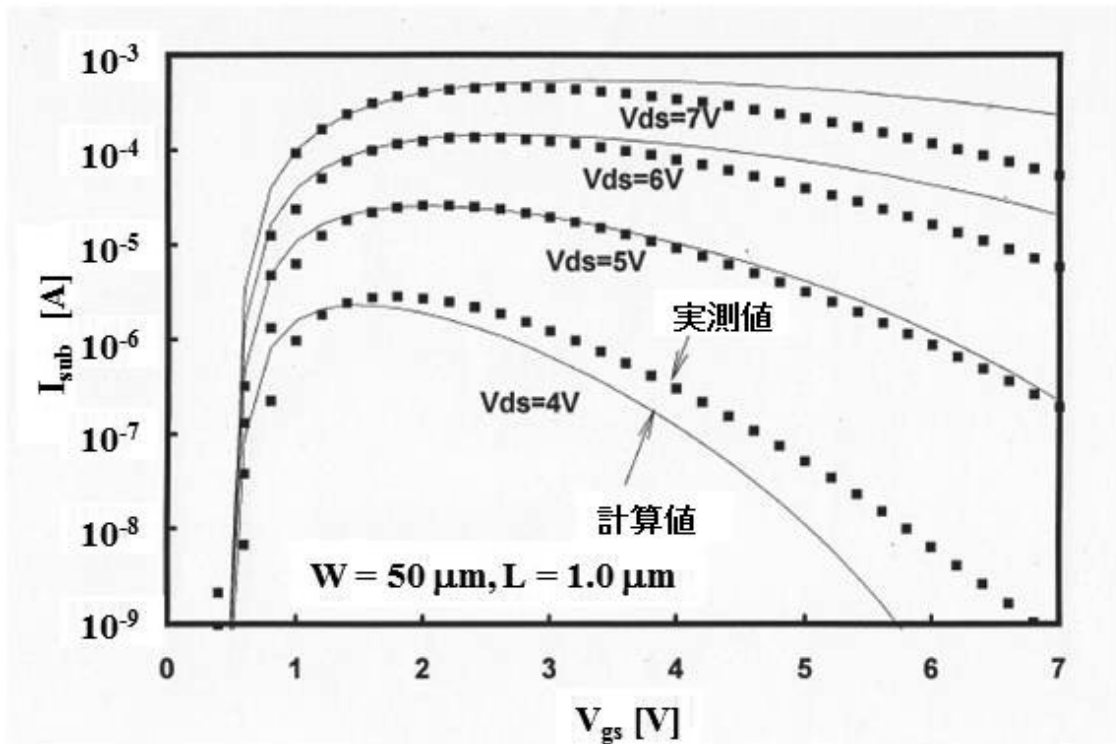
2. 4. 5 アナログアンプの寿命予測

アナログアンプのホットキャリア注入による特性変動とその寿命予測にあたり、まずホットキャリア注入の指標となる基板電流 I_{sub} の予測モデルを作った。基板電流は、

$$I_{sub} = D_1(V_{ds} - V_{dsat})I_{ss}\exp\left(\frac{-D_2}{V_{ds} - V_{dsat}}\right) \quad (2.24)$$

で与えられる [18]。ここで、 D_1 と D_2 はフィッティングパラメータで、 V_{dsat} は飽和ドレイン電圧、 I_{ss} はソース電流である。式(2.24)で I_{ss} と V_{dsat} は評価する MOSFET の電流-電圧特性を記述するモデルである SPICE (Simulation Program with Integrated Circuit

Emphasis) モデルが存在すれば計算可能である。図. 2-11 は I_{sub} の測定値と式 (2.24) による計算値を比較したものである。この計算では抽出された SPICE Level 3 パラメータと抽出されたフィッティングパラメータを用いている。計算による I_{sub} は実測データを大体よく表現できている。



[図. 2-11] ドレイン電圧をパラメータとした時のゲート電圧に対する基板電流の関係。シンボルは測定値であり、実線はモデルからの計算値[13]

Reproduced by permission of the Institution of Engineering & Technology. I. Kurachi, K.-T. Yan, and L. Forbes, "Reliability considerations of hot-carrier induced degradation in analogue nMOSFET amplifier," 15 Sep., 1994.

測定されるドレイン電流はドレインアバランシェによる基板電流分も加味しなければならず、

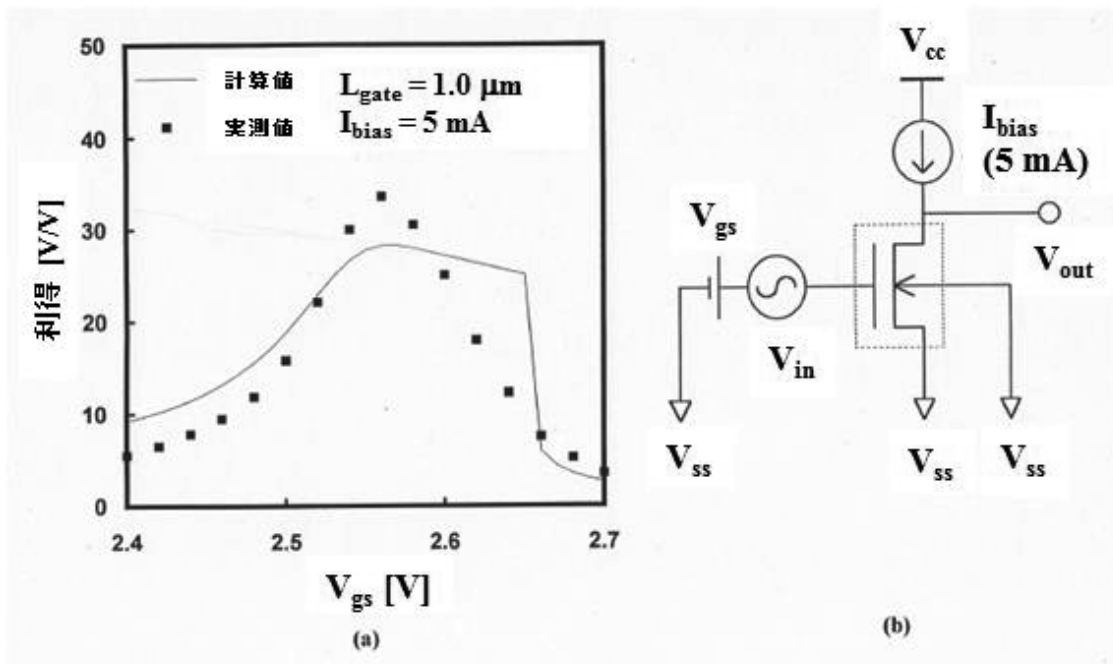
$$I_{ds} = I_{ss} + I_{sub} \quad (2.25)$$

とならなければならない。SPICE Level3 モデルではドレインアバランシェによる基板電流はモデル化されておらず、実際の回路特性であるアンプの利得をシミュレーションするには、式(2.25)のドレイン電流を用いた。

低周波でのアンプの利得 A_v は

$$A_v = \frac{g_m}{g_d} \quad (2.26)$$

で与えられ、 g_m 及び g_d は MOSFET のバイアス点で I_{ds} を V_{gs} 或いは V_{ds} で微分することにより得られる。図. 2-12 は図. 2-3 で示したアンプの回路での入力の直流バイアスとなる V_{gs} に対する利得の測定値とシミュレーション値を比較したものである。シミュレーション値において $V_{gs}=2.65$ V で利得が不連続になっているのは、MOSFET の SPICE モデルにおいて、飽和領域から 3 極管領域に遷移しているためで、SPICE のソース電流モデルがこの遷移領域で不連続となっているためである。それ以外はほぼ利得をシミュレーションできている。特に V_{gs} が 2.4-2.5 V ではドレインアバランシェ電流による g_d の増大が起こっており、それによる利得の低下が良く表現できている。



[図. 2-12] シングルトランジスタンプでの、(a)入力バイアス V_{gs} と実測及びシミュレーションの利得と、

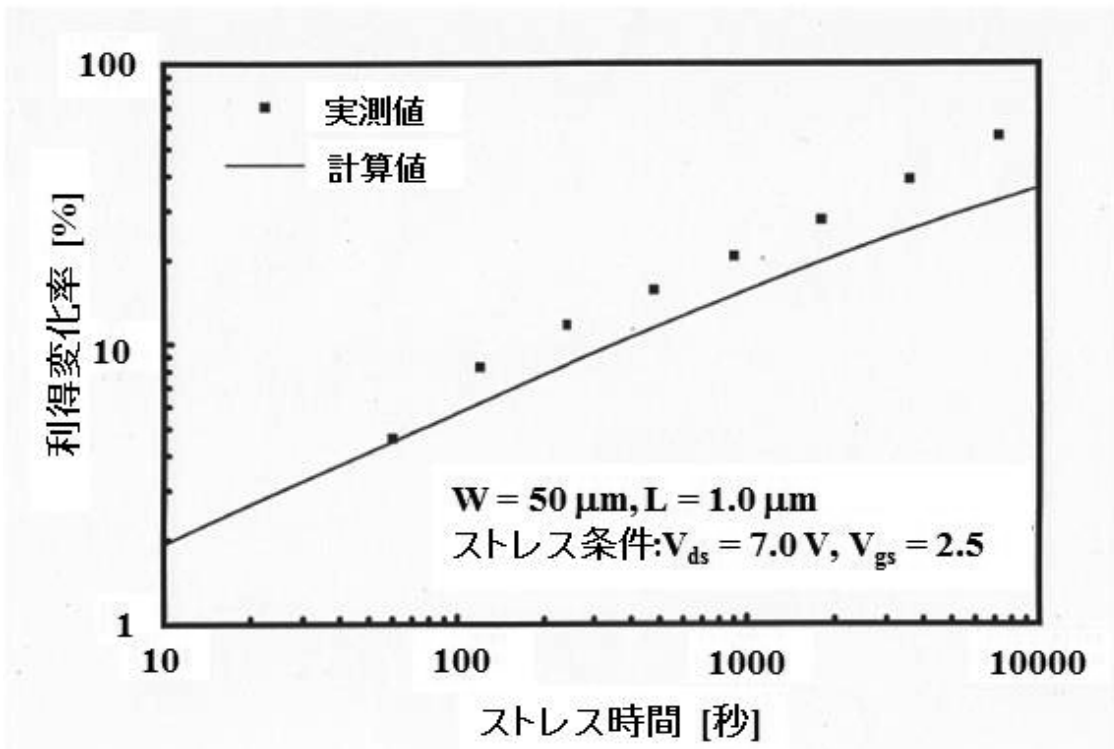
(b)シミュレーションに用いたシングルトランジスタンプ[13]

Reproduced by permission of the Institution of Engineering & Technology. I. Kurachi, K.-T. Yan, and L. Forbes, "Reliability considerations of hot-carrier induced degradation in analogue nMOSFET amplifier," 15 Sep., 1994.

ホットキャリア注入による利得の変動は、前に述べたように g_d の変動から算出することができる。利得は g_m の関数でもあるが、前に考察したように飽和領域でのホットキャリア注入による g_m の変動は g_d の劣化に比較し十分に小さく無視できるためである。式(2.18)及び(2.19)からアンプのホットキャリア注入による利得変動は

$$\frac{A_{vo} - A_v}{A_{vo}} = 1 - \frac{1}{1 + \frac{L_{eff}}{L_{dmg}} \frac{At^n}{1 - At^n}}, \quad (2.27)$$

となる。図. 2-13 は測定された利得の変動と式(2.27)を用いて計算した変動を比較したものである。この結果から式(2.27)の妥当性は確認された。



【図. 2-13】 シングルトランジスタアンプでの、ホットキャリア注入ストレス時間と利得変化率[13]

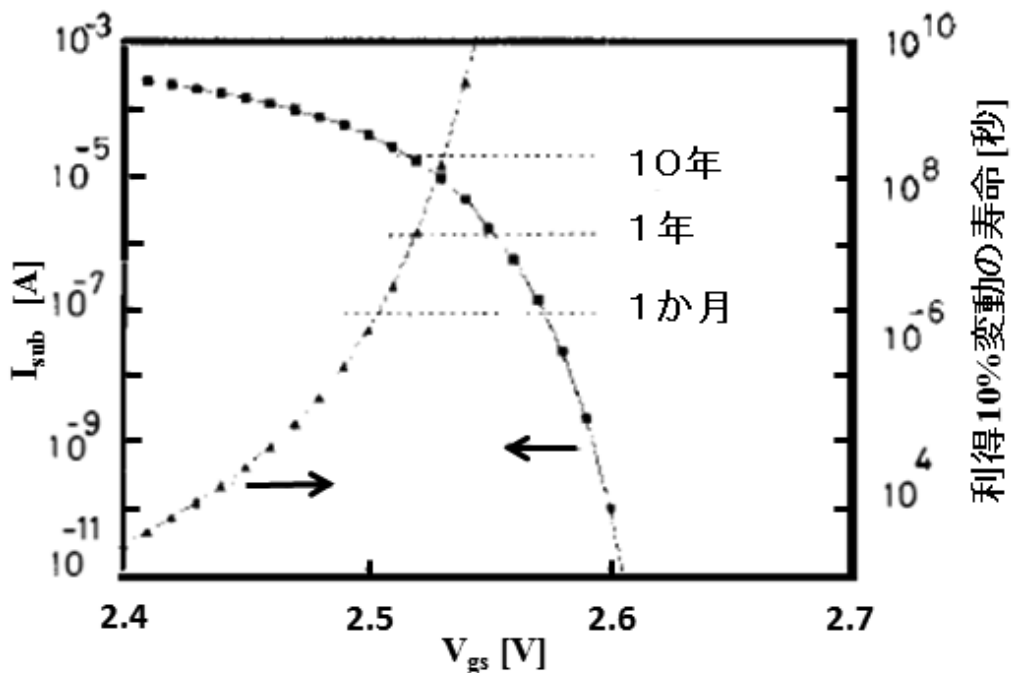
Reproduced by permission of the Institution of Engineering & Technology. I. Kurachi, K.-T. Yan, and L. Forbes, "Reliability considerations of hot-carrier induced degradation in analogue nMOSFET amplifier," 15 Sep., 1994.

また、線形領域でのホットキャリア注入による g_m の変動とストレス条件での基板電流との間には、

$$\log\left(\frac{g_{mo} - g_m}{g_{mo}}\right) = n \log\left[t\left(\frac{I_{sub}}{W}\right)^\alpha\right] + E \quad (2.28)$$

という関係があることが知られている。ここで E は定数であり、 α は 3.36、 W は MOSFET のゲート幅である。もし、アンプのバイアス点での基板電流がわかれば、式(2.18)、(2.27)、(2.28)を用いてアンプの寿命を計算できる。図. 2-14 はアンプに使用している MOSFET のアンプの入力の直流バイアスとなる V_{gs} に対する I_{sub} をパラメータを用いて式(2.24)から計算した結果である。さらにこの I_{sub} からアンプの利得が

ホットキャリア注入により 10%変動した時間を寿命とし、同じ図に示した。図から寿命を 10 年とした場合、入力の直流バイアスである V_{gs} の低い方の限界は約 2.53 V となる。さらに初期のアンプの利得を考えると図. 2-12 から V_{gs} の高い方の限界は約 2.62 V であり、それ以上では利得の低下がみられる。それゆえ、許容されるバイアスポイントは 2.53 から 2.62 V と狭いことが明確になった。このように、本論文で提案したアナログ回路の寿命予測モデルを使う事で、微細化されたアナログ回路の特性と信頼性を確保できる動作条件を求めることが初めて可能となった。



[図. 2-14] シングルトランジスタアンプでの、入力バイアス V_{gs} に対する基板電流と予測される利得
10%変動の寿命[13]

Reproduced by permission of the Institution of Engineering & Technology. I. Kurachi, K.-T. Yan, and L. Forbes, "Reliability considerations of hot-carrier induced degradation in analogue nMOSFET amplifier," 15 Sep., 1994.

2.5 結論

GCA を用いて、ホットキャリア注入によるドレインコンダクタンス g_d の変動モデルを世界に先駆けて提唱した。このモデルにおいて、通常のホットキャリア注入でモニタされている線形領域のトランスコンダクタンス g_m 変動率を使い、アナログ回路で用いる飽和領域でのパラメータである g_d のホットキャリア注入による変動率を予測できる。さらに、この g_d 変動モデルから、 g_d 変動に対する寿命の実効ゲート長依存や基板電流依存についても議論した。特に実効ゲート長依存では、実効ゲート長が長い方で、通常使われている g_m 変動に対する寿命よりも g_d 変動に対する寿命の方が短くなるという現象が起こることも示した。加えて、このモデルを元にしたアナログアンプの信頼性の設計についても言及した。

このように、今回提案したホットキャリア注入による g_d 変動モデルはより信頼性の高いアナログ回路を設計するには不可欠なものと考えている。

第2章 参考文献

- [1] T. Tsuchiya, T. Kobayashi, and S. Nakajima, “Hot-carrier-injected oxide region and hot-electron trapping as the main cause in Si nMOSFET degradation,” *IEEE Trans. Electron Devices*, vol. **34**, pp. 386-391, 1987.
- [2] C. Hu, S. C. Tam, F.-C. Hsu, P.-K. Ko, T.-Y. Chan, and K. W. Terrill, “Hot-electron-induced MOSFET degradation—model, monitor, and improvement,” *IEEE Trans. Electron Devices*, vol. **32**, pp. 375-385, 1985.
- [3] J. Y. Choi, P.-K. Ko, and C. Hu, “Hot-carrier-induced degradation of metal-oxide-semiconductor field-effect transistors; oxide charge versus interface traps,” *J. Appl. Phys.*, vol. **65**, pp. 354-360, 1989.
- [4] B. Doyle, M. Bourcerie, J.-C. Marchetaux, and A. Boudou, “Interface state creation and charge trapping in the medium-to-high gate voltage range ($V_d/2 \geq V_g \geq V_d$) during hot-carrier stressing of n-MOS transistors,” *IEEE Trans. Electron Devices*, vol. **37**, pp. 744-754, 1990.
- [5] J. E. Chung, P.-K. Ko, and C. Hu, “A model for hot-electron-induced MOSFET linear-current degradation based on mobility reduction due to interface-state generation,” *IEEE Trans. Electron Devices*, vol. **38**, pp. 1362-1370, 1991.
- [6] R. Thewes, M. Brox, G. Tempel, and W. Weber, “Hot-carrier degradation of p-MOSFET’s in analog operation: the relevance of the channel-length-independent drain conductance degradation,” in *IEDM tech. Dig.*, 1991, pp. 13-14.
- [7] K. N. Quader, P. K. Ko, and C. Hu, “A new insight into correlation between DC and AC hot-carrier degradation of MOS devices,” in *VLSI Symp. Tech. Dig.*, 1993, pp. 13-14.

- [8] Q. Wang, W. H. Krautschneider, W. Weber, and D. Schmitt-Landsiedel, "Influence of MOSFET I-V characteristics on switching delay time of CMOS inverters after hot-carrier stress," *IEEE Electron Device Lett.*, vol. **12**, pp. 238-240, 1991.
- [9] J. E. Chung, K. N. Quader, C. D. Sodini, P.-K. Ko, and C. Hu, "The effects of hot-electron degradation on analog MOSFET performance," in *IEDM Tech. Dig.*, 1990, pp. 553-556.
- [10] R. Thewes, M. Brox, G. Tempel, W. Weber, and K. Goser, "Channel-length-independent hot-carrier degradation in analog p-MOS operation," *IEEE Electron Device Lett.*, vol. **13**, pp. 590-592, 1992.
- [11] G. O. Lo, J. Ahn, and D.-L. Kwong, "Improved hot-carrier immunity in CMOS analog device with N₂O-nitrided gate oxide," *IEEE Electron Device Lett.*, vol. **13**, pp. 457-459, 1992.
- [12] I. Kurachi, N. Hwang, and L. Forbes, "Physical model of drain conductance, g_d , degradation of NMOSFET's due to interface state generation by hot carrier injection," *IEEE Trans. Electron Device*, vol. **41**, pp. 964-969, 1994
- [13] I. Kurachi, K. T. Yan, and L. Forbes, "Reliability considerations of hot-carrier induced degradation in analogue nMOSFET amplifier," *IEE Electron Lett.*, vol. **30**, pp. 1568-1570, 1994.
- [14] S. M. Sze, *Physics of Semiconductor Devices* 2nd Ed. New York: Wiley, 1981.
- [15] F.-C. Hsu and S. Tam, "Relationship between MOSFET degradation and hot-electron-induced interface-state," *IEEE Electron Device Lett.*, vol. **5**, pp. 50-52, 1984.

- [16] S. C. Sun and J. D. Plummer, "Electron mobility in inversion and accumulation layers on thermally oxidized silicon surfaces," *IEEE Trans. Electron Devices*, vol. **27**, pp. 1497-1508, 1980.
- [17] E. Takeda, "Hot-carrier and wear-out phenomena in submicron VLSI's," in *VLSI Symp. Tech. Dig.*, 1985, pp. 2-5.
- [18] N. D. Arora and M. S. Sharma, "MOSFET substrate current model for circuit simulation," *IEEE Trans. Electron devices*, vol. **38**, pp. 1392-1398, 1991.

第3章 出力 MOSFET でのソフトブレイクダウン現象による ESD 耐量低下の解明とその改善

3.1 まえがき

微細化された半導体デバイスにおいては、ESD に対する耐性の低下が重大な問題である。この耐性の低下は、MOSFET の微細化を実現するために行われたゲート酸化膜の薄膜化や、LDD に代表される電界緩和のためのドレイン構造の採用 [1-3]によって引き起こされている。LDD 構造の採用によってソース・ドレイン間耐圧が高くなり、薄膜化されたゲート酸化膜の耐圧に近づいているためである[4-5]。このような微細化した半導体デバイスには、ESD 耐性を維持するために、厚いゲート酸化膜 MOSFET を用いた保護回路や比較的に高い抵抗を接続した薄いゲート酸化膜 MOSFET が提案されている[6]。入力ピンでは、入力インピーダンスは概して非常に高く、高抵抗を含んだ保護回路を用いることができるため、このような保護回路は有効である。一方、出力ピンの場合は、保護回路にある高抵抗が出力速度を低下させるため、この保護回路は使うことができない。出力ピンに接続されている出力バッファーMOSFETではESDによって注入された電荷のほとんどをこの MOSFET で消費しなければならない。実際、この LDD 構造の出力バッファーの MOSFET の HBM-ESD 耐量はドレイン電界緩和がなされていないヒ素のみの拡散であるシングルドレインの出力バッファーMOSFET の耐量と比べると大きく劣っている[4-5]。しかしながら、LDD 構造とゲート酸化膜の薄膜化はホットキャリア耐性の向上とショートチャネル効果の抑制のためにはサブミクロン以降の MOSFET には不可欠であるというジレンマが起こっている。このようなジレンマを打破するためには、どんなメカニズムで薄いゲート酸化膜の LDD 構造 MOSFET の ESD 耐量が低下しているかを明らかにする必要がある。これまでの報告では、ESD テストによって電子が薄いゲート酸化膜にトラップされ、このトラップされた電子の電荷によってリーク電流が発生するという

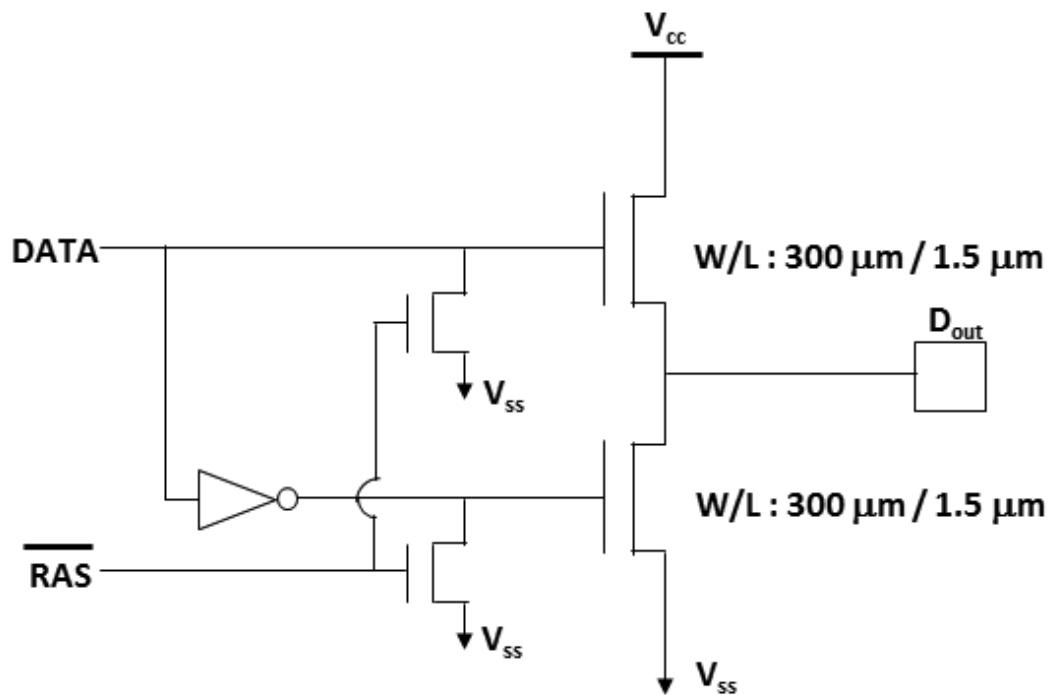
モデルがある[7]。また、ESD イベントにより、電子ばかりではなくホールも薄い酸化膜に注入され、さらにシリコン-酸化膜界面に界面準位を発生させるという報告もある[8]。しかしながら、これらの報告では、何故 ESD イベント後に MOSFET のオフ状態でのリーク電流が増加するかについては明確に説明されていない。そこで、この現象の物理メカニズムの追及を行った[9-10]。この章では、解析の結果から導き出された ESD テスト後のオフ状態でのリーク電流発生機構について述べる。さらに、この発生機構をもとに発案した二つの ESD 耐量の改良法である、LDD 構造をリン単独ドーピングからヒ素の追加イオン注入を行ったリン+ヒ素ドーピングへの変更とオフセットゲート構造の保護素子の追加を提案し、さらにその改良実績を示す[11]。

3.2 実験方法

実験に用いたデバイスは通常の $0.8\ \mu\text{m}$ Nwell CMOS プロセスで作成された DRAM (Dynamic Random Access Memory) である。素子分離は LOCOS 法で行われており、リンドープの n-領域を持つ LDD 構造の n 型 MOSFET を用いた。ゲート酸化膜の厚さは $20\ \text{nm}$ である。LDD を形成するためのサイドウォール幅は $0.25\ \mu\text{m}$ である。またコンタクト部には TiN バリアメタルプロセスを適用した。ESD 耐量の改善を見るために、LDD の n-領域へのヒ素の追加イオン注入も実施した。この追加イオン注入条件としては、ドーズ量を $1\text{-}4 \times 10^{14}\ \text{cm}^{-2}$ の範囲で変えた。またオフセットゲートの MOSFET を作るため LDD のリンイオン注入時に n-領域をレジストでカバーするマスクを用意した。

HBM-ESD テストは、出力ピンにのみ実施した。本実験で用いたデバイスの出力のバッファの回路を図. 3-1 に示した。 V_{cc} 側と V_{ss} 側それぞれに出力 MOSFET があり、これらの MOSFET のゲート幅とゲート長はそれぞれ $300\ \mu\text{m}$ と $1.5\ \mu\text{m}$ となっている。HBM-ESD イベントによって D_{out} から注入された電荷は出力バッファの

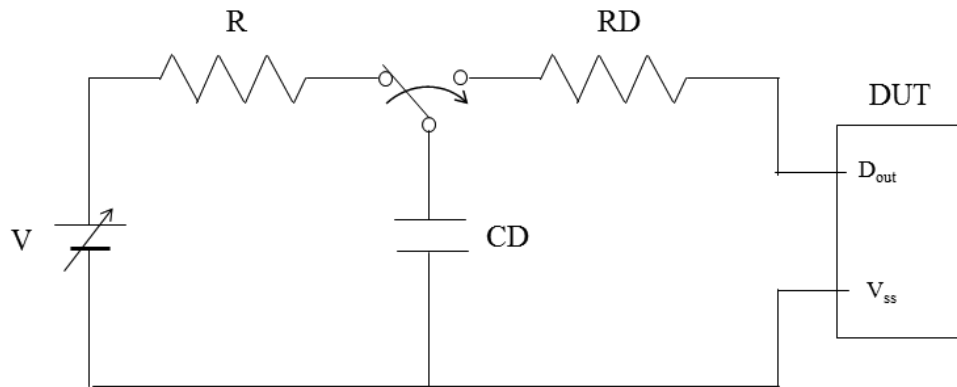
MOSFET を通して V_{cc} もしくは V_{ss} に流すことで DRAM デバイスの内部回路の保護となっている。HBM-ESD 試験中はデバイスには電源が供給されておらず、 V_{cc} 側、 V_{ss} 側の MOSFET はともにオフ状態にあると考えられる。



[図. 3-1] 出力バッファ回路[11]

Copyright (1994) IEICE

HBM-ESD テストのセットアップは図. 3-2 に示したように、高電圧の電源 V と保護抵抗 R 、人体と同等とされる 100 pF の容量 CD 、人体皮膚抵抗と見做せる $1.5 \text{ K}\Omega$ の放電抵抗 RD で構成されている。 CD に電源 V によって蓄積された電荷は RD を通じて試験されるデバイスに ESD イベントとして注入されることになる。この試験は MIL883C-Method 3015-7 に従っている。



CD	: Human Body Equivalent Capacitance	100 pF
RD	: Electric Discharge Resistance	1.5 K Ω
R	: Power Supply Protection Resistance	10 M Ω
V	: High Voltage Power Supply	
DUT	: Device Under Test	

【図. 3-2】 出力バッファ回路[10]

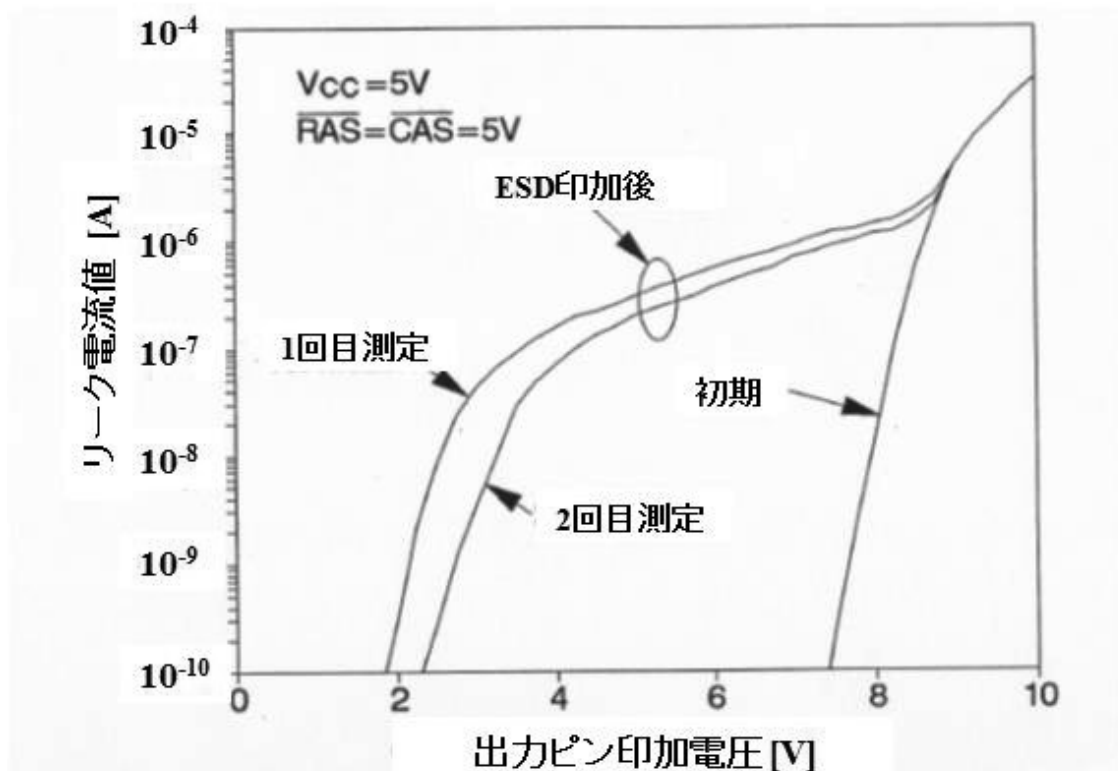
Copyright (1994) IEEE

ウエハ状態で HBM-ESD テストによるオフリーク増加現象を調査・解析するために、MOSFET を用いたカーブトレーサによるスナップバックストレスも行った。HBM-ESD テストでのチャージは MOSFET のスナップバック状態で消費されるため、スナップバックストレスが HBM-ESD テストと同等のストレスであると考えられるためである。この測定で用いた MOSFET はゲート幅・ゲート長がそれぞれ 25 μm と 1.6 μm のものを用いた。さらに電流パルスを用いた MOSFET のスナップバックストレスも行っている。電流パルスの発生と直流測定は直流電源・モニタである HP4142B を用いて行った。

3.3 ESD 試験前後のリーク電流特性

n-領域にリンのみを注入した LDD MOSFET を使ったデバイスでは ESD 耐量が低く、HBM-ESD での耐量は 200-300 V しかないことが判った。通常デバイスに求められている HBM-ESD 耐量は低くとも 1000 V 以上であり、望ましくは 2000 V 以上であ

ることから、耐量は2000 V以上必要である。そこで、何が起きているかを見るために、HBM-ESD テスト前後で出力ピンの I-V 特性を測定した。図. 3-3 にその結果を示す。この測定においては出力の MOSFET は V_{cc} 側、 V_{ss} 側ともにゲートには 0 V が印加されており、オフ状態となっている。



【図. 3-3】 HBM-ESD テスト前後の出力ピン I-V 特性、テスト後は 2 回 I-V 測定を実施[10]

Copyright (1994) IEEE

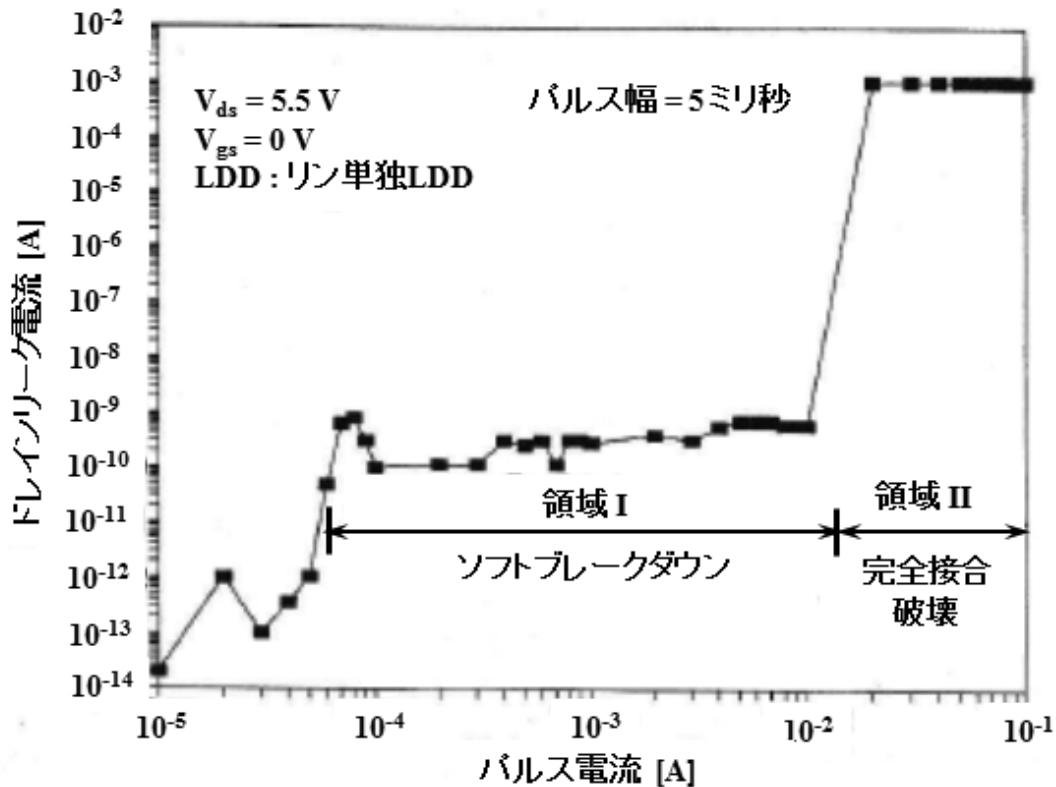
HBM ESD テスト前では出力ピンのリーク電流は電圧が約 7 V まで 100 pA 以下に抑えられている。これに対し、HBM-ESD テスト後では、リーク電流が約 2 V くらいから増加し、5 V では 0.2 μ A 程度のリーク電流となっている。このリーク電流の測定は、HBM-ESD テスト後のサンプルに対して、繰り返し 2 回行っている。2 回目の測定では、1 回目と比べてリーク電流は若干減っている。このことから、このリーク電流は、一般に言われている ESD テストでのリーク電流増加現象である、ESD のチャージを接合で消費した時に生じる熱によってシリコンが溶融することで接合がオーミックにな

ってしまうという現象ではない。一般に言われている熱溶融による不良と区別するため、この ESD テストによるオフリークの増加現象をソフトブレイクダウン現象と名付けた。さらに、このリーク電流が増加したサンプルに対しては、発光解析である PEM (photo emission microscopy)による観測も行った。PEM 解析から、このリークは出力 MOSFET のドレイン端で発生していることも確認されている。

3.4 スナップバックストレスによるソフトブレイクダウン現象の発生

ESD テストでは、その電荷が MOSFET のスナップバックで消費されることが知られている。それゆえ、スナップバックストレスは ESD テストをシミュレートしていると言える。そこで、ESD テストによるソフトブレイクダウン現象をより深く解析するために、単体の MOSFET のドレインに電流パルスを注入することでスナップバックストレスを印加する方法を用いることにした。この電流パルス注入時は、MOSFET のゲート・ソース・基板は接地電位に接続している。電流パルス印加後に $V_{ds}=5.5\text{ V}$, $V_{gs}=0\text{ V}$ でのドレインリーク電流を測ることで、ソフトブレイクダウン現象のモニタとした。印加する電流パルスの幅は 5 ms である。図. 3-4 は、電流パルスのピーク電流値を増やしていった時のドレインリーク電流の変動を表している。電流パルスの電流値が約 500 μA を超えた時点でスナップバックが発生している。図. 3-4 からわかるように、注入するパルス電流量によって増加したリーク電流が二つの状態を示すことがわかった。ひとつは領域 I で示した、リーク電流が nA オーダーの状態である。これがソフトブレイクダウン現象に相当していると考えられる。もう一つは領域 II で示した mA オーダーのリーク電流状態で、これは接合の熱融解による完全な破壊であると考えられる。この電流パルス法でも ESD テストをシミュレートできており、さらにソフトブレイクダウン現象も見ることができた。そのため、実際のデバイスで HBM-ESD テストをやらずとも、単体の MOSFET でこの電流パルスの試験を実施することで、簡便にソフ

トブレークダウン現象を評価することができる。これは、ソフトブレークダウン現象を詳細に解析するには大変有効な方法となる。



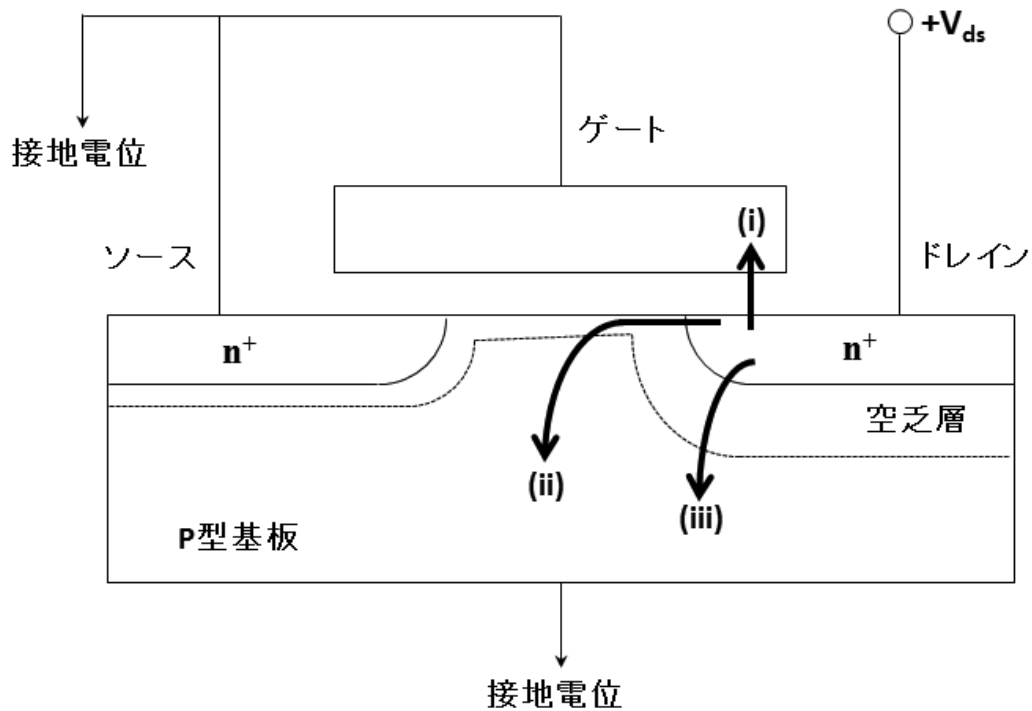
【図. 3-4】 電流パルスによるスナップバックストレスでのドレインリーク電流の発生[10]

Copyright (1994) IEEE

3. 5 ソフトブレークダウン現象でのリーク電流の経路解析

ソフトブレークダウン現象でのリーク電流の増加原因を探るにあたって、そのリーク電流の可能性のある電流経路について考えた。可能性あるリーク電流の経路は図. 3-5 に示した三つの経路がある。それらは、(i)ゲートとドレインがオーバーラップしているところでの、ゲート酸化膜中を流れるドレインからゲートのリーク、(ii)シリコン表面あるいはシリコン-酸化膜界面の p/n+接合を流れるドレインから基板へのリーク、(iii)シリコンのバルク n+/P 接合を流れるドレインから基板へのリークである。もし、主要な電流が(i)であれば、スナップバックストレス印加後にゲート電流は増加するはずで

ある。しかしながら、スナップバックストレス後でもゲート電流は 15 V 程度まで 1 pA 以下であり、ほとんどスナップバック前のゲート電流特性と等しかった。このことから、リーク電流の経路は(i)ではない。

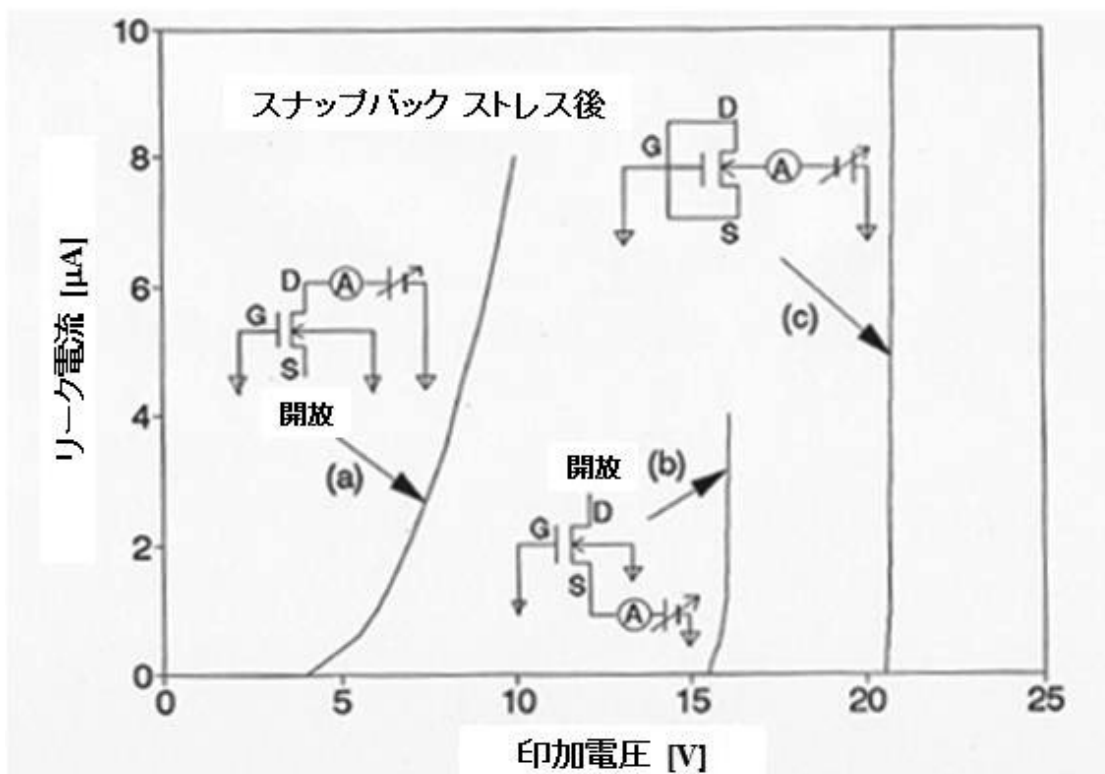


【図. 3-5】可能性あるドレインリーク電流の電流経路[11]

Copyright (1994) IEICE

次に、(ii)と(iii)を分離するために、スナップバックストレスを施した MOSFET に対して、三つの測定を行うことにした。これらは、(a)ソースを開放にし、ゲートと基板を接地電位、ドレインに電圧を印加しながらドレインからのリーク電流を測定する方法、(b)ドレインを開放にし、ゲートと基板を接地電位、ソースに電圧を印加しながらソースからのリーク電流を測定する方法、(c)ゲート、ソースとドレインを接地電位にし、基板に負の電圧をかけて基板に流れるリーク電流を測定する方法である。これらの測定を行った結果を図. 3-6 に示した。(a)のリーク特性は、スナップバックストレス後のリー

ク特性と全く同じであり、(b)のリーク特性はスナップバック前のリーク特性と全く同じであった。このことから、スナップバックストレスによりドレイン側の n^+/P 接合にのみ、なんらかのダメージが入ったことが確認された。(c)の測定条件では、MOSFET のシリコン表面には反転層が形成されて、ソースとドレインはこの反転層で接続される。そのため、この測定においてはシリコン表面およびシリコン-酸化膜界面のリークは発生せず、図 3-5 に示した(iii)のリーク電流のみ測定していることになる。測定方法(c)での結果をみるとリーク電流は 21 V くらいで急に増加しており、21 V 以下ではほとんど電流が流れていない。また、この特性は通常の n^+/P 接合の特性と同等であることが確認された。これらの結果から、スナップバックストレスによって発生するソフトブレークダウン現象によるリーク電流は(ii)のドレイン側のシリコン表面かシリコン-酸化膜界面に流れる n^+/P 接合リーク電流であると結論付けられる。



[図. 3-6] スナップバックストレス後のリーク電流パス解析のための I-V 測定結果[10]

Copyright (1994) IEEE

3.6 ソフトブレイクダウン現象のメカニズム

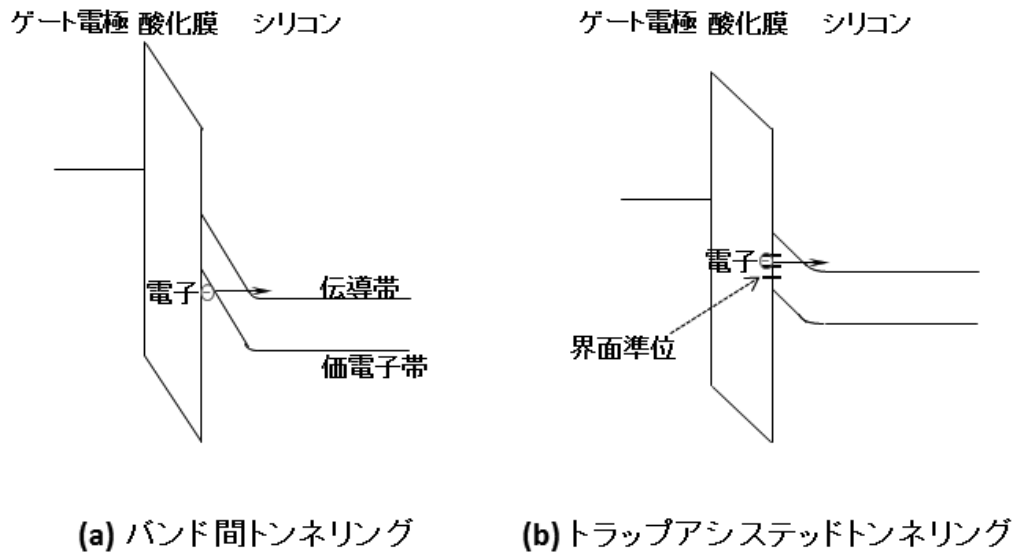
ソフトブレイクダウン現象によるリーク電流は、そのリーク電流経路解析からシリコン表面あるいはシリコン-酸化膜界面に流れる n+/P 接合リークと特定された。MOSFET にこのようなリーク電流を発生させる機構としては、ドレイン部のバンド間トンネリング現象[12]や界面準位を介したトラップアシステッドトンネリング現象[13]が報告されている。バンド間トンネリング現象によるリーク電流は、図. 3-7(a)に示したように、ドレインがゲートとオーバーラップしているところで、ドレイン部の表面が強く空乏化し、そこで価電子帯の電子が伝導帯にトンネリングすることで発生する。このリーク電流は

$$I_{\text{leak}} = AE_{\text{Si}} \exp\left(\frac{-B}{E_{\text{Si}}}\right) \quad (3.1)$$

で与えられる。ここで、A は定数、B は理論的には 21.3 MV/cm であり、 E_{Si} はトンネリングが起こる点でのシリコン表面電界である。ここでシリコン表面電界 E_{Si} は、

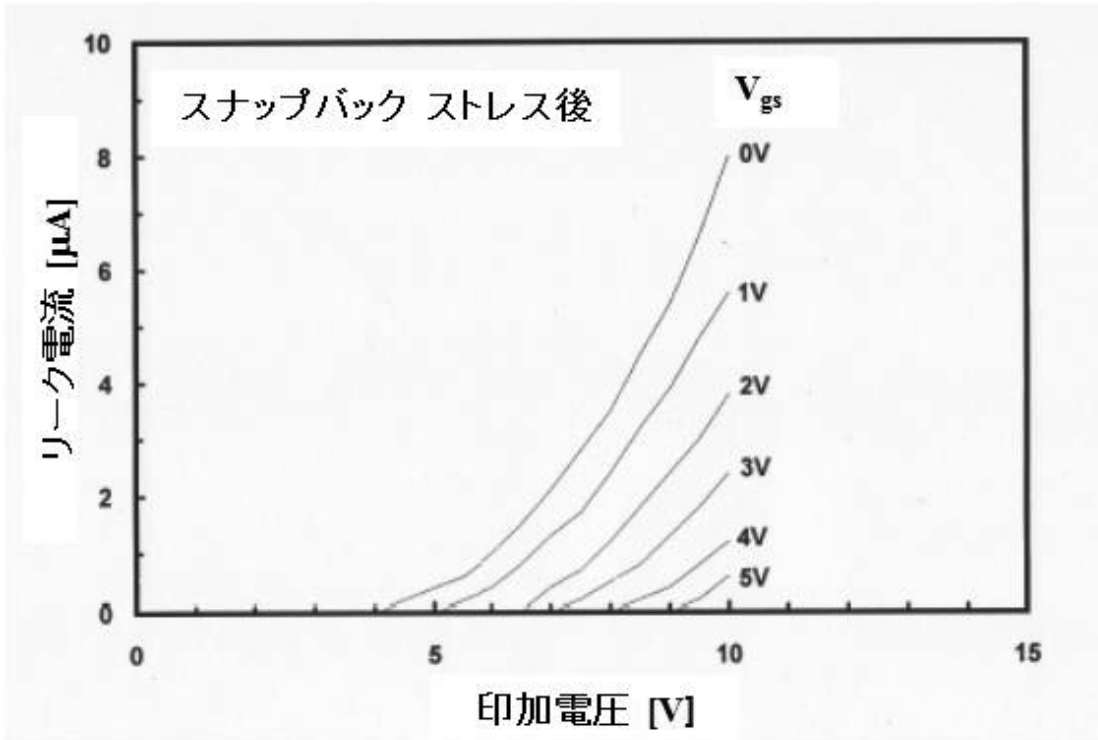
$$E_{\text{Si}} = \frac{V_{\text{dg}} - 1.2}{3T_{\text{ox}}} \quad (3.2)$$

であり、 V_{dg} はゲートとドレイン間の電圧、3 はシリコンの誘電率を酸化膜の誘電率で割った値、1.2 は電子ボルト単位で表したシリコンのバンドギャップを電子電荷量で割った値、 T_{ox} はゲート酸化膜厚である。界面準位を介したトラップアシステッドトンネリング現象は、図 3-7(b)に示したように、界面準位から伝導帯への電子のトンネリング現象である。このトンネリング現象においても、リーク電流は基本的に式(3.1)で記述できる。ただし、トンネリングのバリア高さがバンド間トンネリング現象と違うため、B の値は違う。



〔図. 3-7〕 電子の(a)バンド間トンネリングと(b)界面準位を介したトラップアシステッドトンネリング

バンド間トンネリング現象としても界面準位を介したトラップアシステッドトンネリング現象としても、いずれもリーク電流はゲートとドレイン間電圧 V_{dg} に依存する。そこで、スナップバックストレス後の MOSFET でソースを開放にし、ゲート電圧を変えてドレインと基板間のリーク電流を測定した。図. 3-8 はゲート電圧をパラメータとした時のリーク電流-ドレイン電圧特性である。ある一定のドレイン電圧ではゲート電圧が高くなると、つまり V_{dg} が低下すると、リーク電流が低減していくことがわかる。つまり、スナップバックストレス後に発生したリーク電流はバンド間トンネリング現象、あるいは界面準位を介したトラップアシステッドトンネリング現象によって流れていると結論付けられる。



[図. 3-8] スナップバックストレス後のドレインリークの I-V 特性の V_{gs} 依存[10]

Copyright (1994) IEEE

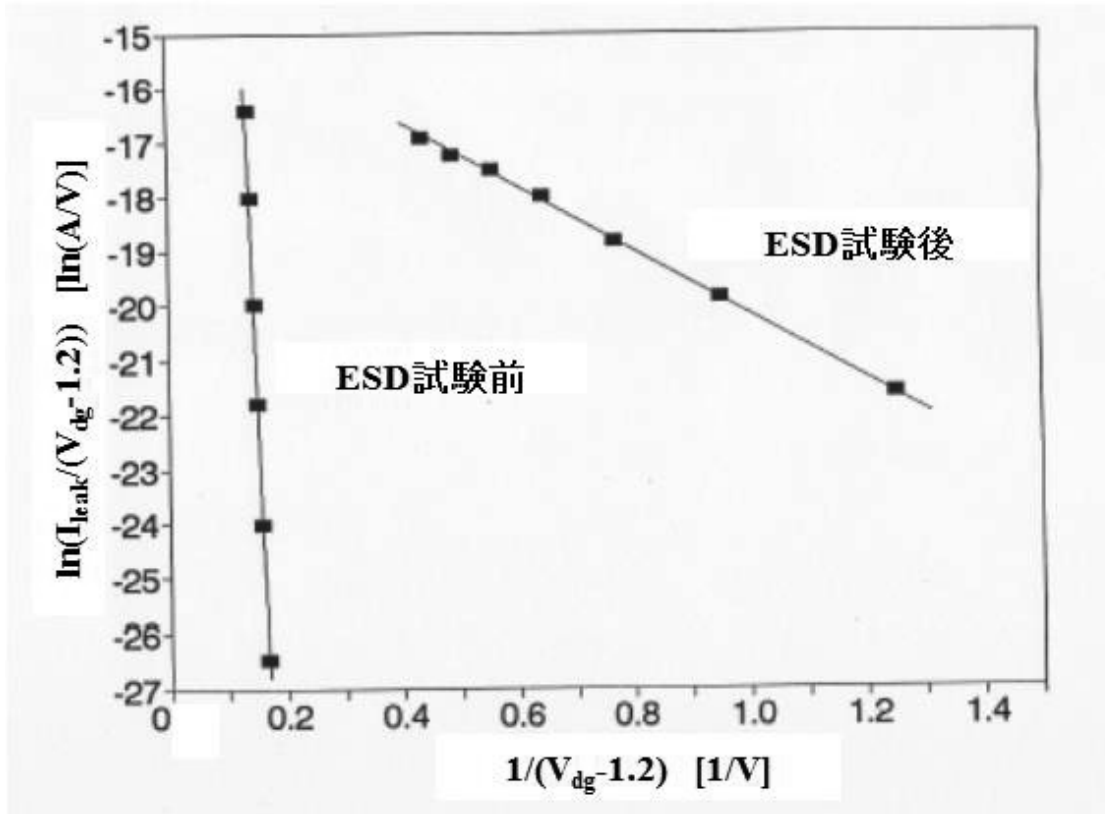
このことはまた、HBM-ESD テスト前後のリーク電流特性(図. 3-2)からも確認できる。

式(3.1)と(3.2)から

$$\ln\left(\frac{I_{\text{leak}}}{V_{\text{dg}} - 1.2}\right) = -\frac{3T_{\text{ox}}B}{V_{\text{dg}} - 1.2} + \ln\left(\frac{A}{3T_{\text{ox}}}\right) \quad (3.3)$$

となることから、リーク電流がバンド間トンネリング現象か界面準位を介したトラップアシテッドトンネリング現象によるものであれば、 $\ln\left(\frac{I_{\text{leak}}}{V_{\text{dg}} - 1.2}\right)$ と $\frac{1}{V_{\text{dg}} - 1.2}$ は線形関係となる。図. 3-9 には図. 3-2 の HBM-ESD テスト前後の特性をこのプロットに描き直したものである。HBM-ESD テスト前後のどちらにおいても直線関係が確認できており、HBM-ESD テストで増加するソフトブレイクダウン現象によるリーク電流もドレイン側のシリコン-酸化膜界面でのバンド間トンネリング現象か界面準位を介したトラップアシテッドトンネリング現象によるものと結論付けられる。特にHBM-ESD テスト後で

は、傾きが小さくなっていることから(B の値が小さくなった)、界面準位を介したトラップアシステッドトンネリング現象であることを暗に示唆しているものと考えられる。



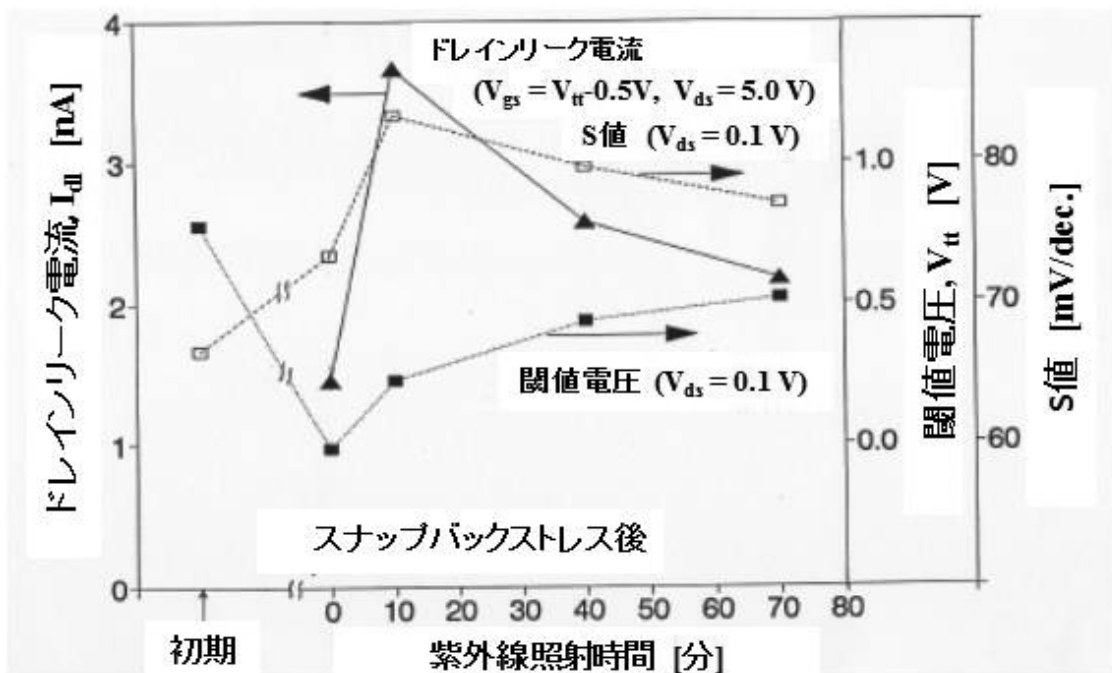
[図. 3-9] HBM-ESD テスト前後のリーク電流のバンド間トンネリングプロット[10]

Copyright (1994) IEEE

3. 7 ソフトブレイクダウン現象でのリーク電流増加メカニズム

スナップバックストレス後のリーク電流の増加は、ドレイン側のシリコン-酸化膜界面でのバンド間トンネリング現象か界面準位を介したトラップアシステッドトンネリング現象であると考えられたが、リーク電流の増加は、バンド間トンネリング現象の場合はスナップバックストレスにより表面電界 E_{Si} が上昇したか、もしくは界面準位を介したトラップアシステッドトンネリング現象であれば、スナップバックストレスによって界面準位密度が増加したことが原因と考えられる。スナップバック中に電子がドレイン上の酸化膜に注入し捕獲されれば、シリコン表面電界 E_{Si} は上昇する。また、スナップバ

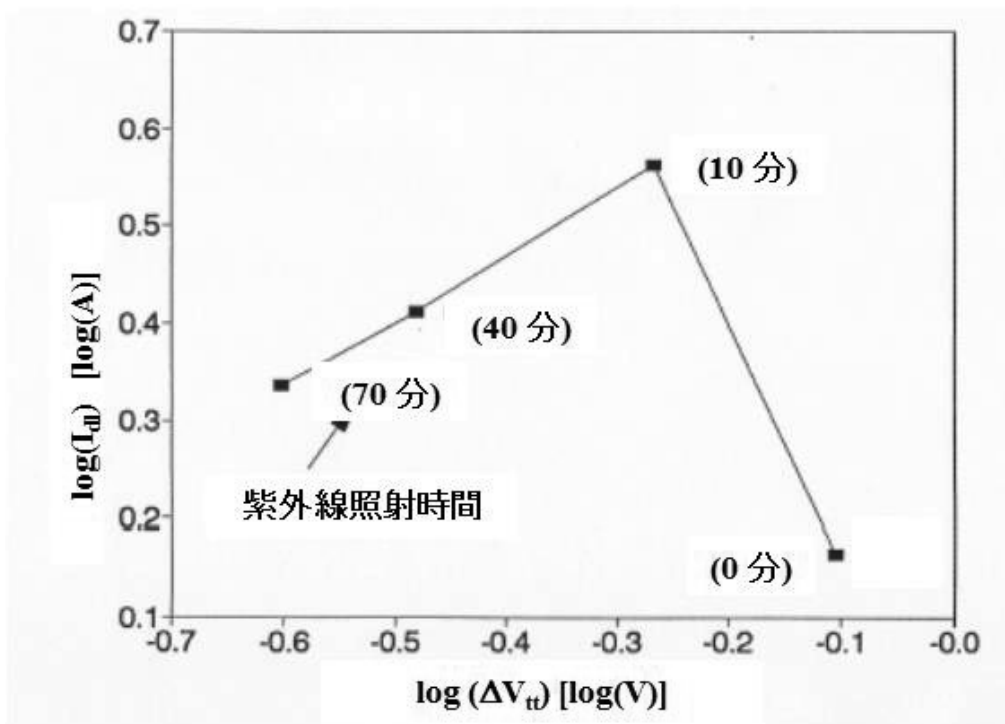
ック中にキャリアが酸化膜中に注入されれば界面準位を発生させることができる。どちらが主たるスナップバックストレスでのリーク電流の増加になったかを検証するため、スナップバックストレス後の MOSFET に対して、紫外線(253.7 nm, 4.88 eV)を照射し、ゲート酸化膜中のトラップされた電荷や界面準位の回復を行い、リーク特性がどのように変わるか、あるいはどのような相関があるかを確認する実験を行った。ゲート酸化膜中の電荷は MOSFET の線形領域の閾値電圧 V_{th} 、を測ることでモニタした。また、界面準位は、MOSFET の線形領域のサブスレッシュホルドスロープ(S 値)をモニタすることで行った[14]。 図. 3-10 は、紫外線照射時間に対するドレインリーク電流 I_{dl} と V_{th} 及び S 値の変動を示したものである。



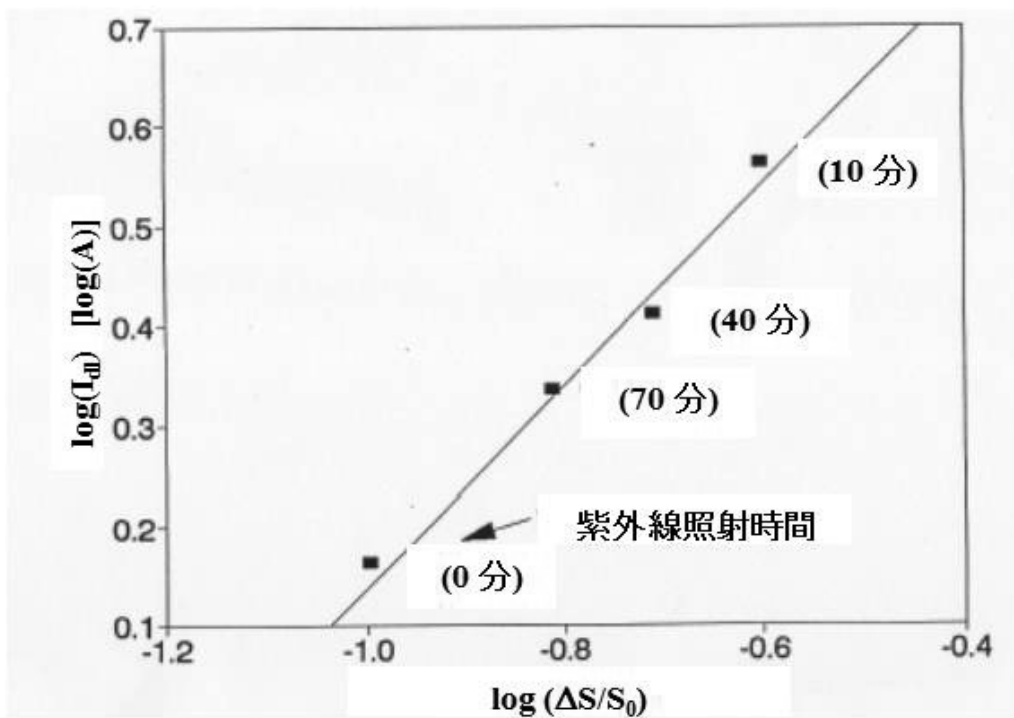
[図. 3-10] 紫外線照射によるドレインリーク電流、閾値、及び S 値の変動[10]

Copyright (1994) IEEE

V_{th} はスナップバックストレスによって負方向にシフトしている。これはスナップバックストレスによってゲート酸化膜に正孔が注入・捕獲されたことを示している。また V_{th} は紫外線照射時間とともに増加していることから、スナップバックによりゲート酸化膜に注入・捕獲された正孔が紫外線によって放出されたと考えられる。S 値はスナップバックストレスによって増加しており、スナップバックストレスで界面準位が増加していることがわかる。ドレインリーク電流の増加について解析するために、ドレインリーク電流 I_{dl} と V_{th} の初期からの変動である ΔV_{th} との相関、及びドレインリーク電流 I_{dl} と S の変動率 $\Delta S/S_0$ の相関をそれぞれ図. 3-11 と図. 3-12 に示した。図. 3-11 から I_{dl} と ΔV_{th} の相関は見られないが、図. 3-12 から、 I_{dl} と $\Delta S/S_0$ は両対数において相関がみられ、 $\Delta S/S_0$ の増加とともに I_{dl} は増加することが判った。このことから、スナップバックストレスによるリーク電流の増加はスナップバックストレス時にキャリアが注入され(正孔の注入)ドレイン上部に界面準位が発生することで界面準位を介したトラップアシステッドトンネリング電流が増加したためと特定できた。スナップバックストレスで酸化膜中に発生する電荷の影響はリーク電流の増加に対しては影響が少ないこともわかった。以上のように LDD MOSFET において ESD テストで発生するソフトブレイクダウン現象によるオフリークの増加がなぜ起こっているかを明確に示すことができた。



[図. 3-11] ΔV_{it} と I_d の相関[10]
Copyright (1994) IEEE

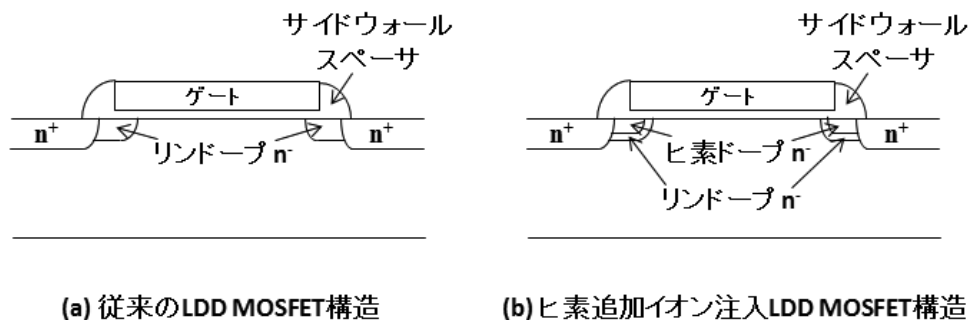


[図. 3-12] $\Delta S/S_0$ と I_d の相関[10]
Copyright (1994) IEEE

3.8 ソフトブレイクダウン現象による ESD 耐量低下の改善

3.8.1 ドレインエンジニアリングを用いた ESD 耐量の改善

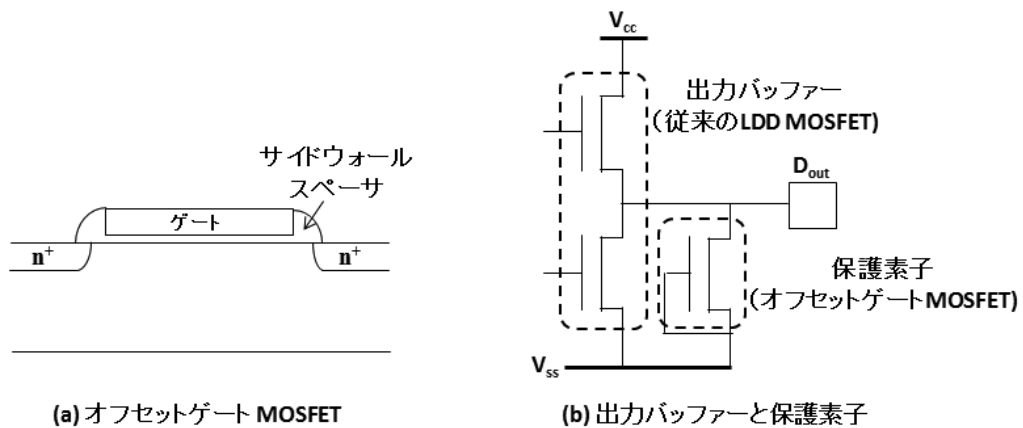
前節で ESD テストやスナックバックストレス後に発生するソフトブレイクダウン現象によるオフリークの発生メカニズムは、ESD テストやスナックバックストレスによって発生した界面準位とこの準位を介したトラップアシステッドトンネリング現象であることが明確となった。この現象を抑制するためには、ESD テストやスナックバックストレスに対してできるだけ界面準位を発生させないことが重要である。そのためには、ESD テストやスナックバックストレス時にドレイン部で消費されるエネルギーを低減させればよい。その一つとして、出力バッファの MOSFET のドレイン構造を最適化する、ドレインエンジニアリングを用いる方法がある。この目的から、図. 3-13 で示したような構造である LDD の n-領域にヒ素の追加イオン注入を行う事で消費されるエネルギーを低減し HBM-ESD 耐量が改善できるかの検討を行った。このヒ素の追加イオン注入のアイデアはヒ素とリンを拡散して n-領域を形成した DDD (Double Diffused Drain)構造の方が LDD よりも ESD 耐量が高いという事実 [15] に基づいている。また LDD 領域に多少高濃度のヒ素による拡散層を形成することで、ソース・ドレイン間耐圧を若干低下させてスナックバック時に消費されるエネルギーを低減させるとともに LDD によるドレイン電界緩和効果も維持し、ホットキャリア注入による特性変動も抑制することを期待している[16]。



[図. 3-13] (a)従来の LDD MOSFET と(b)ヒ素追加イオン注入を行った LDD MOSFET[11]

Copyright (1994) IEICE

これとは別に、もう一つのドレインエンジニアリングとして、図. 3-14 で示したような LDD 領域に n 型の不純物導入を行わず、オフセットゲートとした MOSFET の静電保護回路も検討した。オフセットゲートの MOSFET では閾値電圧が高く、ドレイン電流が大幅に低下するため、出力 MOSFET として使えない。そこで、図. 3-14 のように出力 MOSFET と並列に並べてオフセットゲート MOSFET を ESD 保護素子として使用している。このアイディアはソース・ドレインがヒ素だけのシングルドレイン構造の MOSFET 方が、ソース・ドレイン間耐圧も低く、ESD 耐量が高いという事実から考えたものである。



[図. 3-14] (a)オフセットゲート MOSFET 構造と(b)オフセットゲート MOSFET を保護素子とした用いた

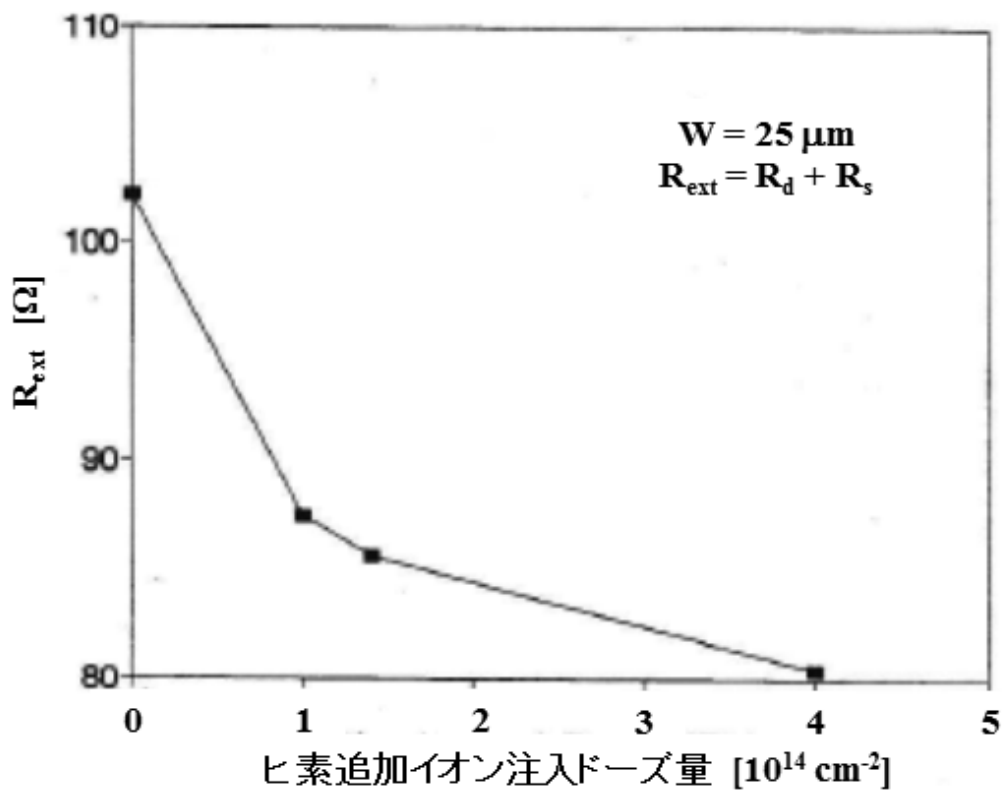
出力バッファ回路[11]
Copyright (1994) IEICE

3. 8. 2 ヒ素の追加イオン注入による ESD 耐量の改善

3. 8. 2. 1 ヒ素の追加イオン注入 LDD MOSFET の寄生抵抗

ソース・ドレイン部の寄生抵抗は ESD 特性にとって重要なパラメータの一つである。寄生抵抗値が高いと、寄生抵抗は ESD イベント中に電流フィラメントの形成を遅らせるための安定化抵抗として働くため、ESD 耐量は改善される傾向にある[6]。図. 3-15 にヒ素追加イオン注入のドーズ量に対するソース・ドレイン部の寄生抵抗値の変

動を示した。結果から、ヒ素の追加イオン注入で寄生抵抗は低下するが、ドーズ量 $4 \times 10^{14} \text{ cm}^{-2}$ でもその低下分は 20%程度である。この程度の寄生抵抗値の低下は ESD 耐量には大きく影響しないと考えている。

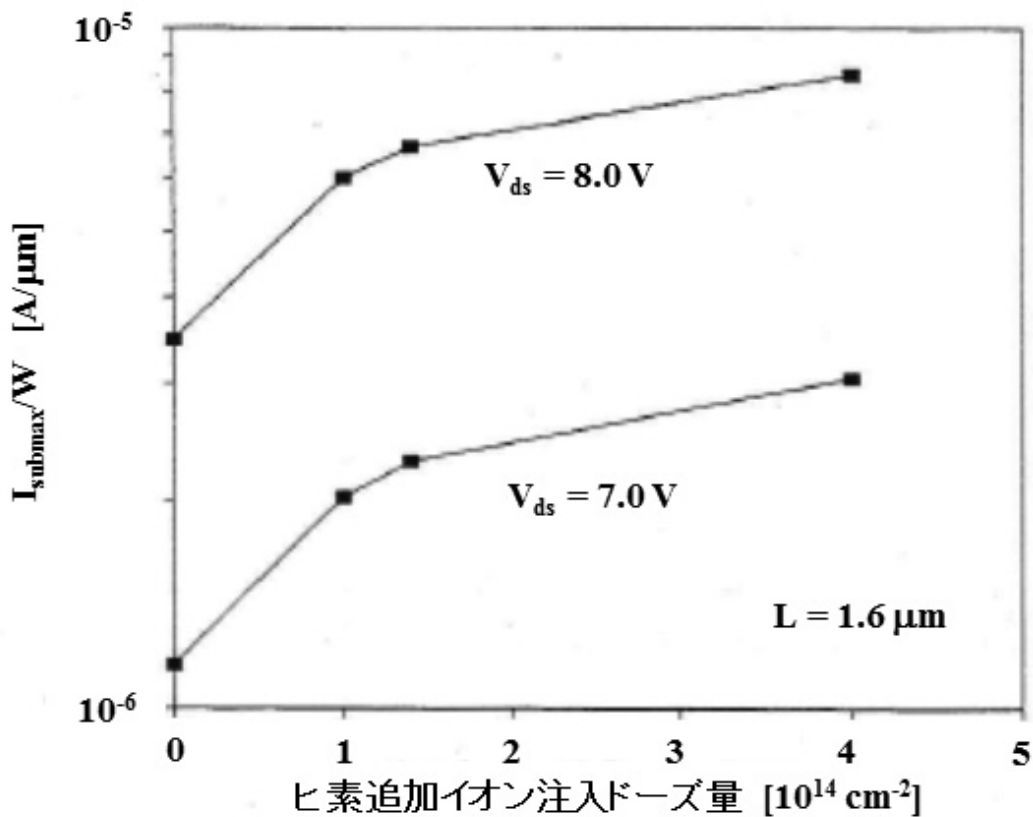


[図. 3-15] ヒ素追加イオン注入ドーズ量に対するソース・ドレイン寄生抵抗[10]

Copyright (1994) IEEE

3. 8. 2. 2 ヒ素の追加イオン注入 LDD MOSFET の基板電流

微細化された MOSFET の長期信頼性を得るためには、ホットキャリア注入による特性変動を抑制する必要がある。前章でも述べているが、MOSFET でのホットキャリア発生量は基板電流によってモニタすることができる。基板電流はまた、MOSFET の寿命と関係がある[3]ことが分かっている。図. 3-16 はヒ素の追加イオン注入のドーズ量と基板電流の関係を示したものである。基板電流は与えられたドレイン電圧に対し、ゲート電圧を変えていった時に最大値となる基板電流とした。基板電流はヒ素の追加イオン注入のドーズ量とともに増加している。ヒ素の追加イオン注入のドーズ量が $4.0 \times 10^{14} \text{ cm}^{-2}$ ではヒ素のイオン注入がない場合のほぼ 2 倍となっている。しかしながら、ヒ素の追加イオン注入のドーズ量が $4.0 \times 10^{14} \text{ cm}^{-2}$ であっても、 $L=1.0 \text{ }\mu\text{m}$ の MOSFET の線形領域のトランスコンダクタンス g_m がホットキャリア注入によって 10% 変動する時間を寿命とした時、直流で 5.5 V の動作において 10 年以上の寿命があることは確認されている。この結果からも、ヒ素の追加イオン注入のドーズ量が $4.0 \times 10^{14} \text{ cm}^{-2}$ 以下であればホットエレクトロン注入による MOSFET 特性変動での長期信頼性は十分に確保できているものと考えられる。

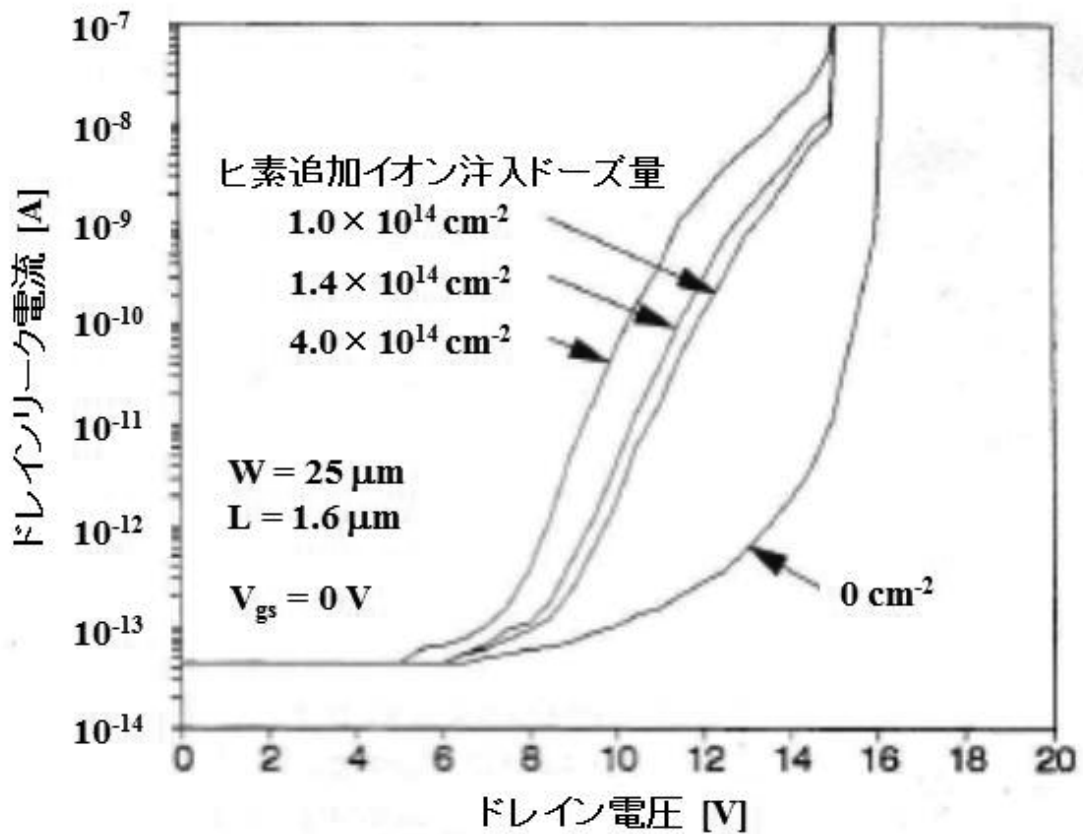


[図. 3-16] ヒ素追加イオン注入ドーズ量に対する基板電流[10]
Copyright (1994) IEEE

3. 8. 2. 3 ヒ素の追加イオン注入 LDD MOSFET の初期リーク電流

ヒ素の追加イオン注入 LDD MOSFET での ESD テストやスナップバックストレスによるソフトブレイクダウン現象の改善効果を解析するために、初期のリーク特性を測定した。図 3-17 にはヒ素の追加イオン注入がない場合と、ヒ素の追加イオン注入のドーズ量を $1.0 \times 10^{14} \text{ cm}^{-2}$ 、 $1.4 \times 10^{14} \text{ cm}^{-2}$ 、と $4.0 \times 10^{14} \text{ cm}^{-2}$ とした 4 条件での MOSFET のオフ状態(ゲート電圧を 0 V にした状態)での電圧-電流特性を示した。この図からもわかるように、n-にヒ素の追加イオン注入を用いた場合、リーク電流は $V_{\text{gd}}=8 \text{ V}$ 以上で増加している。この増加しているリーク電流はバンド間トンネリング現象によるリーク電流であり、ヒ素の追加イオン注入のドーズ量を増やすとともに増加している。

このリーク電流の増加分で、HBM-ESDテストにおいて、MOSFETのスナップバック前に容量カップリングによってMOSFETのドレイン電圧が上昇する際に、容量CDに蓄積された電荷を消費することができるため、HBM-ESD耐量の改善に結びつくものと考えられる。また、LDD領域にヒ素の追加イオン注入を行ったMOSFETのソース・ドレイン間耐圧はリン単独のLDDのMOSFETよりも約1V程度低く、これもHBM-ESD耐量の改善に結びつくものと考えられる。

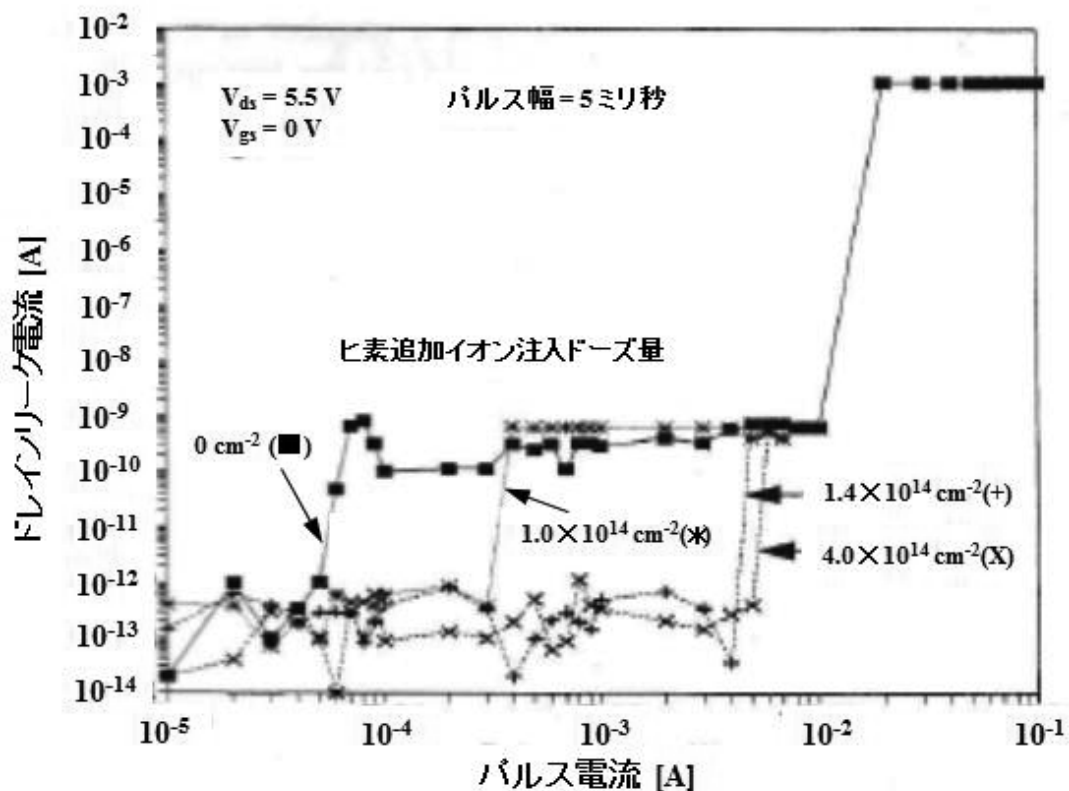


[図. 3-17] $V_{gs}=0 \text{ V}$ の時のソース・ドレイン間リーク電流特性[10]

Copyright (1994) IEEE

3. 8. 2. 4 ヒ素の追加イオン注入 LDD MOSFET によるソフトブレイクダウン現象の改善

ヒ素の追加イオン注入がない場合とヒ素の追加イオン注入を行った場合の電流パルスによるスナップバックストレスでのパルス電流値とストレス後のリーク電流の測定を行った。結果を図. 3-18 に示す。ここで全てのサンプルでスナップバックはパルス電流が $500 \mu\text{A}$ を超えた時に起こっていた。ソフトブレイクダウン現象によるリーク電流の増加は、どのサンプルでも見られている。しかしながら、ソフトブレイクダウン現象によってリークが発生するパルス電流値はヒ素の追加イオン注入のドーズ量が増えるとともに高くなっている。このことは、ヒ素の追加イオン注入により、HBM-ESD 耐量が改善されている可能性を示唆するものである。



[図. 3-18] パルス電流とドレインリーク電流[10]
Copyright (1994) IEEE

HBM-ESD テストでの耐量とソフトブレイクダウン現象によってドレインリーク発生するパルス電流値を表. 3-1 にまとめた。通常のリン単独 LDD の HBM-ESD 耐量は 200-300 V しかないのに対し、ヒ素の追加イオン注入を行う事で多少ばらつきはあるものの 2000 V 以上の耐量へ改善されることが確認できた。

表. 3-1 追加ヒ素インプラによる HBM ESD 耐量の改善

追加ヒ素インプラドーズ	HBM ESD 耐量	Soft breakdown 発生パルス電流
0 cm ⁻²	200-300 V	5.0×10 ⁻⁵ A
1.0×10 ¹⁴ cm ⁻²	2800-6000 V	4.0×10 ⁻⁴ A
1.4×10 ¹⁴ cm ⁻²	2800-5000 V	5.0×10 ⁻³ A
4.0×10 ¹⁴ cm ⁻²	2400-5000 V	6.0×10 ⁻³ A

3. 8. 3 オフセットゲート MOSFET 保護素子での改善

3. 8. 3. 1 オフセットゲート MOSFET のコンセプトと構造

HBM-ESD 耐量を改善するもう一つの方法として保護素子のソース・ドレイン間耐圧を下げる方法がある。耐圧を下げることで、ESD で発生したパワーを低減できる可能性があるためである。耐圧を下げるには、ドレインに電圧がかかったときの電界を高くすればよく、簡単には傾斜接合ではなく階段接合にすれば良い。つまり、過去にも用いられていたヒ素拡散だけのドレインで作られるシングルドレイン構造にすれば良い。ただし、前にも触れたが、シングルドレインの MOSFET をそのまま出力 MOSFET に使うと、微細素子においてはホットキャリア注入による特性変動が起こり、長期信頼性が低下するため使えない。そのため、シングルドレインの MOSFET を単なる保護素子として使うことを考えた。今、シングルドレインの MOSFET のソース・ドレイン間耐圧を考えると、LDD MOSFET よりも低いはずで、ESD テストにおいて、LDD MOSFET がスナップバックに入らずに、保護素子のシングルドレイン MOSFET

のスナップバック後のバイポーラ動作だけで静電が消費されることになる。しかしながら、現状の LDD を用いた CMOS プロセスにおいて、シングルドレインの MOSFET を作るには、例えばサイドウォールスペーサーを除去する等の追加プロセスが必要になってしまう。一方、図. 3-14 で示したオフセットゲートのシングルドレイン MOSFET は追加プロセスが必要ではない。通常の CMOS プロセスにおいて n-LDD イオン注入プロセスでのレジストマスクを作成する n-層 LDD のホトリソグラフィでオフセットゲートの MOSFET を作る場所の n-領域をレジストでカバーすることにより、LDD イオン注入がされずに、オフセットゲートのシングルドレイン MOSFET を形成することができる。図. 3-14 に示したように、シングルドレインの MOSFET を保護素子として、LDD MOSFET を出力 MOSFET として使えば、HBM-ESD 耐量の改善につながる可能性がある。

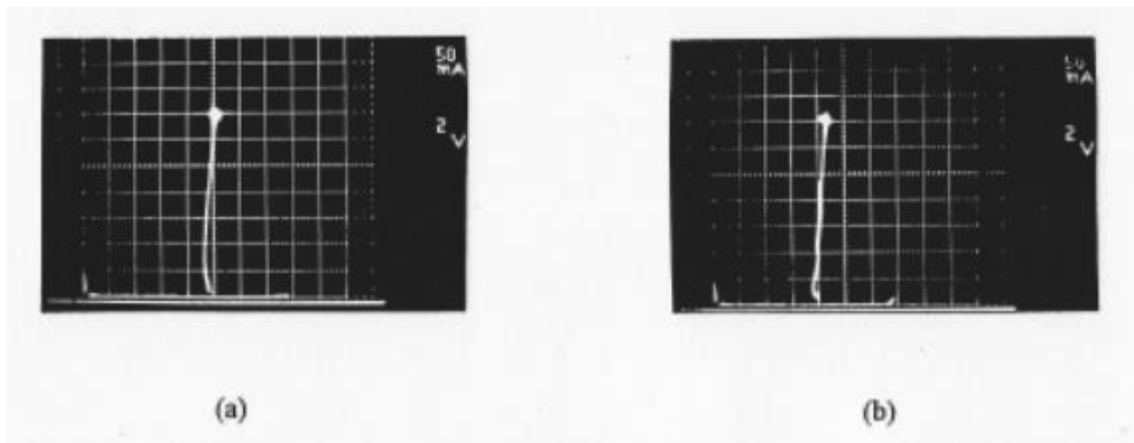
3. 8. 3. 2 オフセットゲート MOSFET 保護素子による ESD 耐量の改善

このオフセットゲートのシングルドレイン MOSFET を ESD 保護素子として用いた時の HBM-ESD テスト結果を表. 3-2 にまとめた。この表からもわかるように、リン単独 LDD では HBM-ESD 耐量が 200-300 V であったものが、オフセットゲートのシングルドレイン MOSFET の ESD 保護を挿入することで HBM-ESD 耐量が 3000 V 以上に改善できることがわかった。

表. 3-2 オフセットゲート MOSFET による HBM ESD 耐量の改善

保護回路構成	HBM ESD 耐量
オフセットゲート MOSFET 保護なし	200-300 V
オフセットゲート MOSFET 保護あり	3000-4000 V

この改善を確認するため、リン単独の LDD MOSFET とオフセットゲートのシングルドレイン MOSFET の I-V 特性を測定した。その結果を図 3-19 に示す。リン単独の LDD MOSFET ではソース・ドレイン間耐圧が約 16 V であったのに対して、オフセットゲートのシングルドレイン MOSFET では 14 V 程度と低くなっており、目論見通りの HBM-ESD 耐量の改善につながったものと考えている。



[図. 3-19] (a)従来の LDD MOSFET と(b)オフセットゲート MOSFET のスナップバック特性[11]
Copyright (1994) IEICE

3.9 結論

薄いゲート酸化膜と LDD 構造を有する出力 MOSFET の HBM-ESD テストでのソフトブレイクダウン現象によるオフリークの増加機構について検討した。リン単独 LDD の MOSFET では HBM-ESD 耐量はこのソフトブレイクダウン現象により 200-300 V 程度しかない。ソフトブレイクダウン現象によるオフリークの増大は HBM-ESD テスト中に出力 MOSFET はスナップバック状態になり、スナップバックストレスで酸化膜に注入された正孔によってシリコン-酸化膜界面に界面準位が発生し、この界面準位を介するトラップアシステッドトンネリング現象によるリーク電流が増加することによって引き起こされる。

このソフトブレイクダウン現象を改善するため、LDD 部にヒ素の追加イオン注入をする方法と逆に LDD 部にリンのイオン注入を行わないオフセットゲートの MOSFET を ESD 保護素子とする方法を提案した。どちらの方法に対しても、リン単独 LDD MOSFET では HBM-ESD 耐量が 200-300 V しかなかったものを目標とする 2000 V 以上に改善することを確認した。

この LDD MOSFET を用いた場合の HBM-ESD 耐量改善は非常に有効な方法である。実際この方法を考案した 20 年以上前から現在においても用いられている手法であり、ソフトブレイクダウン現象の解明とこの改良方法の発見によって半導体デバイスの微細化を実現できた一つの要因になっていると考えている。

第3章 参考文献

- [1] S. Ogura, P. J. Tsang, W. W. Walker, D. L. Crichlow, and J. F. Shepard, "Design and characteristics of lightly doped drain-source (LDD) insulated gate field effect transistors," *IEEE Trans. Electron Devices*, vol. ED-27, pp. 1359-1367, 1980.
- [2] E. Takeda, H. Kume, T. Toyabe, and A. Asai, "Submicrometer MOSFET structure for minimizing hot-carrier generation," *IEEE Trans. Electron Devices*, vol. ED-29, pp. 611-618, 1982.
- [3] C. Hu, S. C. Tam, F. C. Hsu, P. K. Ko, T. Y. Chan, and K. W. Terrill, "Hot-electron-induced MOSFET degradation –model, monitor, and improvement," *IEEE Trans. Electron devices*, vol. ED-32, pp. 375-385, 1985.
- [4] S. N. Shabde, G. Simmons, and D. Back, "Snapback induced gate dielectric breakdown in graded junction MOSFET structure," in *IRPS Proc.*, 1984, pp. 165-168.
- [5] C. Duvvury, R. A. McPhee, D. A. Baglee, and R. N. Rountree, "ESD protection reliability in 1 μ m CMOS technology," in *IRPS Proc.*, 1986, pp. 199-205.
- [6] R. N. Rountree and C. L. Hutching, "NMOS protection circuitry," *IEEE Trans. Electron Devices*, vol. ED-32, no. 5, pp. 910-917, May 1985.
- [7] N. Khurana, T. Maloney, and W. Yeh, "ESD on CHMOS devices-equivalent circuit, physical models and failure mechanism," in *IRPS Proc.*, 1985, pp. 212-223.
- [8] D. B. Krakauer and K. R. Misty, "On latency and the physical mechanisms underlying gate oxide damage during ESD event in N-channel MOSFET," in *EOS/ESD Symp. Proc.*, 1989, pp. 121-126.
- [9] I. Kurachi, Y. Fukuda, N. Miura, and F. Ichikawa, "Analysis of a new ESD failure and its improvement," *IEEE Conf. Rec. Ind. Appl. Soc. Annual Meeting*, 1992, pp. 1612-1617.

- [10] I. Kurachi, Y. Fukuda, N. Miura, and F. Ichikawa, "Analysis of soft breakdown failure with ESD on output buffer nMOSFETs," *IEEE Trans. Industry Applications*, vol. 30, no. 2, pp. 358-364, 1994.
- [11] I. Kurachi and Y. Fukuda, "Improvement of "soft breakdown" leakage of off-state nMOSFETs induced by HBM ESD events using drain engineering for LDD structure," *IEICE Trans. Fundamentals*, vol. E77-A, no. 1, pp. 166-173, Jan. 1994.
- [12] J. Chen, T. Y. Chan, I. C. Chen, P. K. Ko, and C. Hu, "Subbreakdown drain leakage current in MOSFET," *IEEE Electron Device Lett.*, vol. EDL-8, pp. 515-517, 1987.
- [13] I. C. Chen, C. W. Teng, D. J. Coleman, and A. Nishimura, "Interface-trap enhanced gate-induced leakage current in MOSFET," *IEEE Electron Device Lett.*, vol. 10, pp. 216-218, 1989.
- [14] S. M. Sze, *Physics of Semiconductor Devices*, 2nd Ed., New York: Wiley, P. 447, 1981.
- [15] S. Aur, A. Chatterjee, and T. Polgreen, "Hot-electron reliability and ESD latent damage," *IEEE Trans. Electron Devices*, vol. 35, pp. 2189-2193, 1988.
- [16] Y. Toyoshima, N. Nihira, and K. Kanzaki, "Profiled lightly doped drain (PLDD) structure for high reliable NMOS-FETs," in *VLSI Symp. Tech. Dig.*, pp. 118-119, 1985.

第4章 RTPによる界面準位の生成と消滅に関する検討

4.1 まえがき

シリコン系デバイスにおいて、シリコンと酸化膜の界面状態を制御し素子を高品質にかつ高信頼にしていくことが重要な課題である。そのため、製造プロセスの最適化やデバイス動作条件の最適化により、初期及び長期の動作後においても界面状態を良好に保つように努力がなされてきた。これは、シリコン表面の界面準位密度が増加すると MOSFET の駆動力の重要なパラメータの一つであるキャリアの移動度が低下する[1] ためである。さらに、MOSFET の長期信頼性においても、ドレイン電流の低下はホットキャリア注入による界面準位発生で移動度が低下することによって引き起こされる[2-4] ためである。それゆえ、界面準位の発生を制御することは MOSFET の性能や長期信頼性確保のために重要な課題となっている。加えて、メモリデバイスの代表でもある NAND Flash のエンデュランス特性においては、プログラム・消去時の FN トンネル電流による界面準位発生との関係が指摘されている [5-6]。他にも、前章で示しているが HBM-ESD テストによって発生するソフトブレイクダウン現象によるリーク電流の増加は界面準位が原因となっている[7-9]。さらに、MOSFET の放射線照射による特性変動は、界面準位の発生によるものであることが報告されており[11]、放射線照射による界面準位の発生は詳細に検討されている [12]。シリコン単結晶の太陽電池においても、電子正孔対の表面再結合による発電効率の低下は界面準位と密接に関係していることが報告されている[13]。このようにほとんどの広い範囲でのシリコン系デバイスで界面準位がデバイス特性を左右する重要なパラメータとなっていることがわかる。

シリコン系デバイスに求められているもう一つの事項は、より小さなチップサイズのデバイスを作り、且つより性能の良い MOSFET を作ることである。そのために、さらなる 2 次元的なサイズの縮小が推し進められている。この縮小を達成するためには、

素子寸法を規定している設計基準の縮小もあるが、深さ方向や横方向に不純物が大きく拡散する拡散炉による熱拡散に代わり、不純物活性化を維持したまま横方向拡散を抑制できる新たな熱拡散方法の導入も必要となっている。この要求に対し、数十秒の高温アニールが可能である処理方法である RTP が 0.5 μm 以下のテクノロジーノードのプロセスで採用されている[14,15]。45-32 nm ノードの high-k/metal ゲートではフラッシュランプアニールのようなミリ秒単位の熱処理が提唱されている [16,17]。さらに、RTP には製造と言う観点からのメリットもある。熱拡散や減圧 CVD プロセスを、拡散炉を用いたプロセスから RTP に置き換えることで処理時間の短縮が可能となる[18-20]。これは、デバイス製造のコストダウンに貢献することができる。

このように RTP は素子微細化やコスト低減のメリットが大きいことがわかっているが、RTP を導入することで界面準位が増加するという事も報告されている[21-25]。界面準位の増加により、MOSFET のフラットバンド電圧がシフト[21]、ひいては閾値電圧が変動する。加えて、MOSFET の GIDL (Gate Induced Drain Leakage)も増大する[22]。さらに、低周波ノイズの増加も報告されている[23]。RTP によって発生する界面準位は Pb センターと呼ばれるシリコンのダングリングボンドと考えられている [21,24,25]。Pb センターを発生させる可能性のある一つの原因は、シリコンと酸化膜の熱膨張係数が違う事で発生する機械的なストレスである。しかしながら、MOSFET の構造を使ってシリコンと酸化膜にプロセス処理中にどのような事が起きているか直接的に議論するのは難しい。なぜなら、その界面近傍には、ゲート電極であるポリシリコンや層間絶縁膜や金属配線等が存在し、これらの影響を完全に取り除くことが不可能なためである。これに対して、酸化しただけのシリコンウエハを用いて界面準位を評価できる SCA (surface charge analyzer) であれば、純粋にシリコンと酸化膜の相互作用のみによって発生する界面準位を評価できる。さらに、SCA の測定で用いた酸化しただけのシリコンウエハは、裏面酸化膜を除去しウエハの反りを測

定することで雰囲気温度に対するシリコン酸化膜に加わる機械的ストレスを測定することもできる。この結果から、同一構造のサンプルで RTP による界面準位の発生と温度が加わることで機械的ストレスを直接比較検討することが可能となる。

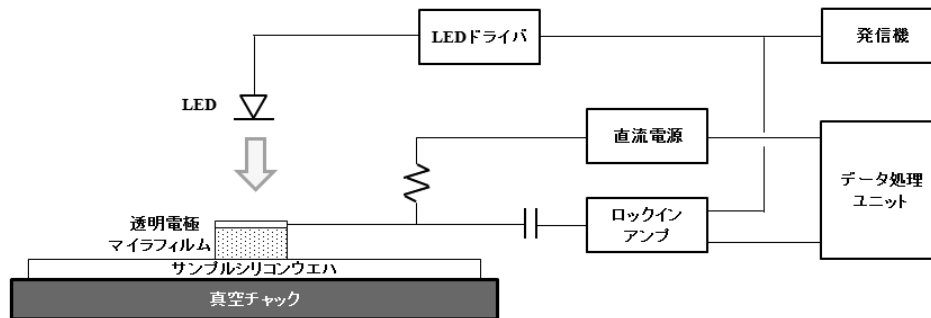
この章では、シリコンウエハを酸化した単純な構造のサンプルを用いて SCA により RTP によって発生する界面準位評価、さらに、同一構造のサンプルで温度が加わった場合の機械的ストレスを測定し比較することで、界面準位の発生とその消滅のメカニズムの検討を行っている[26]。

4.2 試料の作成と測定方法

チョコラルスキー(Cz)法により作成された、口径が 6 インチで、ボロンがドーピングされている P 型の面方位(100)のシリコンウエハを本実験では使用した。用いたウエハの厚さは 625 μm である。このウエハを通常のアモニア系の薬液で洗浄した後、950 $^{\circ}\text{C}$ ウェット酸素中で 17 分酸化することでシリコンウエハ上に 100 nm の酸化膜を形成した。RTP による界面準位発生を見るため、この酸化したウエハを窒素中で温度 650-950 $^{\circ}\text{C}$ 、時間 30-90 秒の RTP 処理を行った。

この酸化したウエハの RTP 前後の界面準位を SCA により測定した。SCA 測定器の構成図を図 4-1 に示す。測定器は透明電極が形成されているマイラフィルムのプローブと、このプローブを透過してサンプルに光を照射する LED と、この透明電極とシリコンウエハ間に電圧印加するための直流電源と、照射された光をチョップする周波数に同期された周波数の交流信号を取り出す検出器(ロックインアンプ)で構成されている。シリコンのバンドギャップより多少高めのエネルギーで高周波にチョップされた光がプローブを透過して測定サンプルに照射されると、プローブによって測定される表面光電圧(SPV: Surface Photo Voltage)はサンプルの空乏層幅に比例する。それゆえ、この SPV を測定することで、サンプルのシリコン中のドーパント濃度、酸化

膜中の固定電荷、界面準位の表面ポテンシャルスペクトルを算出することが可能となる[27, 28]。また、この SCA で測定される界面準位密度の妥当性の確認のため、マイクロ波光伝導率減衰法 μ -PCD(micro photo conductivity decay)によって測定されるキャリアの再結合寿命との比較も行った。



[図. 4-1] SCA システムの概略図

シリコン酸化膜中の機械的ストレスの温度依存性は、測定サンプルに温度を加えながらウエハのそりの曲率半径を測定することで行った。温度は 5 °C/分で上昇させた。ウエハの曲率半径は温度が 10 °C 上昇するごとに測定した。機械的ストレス σ_f は測定される曲率半径 R_m から計算され、

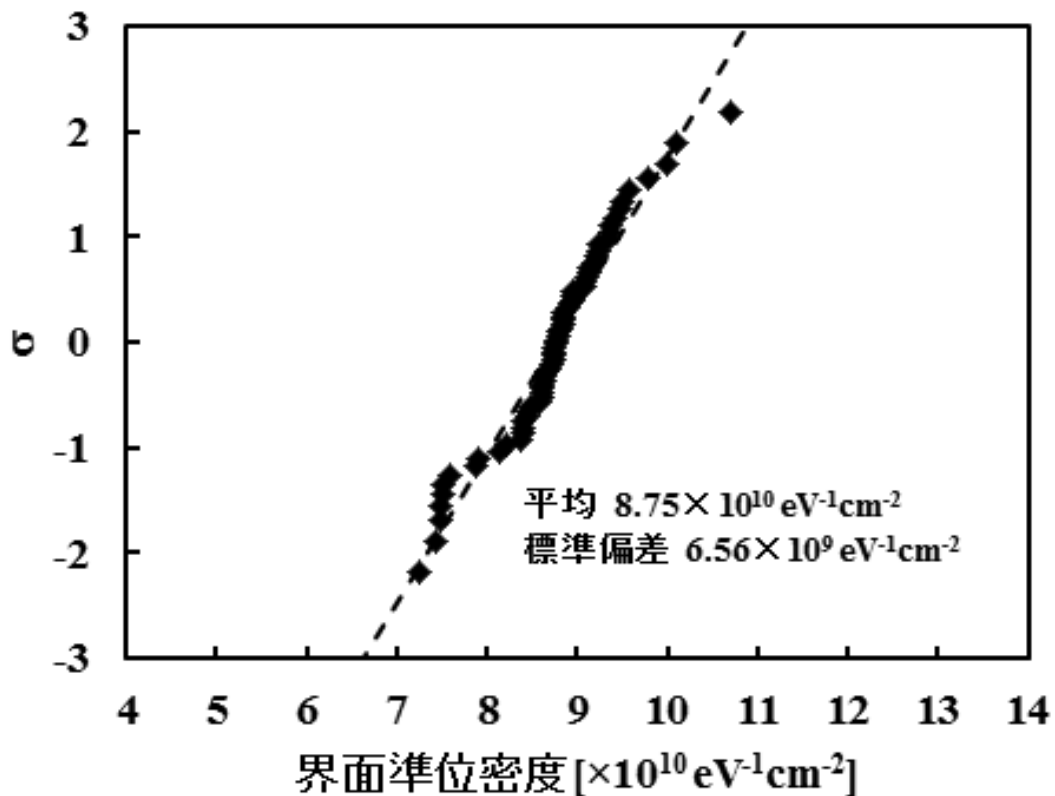
$$\sigma_f = \frac{E_s t_s^2}{6(1 - \nu_s) t_f} \left(\frac{1}{R_m} - \frac{1}{R_i} \right) \quad (4.1)$$

となる。ここで E_s はシリコンウエハのヤング率、 t_s はシリコンウエハの厚さ、 ν_s はシリコンウエハのポアソン比、 t_f はシリコン酸化膜の厚さ、 R_i は測定初期(室温)での曲率半径である。

4. 3 測定結果と考察

4. 3. 1 RTP 前の測定サンプルの界面準位と SCA での界面準位測定の妥当性

RTP 処理前のシリコンウエハ上に 950 °C で酸化膜を 100 nm 形成した後の SCA による界面準位の測定結果を図. 4-2 に示す。この測定ではウエハ面内で 5 点の測定としている。測定された界面準位の分布は平均値 $8.75 \times 10^{10} \text{ eV}^{-1} \text{ cm}^{-2}$ で標準偏差が $6.56 \times 10^9 \text{ eV}^{-1} \text{ cm}^{-2}$ のガウス分布となっている。この図からウエハ間、ウエハ面内で RTP 前では界面準位密度は十分に低く、且つタイトな分布であることが確認できる。

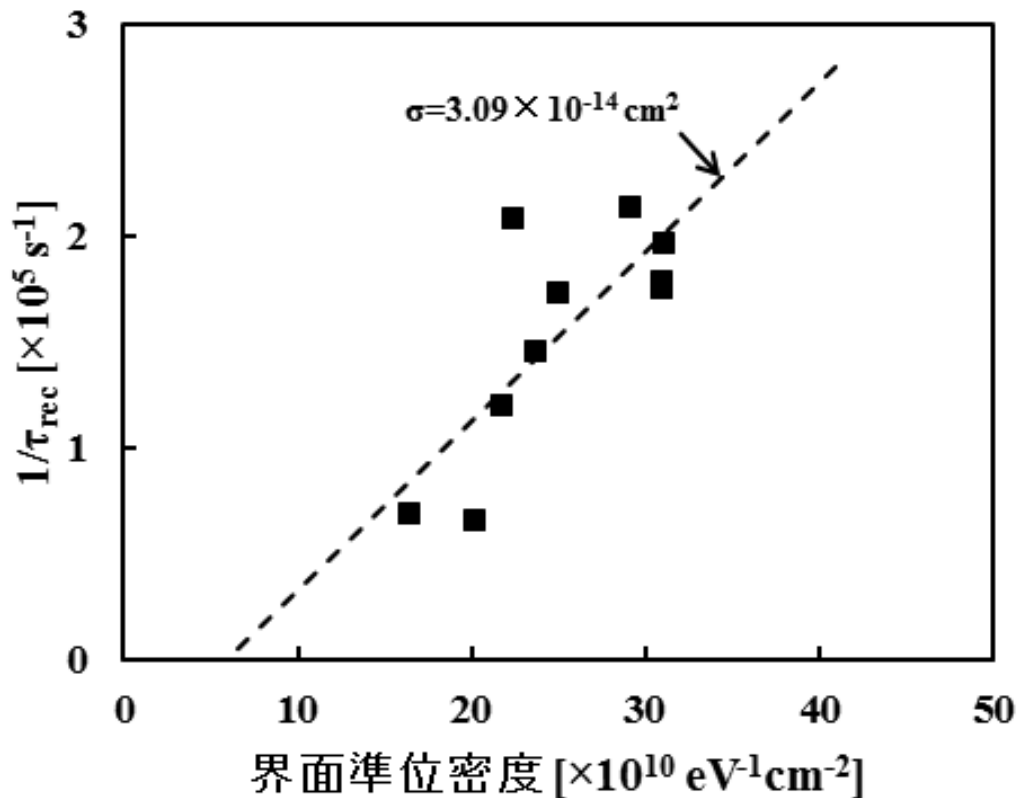


[図. 4-2] RTP 前の界面準位密度の分布[26]

SCA で測定された界面準位密度の妥当性を評価するため、RTP 前後の SCA で測定された界面準位密度と μ -PCD により測定されたキャリアの再結合寿命の相関を確認した。キャリアの再結合寿命 τ_{rec} はキャリア再結合確率の逆数に比例し、

$$\tau_{rec} = \frac{1}{\sigma_{it} v_{th} \int D_{it}(E) dE} \quad (4.2)$$

となる。ここで $D_{it}(E)$ はエネルギー E での界面準位密度、 σ_{it} は界面準位の捕獲断面積、 v_{th} はキャリアの熱速度で300 Kでは電子の場合 2.3×10^7 cm/sである。SCAで測定された D_{it} と $1/\tau_{rec}$ の間に図. 4-3に示したような線形関係が確認され、 D_{it} がシリコンのバンドギャップ中で一定と仮定すると、その関係から計算される捕獲断面積 σ_{it} は 3.09×10^{-14} cm²と計算される。測定した現象は電子と正孔の再結合によるものであること、及びDLTS(Deep Level Transient Spectroscopy)によって測定された電子の捕獲断面積が 10^{-16} cm²であり正孔のそれが 10^{-13} から 10^{-12} cm² [29]の間にあることから、抽出された捕獲断面積は妥当な値であると考えられる。以上から、SCAは十分妥当な界面準位密度の測定ができていると考えられる。



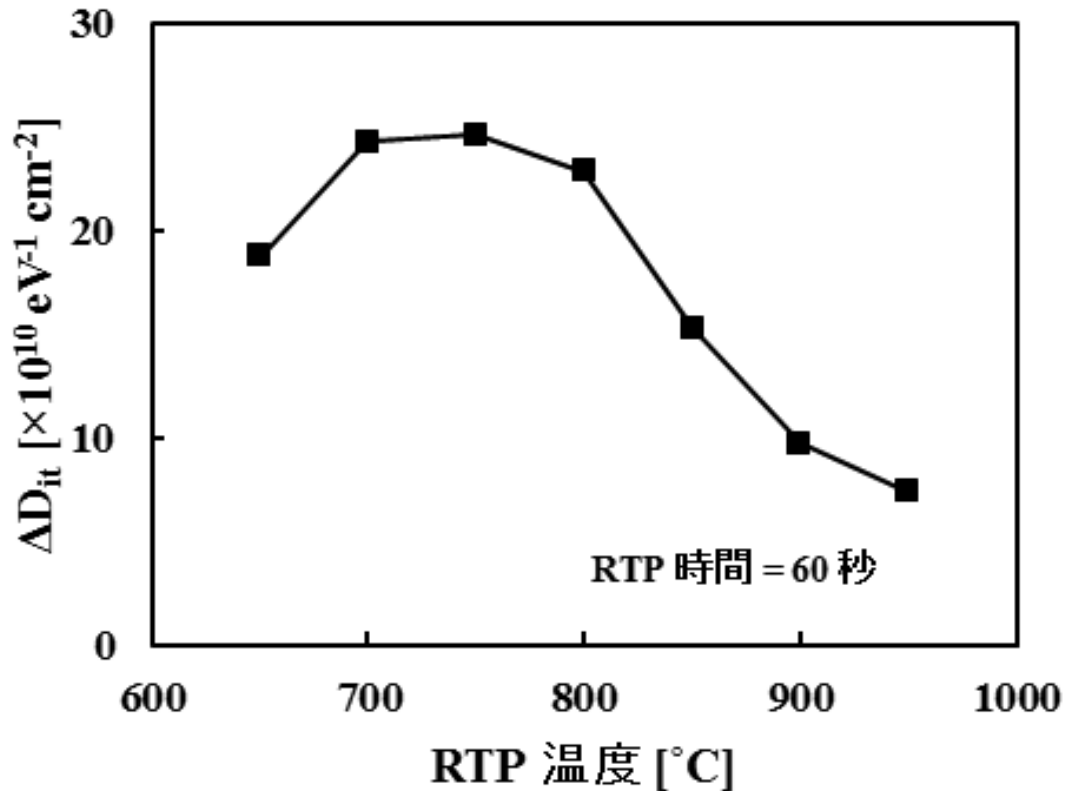
【図. 4-3】 SCA による界面準位密度と μ -PCD によるキャリアライフタイムの関係[26]

Copyright (2015) The Japan Society of Applied Physics

4. 3. 2 RTP 温度と界面準位発生量

RTP による界面準位密度の変動は RTP 前後で測定された界面準位の差 ΔD_{it} としてあらわすことができる。図. 4-4 に ΔD_{it} の RTP 温度依存性を示す。この測定においては RTP 時間を 30 秒としている。図. 4-4 に示されたように RTP 温度 650 °C から 950 °C まで、いずれの場合も RTP によって界面準位が増加していることが判る (ΔD_{it} がどの温度においても正である)。また、ここで注意しておかなければならないことは、RTP 処理をするシリコンと酸化膜界面が熱拡散炉を用いた 950 °C のウェット酸素での酸化という十分高い温度で十分時間をかけた熱処理で行われ、図. 4-2 で示されたように界面準位が十分低く良好な状態と考えられても、RTP によって界面準位が

発生することである。図. 4-4 に示されたように、 ΔD_{it} は RTP 温度 700-750 °C でピークを持ち、700 °C 以下では RTP 温度が下がるとともに ΔD_{it} も低下する。また RTP 温度が 750 °C 以上では、RTP 温度とともに ΔD_{it} は減少している。

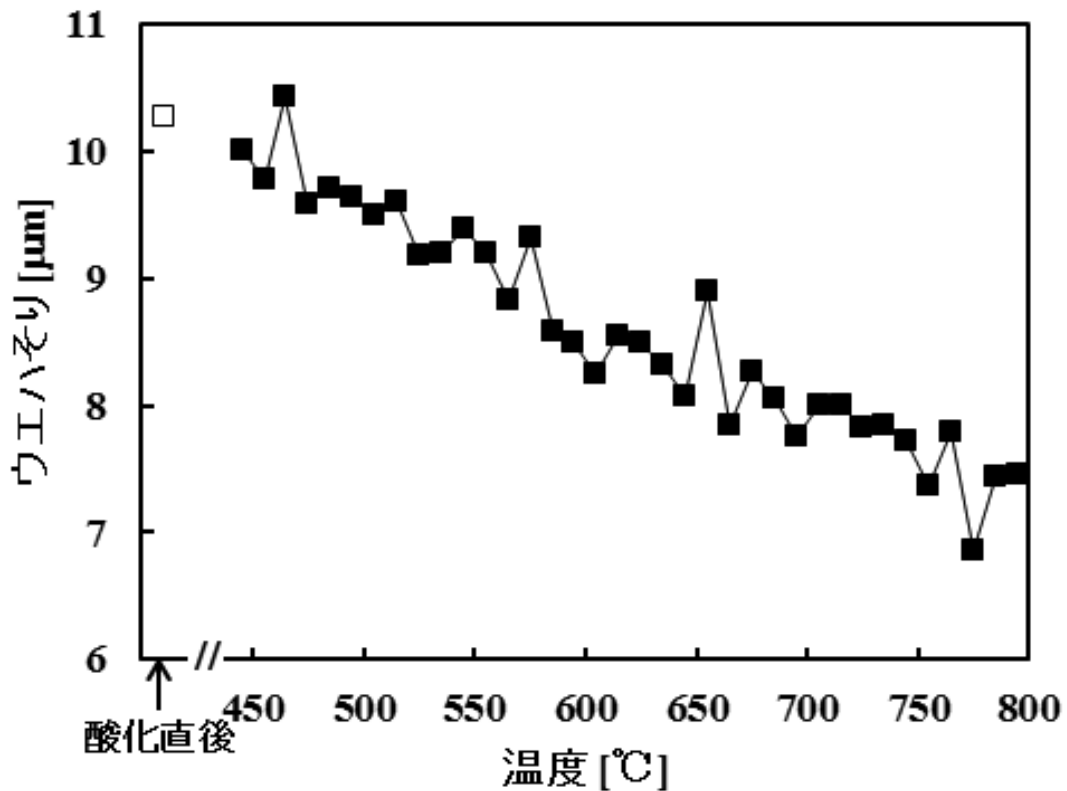


[図. 4-4] RTP|により発生した界面準位の RTP 温度依存[26]

Copyright (2015) The Japan Society of Applied Physics

RTP によって界面準位が発生する原因はシリコンと酸化膜の相互作用によるものと考えられる。ここで、考えられる界面準位の発生原因は二つある。一つは、機械的なストレスが Si-O 結合に加わり、熱刺激によって界面準位が発生するというものである。もう一つは、RTP によって水素で終端されたダングリングボンドから水素が解離し界面準位が発生するというものである。前者のモデルは以下のように説明される。この実験においては、シリコン-酸化膜界面は熱酸化によって作られている。

熱酸化はシリコン(Si)が酸化シリコン(SiO₂)に変化することであり、Si が SiO₂ に変化する中で、その体積も膨張する。それゆえ、酸化膜形成後は圧縮ストレスがシリコン酸化膜中に発生している。シリコンと酸化膜の熱膨張係数差を考えると、RTP 処理中ではこの圧縮ストレスは緩和していく。図. 4-5 には裏面の酸化膜を除去したウエハでの酸化直後のウエハの反り量と温度をかけていった時のウエハ反り量を示した。酸化直後のウエハ反り量は約 10 μm であり、ストレスとしては圧縮ストレスを示している。さらに、温度をかけることで、ウエハ反り量は低下していき、圧縮ストレスが緩和されていることがわかる。



[図. 4-5] 酸化したウエハのウエハそりの温度依存[26]

Copyright (2015) The Japan Society of Applied Physics

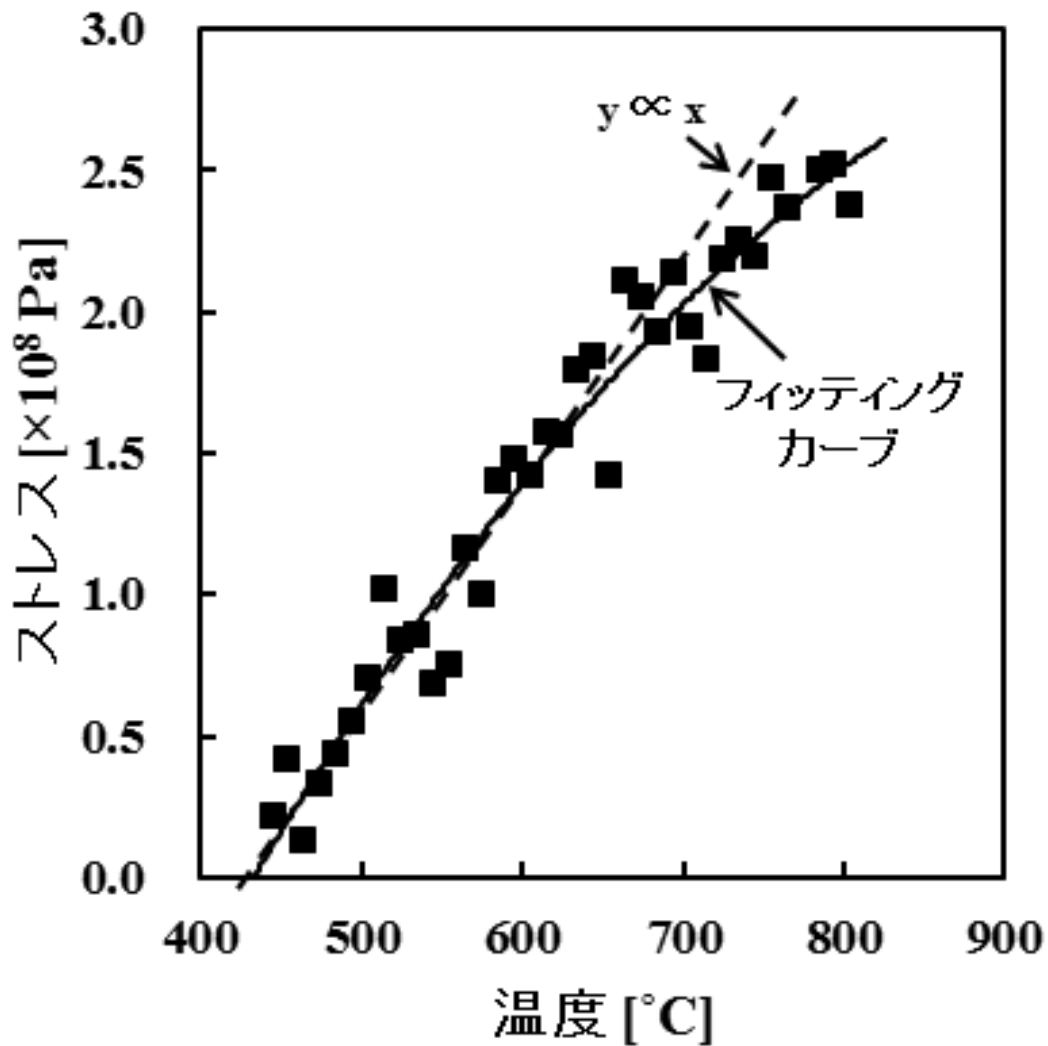
ストレスは温度によって緩和はされているが、 ΔD_{it} が最大値をとる約 750 °Cでも、圧縮ストレスは依然として存在している。この圧縮ストレスによって熱的に励起された Si-O の結合が切れて界面準位が発生する可能性がある。一方、後者のモデルでは、シリコン表面にあるいくつかのダングリングボンドは、酸化膜形成がウェット酸化で、その酸化雰囲気中には水素が存在することから、水素で界面準位が終端されている可能性はある。この水素で終端されたダングリングボンドが RTP の熱処理で水素が離脱し界面準位が発生するというものである。実際、高温・真空で界面準位と結合している水素が脱離することも報告されており、その脱離の活性化エネルギーは 2.56 ± 0.06 eV であると報告されている[30]。しかしながら、今回の測定である 650 °C と 700 °C の ΔD_{it} から計算された活性化エネルギーは 0.40 eV と水素脱離の活性化エネルギーよりも十分に小さく、水素脱離による界面準位の発生は主要因ではないと考えられる。この実験結果から界面準位の発生を説明するには証拠が不十分でもあるが、界面に機械的ストレスが存在することが、RTP によって界面準位が発生していることに対する考えうる要因と想定している。

4. 3. 3 機械的ストレスと界面準位

RTP 処理中には、室温から処理する温度への昇温が行われるため、シリコン及び酸化膜ともにそれぞれの熱膨張係数に従って膨張する。酸化膜とシリコンでは熱膨張係数が違っているため、酸化膜中には引っ張りストレスがかかることになる。このストレスが界面準位発生の原因の一つと考えられる。何故なら、このストレスはシリコン酸化膜とシリコンの界面でせん断ストレスとして働き、このせん断ストレスにより界面にダングリングボンドが形成される可能性がある。いま RTP で発生するストレスを σ_f とすると、

$$\frac{d\sigma_f}{dT} = \frac{E_s(\alpha_s - \alpha_f)}{1 - \nu_s} \quad (4.3)$$

となる。ここで、 T は RTP 温度、 α_s と α_f はそれぞれシリコンと酸化膜の熱膨張係数である。式(4.3)の右辺は一定の数値であり、 $E_s=130$ GPa, $\nu_s=0.28$, $\alpha_s=4.2\times 10^{-6}$, $\alpha_f=5\times 10^{-7}$ [31, 32, 33]とすれば、右辺は 6.68×10^5 Pa/K となる。それゆえ、 σ_f は温度の一次関数となる。ただし、高温においては酸化膜が粘性流動することが知られている。その場合、酸化膜の粘性流動を発生させる温度を超えると、 σ_f は温度の 1 次関数から乖離する。図. 4-6 に測定された温度に対するシリコン酸化膜中のストレス σ_f を示す。この結果からもわかるように、700 °C までは温度とストレスの間に線形関係があり、式(4.3)の関係が成り立っていることが判る。また、この関係から求められる $d\sigma_f/dT$ は 7.83×10^5 Pa/K であり、報告されている上記の値とほぼ同等となっていることも確認できた。700 °C 以上では酸化膜の粘性流動が始まり、図. 4-6 に見られるように温度とストレスの線形関係から乖離し、ストレスは緩和される。それゆえ、RTP による界面準位発生量である ΔD_{it} は粘性流動が始まる RTP 温度以上では低下していくものと推測する。



【図. 4-6】 酸化したウエハのストレスの温度依存[26]

Copyright (2015) The Japan Society of Applied Physics

4. 3. 4 RTP 時間と界面準位

図. 4-4 に示された ΔD_{it} のピークの存在は RTP で発生する界面準位の制御を考える上では重要な特性である。そのため、図. 4-4 と図. 4-6 の比較から何故、700-750 °Cに ΔD_{it} のピークが存在し、それ以上の温度で ΔD_{it} が減少していくか検討することにした。

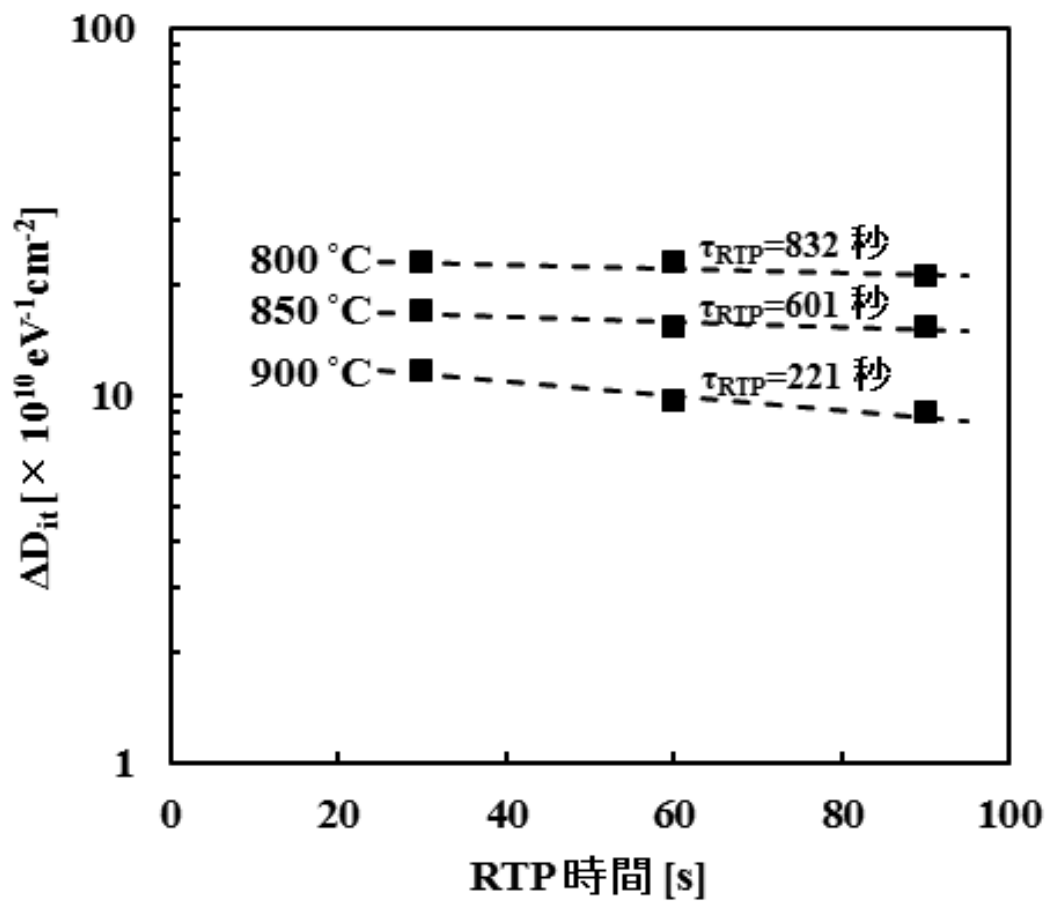
700 °C以上では、図. 4-6 に示したように、 σ_f 温度の線形関係から乖離していく事が確認されている。このことは、この温度以上でシリコン酸化膜の粘性流動が起こってストレスを緩和していることを示唆している。酸化膜の粘性流動を微視的にみれば、酸素とシリコンの原子ネットワークの再配列の結果と考えることができる。つまり、700 °C以上ではシリコンと酸化膜の熱膨張係数の違いにより発生した酸化膜にかかる機械的ストレスをドライビングフォースとして酸素とシリコン原子の再配列ができることであり、シリコンと酸化膜の界面に注目すれば、機械的ストレスで発生した界面準位であるシリコンのダングリングボンドを原子のネットワークの再配列により修復することで発生した界面準位を消滅させた可能性がある。この現象によって、シリコン酸化膜の粘性流動が起こる温度以上では ΔD_{it} が減少していくと考えることができる。この仮定が正しいとすると、粘性流動が起こる温度以上では界面準位消滅の緩和時間というものを持つはずである。緩和時間が τ_{RTP} であるとすると ΔD_{it} は

$$\Delta D_{it} = A \exp\left(-\frac{t}{\tau_{RTP}}\right) \quad (4.4)$$

と表すことができる。ここで t は RTP 時間、 A は係数である。800 °C以上温度での ΔD_{it} の RTP 時間の依存のデータを用いて、図. 4-7 に示したように式(4.4)を仮定して、各温度での τ_{RTP} の算出を行った。 τ_{RTP} はまたアレニユウスの関係を用いて次のように記述される。

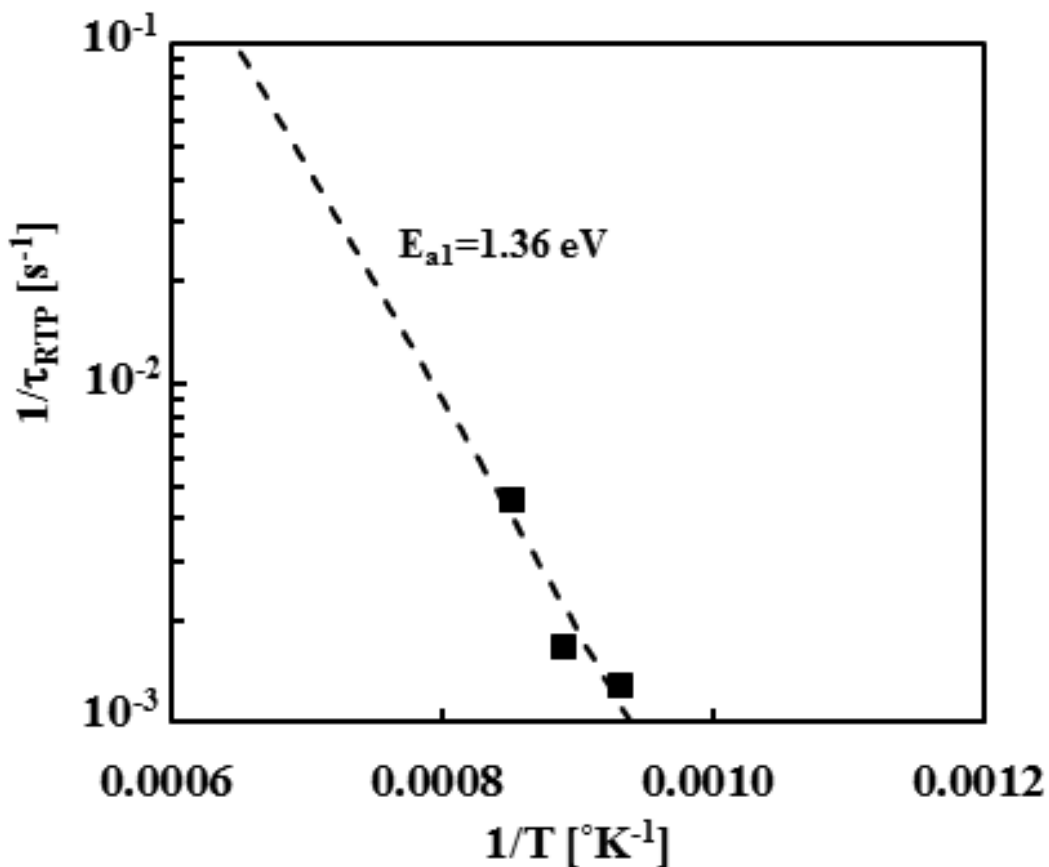
$$\frac{1}{\tau_{RTP}} = B \exp\left(-\frac{E_{a1}}{kT}\right) \quad (4.5)$$

ここで B は界面準位消滅の頻度因子、 k はボルツマン定数、 T は RTP 温度、 E_{a1} は界面準位消滅の活性化エネルギーである。この関係から、図. 4-8 に示すように活性化エネルギー、1.36eV を得た。



[図. 4-7] RTP によって発生した界面準位密度の RTP 時間依存[26]

Copyright (2015) The Japan Society of Applied Physics



[図. 4-8] RTP 時間依存から求めた緩和時間のアレニウスプロット[26]

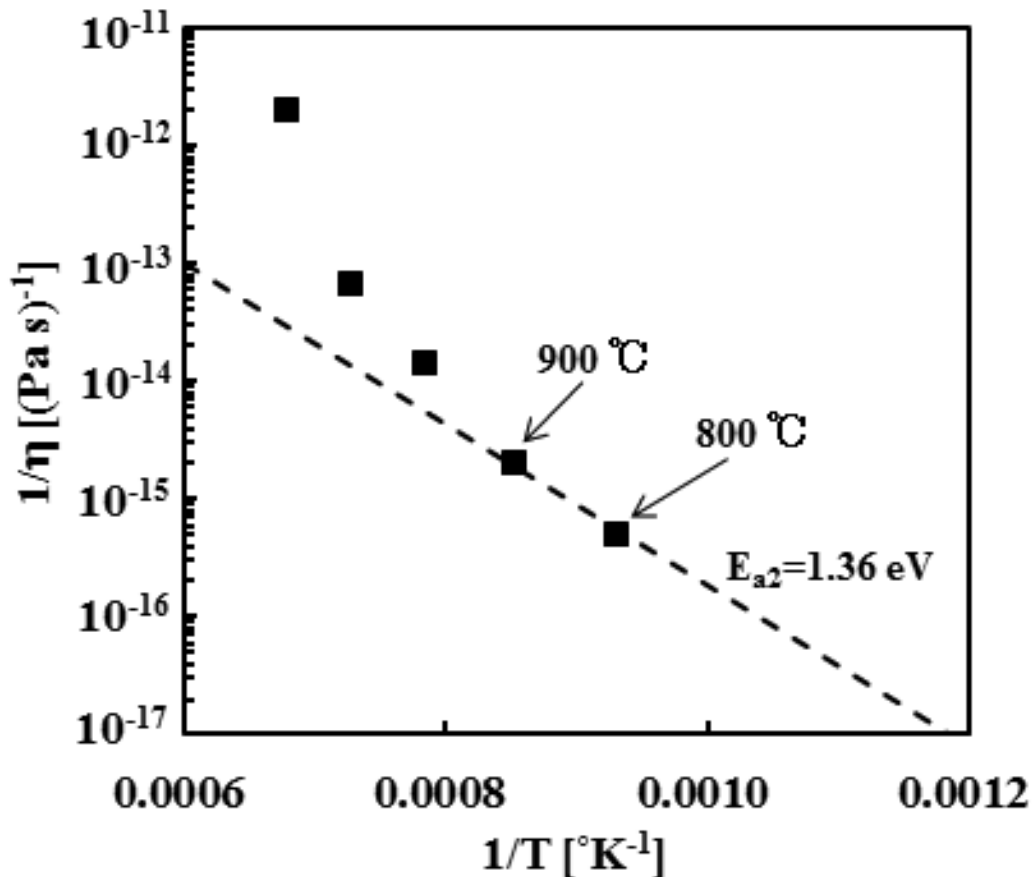
Copyright (2015) The Japan Society of Applied Physics

もし、界面準位の消滅が酸化膜の粘性流動によるものであるなら、粘性流動による酸化膜中のストレス緩和時間 τ_{stress} の逆数の活性化エネルギーが界面準位消滅の活性化エネルギーと同等になるはずである。ここで τ_{stress} は

$$\frac{1}{\tau_{\text{stress}}} = \frac{G}{\eta} = C \exp\left(-\frac{E_{a2}}{kT}\right) \quad (4.6)$$

であり、 G は剛性率、 η はシリコン酸化膜の粘度、 C 、 E_{a2} はそれぞれストレス緩和の頻度係数と活性化エネルギーである。報告されているシリコン酸化膜の粘度 η の温度依存[34]を用いて、温度と粘度の逆数をアレニウスプロットした結果を図4-9に示す。

図 4-7 で得られた界面準位消滅の活性化エネルギーである 1.36eV のラインも図中に示した。800-900 °C の範囲で粘度の逆数は同様の傾きとなっている。つまり同様の活性化エネルギーになっていることが確認できる。このことから、RTP 温度が高温での界面準位消滅のメカニズムは酸化膜の粘性流動によるものと結論付けられる。



[図. 4-9] 文献[34]からの酸化膜の粘度の逆数のアレニウスプロット[26]

Copyright (2015) The Japan Society of Applied Physics

4. 4 結論

RTP によりシリコン-酸化膜の界面準位の発生もしくは消滅現象について SCA 測定によって求められた界面準位とウエハの反り測定から求められた機械的ストレスをもとに検討を行った。これらの測定においては、試料は酸化を行っただけのシリコン

ウエハであり、ゲート電極やメタル配線等は形成されていないため、シリコンと酸化膜だけの相互作用を観察することができる。また、このような単純な構造においても、RTP によって界面準位は発生しており、700-750 °Cまでは RTP による界面準位の増加分は RTP 温度とともに増加し、それ以上の温度では、増加分が RTP 温度とともに減少していくことがわかった。また、800 °C以上の温度では RTP 時間とともに発生する界面準位は減少していき、その減少は緩和時間を持っていることがわかった。さらに、この緩和時間の活性化エネルギーを求めると 1.36eV となることもわかった。

RTP による界面準位発生の原因について、高温処理によって発生するシリコン酸化膜中の機械的ストレスと高温で発生するシリコン酸化膜の粘性流動と言う観点から考察した。機械的ストレスの温度依存から、粘性流動はほぼ 700 °Cで発生することがわかった。また、酸化膜の粘度の活性化エネルギーは文献値から 1.36eV となっており、これは界面準位消滅の緩和時間の活性化エネルギーに等しい。このことから、RTP における界面準位発生は、シリコンと酸化膜の熱膨張係数差によって生じるストレスが原因であり、また酸化膜の粘性流動が始まる温度以上になると、この粘性流動により発生した界面準位の一部は消滅していくものと考えている。今後デバイスプロセスを設計していくにあたって、このメカニズムを理解して RTP 条件を設定することにより、界面準位発生を抑制し、良好な特性の素子を作ることができる。

第 4 章 参考文献

- [1] S. C. Sun and J. D. Plummer, "Electron mobility in inversion and accumulation layers on thermally oxidized silicon surface," *IEEE Trans. Electron Devices*, vol. 27, pp. 1497-1508, 1980.
- [2] C. Hu, S. C. Tam, F.-C. Hsu, P.-K. Ko, T.-Y. Chan, and K. Terrill, "Hot-electron-induced MOSFET degradation –model, monitor, and improvement," *IEEE Trans. Electron Devices*, vol. 32, pp. 375-385, 1985.
- [3] J. E. Chung, P.-K. Ko, and C. Hu, "A model for hot-electron-induced MOSFET linear-current degradation based on mobility reduction due to interface-state generation," *IEEE Trans. Electron Devices*, vol. 38, pp. 1362-1370, 1991.
- [4] I. Kurachi, N. Hwang, and L. Forbes, "Physical model of drain conductance, g_d , degradation of NMOSFET's due to interface state generation by hot carrier injection," *IEEE Trans. Electron Devices*, vol. 41, pp. 964-969, 1994.
- [5] J.-D. Lee, J.-H. Choi, D. Park, and K. Kim, "Effects of interface trap generation and annihilation on the data retention characteristics of flash memory cells," *IEEE Trans. Device and Materials Reliability*, vol. 4, pp. 110-117, 2004.
- [6] A. Farushin, K. Seol, J. Na, S. Hur, J. Choi, and K. Kim, "The new program/erase cycling degradation mechanism of NAND flash memory devices," in *IEDM Tech. Dig.*, 2009, pp. 823-826.
- [7] D. B. Krakauer and K. R. Mistry, "On latency and physical mechanisms underlying gate oxide damage during ESD events in N-channel MOSFETs," in *EOS/ESD Symp. Proc.*, 1989, pp. 121-126.

- [8] I. Kurachi, Y. Fukuda, N. Miura, and F. Ichikawa, "Analysis of soft breakdown failure with ESD on output buffer nMOSFETs and its improvement," *IEEE Trans. Industry Applications*, vol. 30, pp. 358-364, 1994.
- [9] I. Kurachi and Y. Fukuda, "Improvement of "soft breakdown" leakage of off-state nMOSFETs induced by HBM ESD events using drain engineering for LDD structure," *IEICE Trans. Fundamentals*, vol. E77-A, pp. 166-173, 1994.
- [10] I.-C. Chen, C. W. Teng, D. J. Coleman, and A. Nishimura, "Interface trap-enhanced gate-induced leakage current in MOSFET," *IEEE Electron Device Lett.*, vol. 10, pp. 216-218, 1989.
- [11] P. S. Winokur, J. R. Schwank, P. J. McWhorter, P. V. Dressendorfer, and D. C. Turpin, "Correlating the radiation response of MOS capacitors and transistors," *IEEE Trans. Nucl. Sci.*, vol. 31, pp. 1453-1460, 1984.
- [12] J. W. Stacey, R. D. Schrimpf, D. M. Fleetwood, and K. C. Holmes, "Using surface charge analysis to characterize the radiation response of Si/SiO₂ structure," *IEEE Trans. Nucl. Sci.*, vol. 51, pp. 3686-3691, 2004.
- [13] A. Belghachi, "Detailed analysis of surface recombination in crystalline silicon solar cell," *in Proc. Int. Renewable and Sustainable Energy Conf.*, 2013, pp. 161-166.
- [14] R. A. Chapman, J. W. Kuehne, P. S.-H. Ying, W. F. Richardson, A. R. Paterson, A. P. Lane, I.-C. Chen, L. Velo, C. H. Blanton, M. M. Mosiehl, and J. L. Paterson, "High performance sub-half micron CMOS using rapid thermal processing," *in IEDM Tech. Dig.*, 1991, pp. 101-104.
- [15] M. Segawa, T. Yabu, M. Arai, M. Moriwaki, H. Umimoto, M. Sekiguchi, and A. Kanda, "A 0.18 μm Ti-salicided p-MOSFET with shallow junctions fabricated by rapid thermal processing in an NH₃ ambient," *in IEDM Tech. Dig.*, 1996, pp. 443-446.

- [16] F. Ootsuka, A. Katakami, K. Shirai, T. Watanabe, H. Nakata, M. Kitajima, T. Aoyama, T. Eimori, Y. Nara, Y. Ohji, and M. Tanjyo, "Ultralow-Thermal-Budget CMOS process using flash-lamp annealing for 45 nm metal/high-k FETs," *IEEE Trans. Electron Devices*, vol. 55, pp. 1042-1049, 2008.
- [17] T. Onizawa, S. Kato, T. Aoyama, Y. Nara, and Y. Ohji, "A proposal of new concept millisecond annealing: Flexibly-shaped-pulse flash lamp annealing (FSP-FLA) for fabrication of ultra shallow junction with improvement of metal gate high-k CMOS performance," in *VLSI Symp. Tech. Dig.*, 2008, pp. 110-111.
- [18] K.-C. Chen, H.-H. Shih, Y.-L. Hwang, C.-C. Hsueh, H. Chung, S. Pan, and C.-Y. Lu, "Application of single-wafer rapid-thermal processing to the manufacture of advanced flash memory," *IEEE Trans. Semiconductor Manufacturing*, vol. 16, pp. 128-137, 2003.
- [19] P. Doshi, J. Mejia, K. Tate, and A. Rohatgi, "Modeling and characterization of high-efficiency silicon solar cells fabricated by rapid thermal processing, screen printing, and plasma-enhanced chemical vapor deposition," *IEEE Trans. Electron Devices*, vol. 44, pp. 1417-1424, 1997.
- [20] R. Schindler, I. Reis, B. Wagner, A. Eyer, H. Lautenschlager, C. Schetter, W. Warta, B. Hartiti, A. Slaoui, J. C. Muller, and P. Siffert, "Rapid optical thermal processing of silicon solar cells," in *Proc. 23rd IEEE Photovoltaic Specialists Conf.*, 1993, pp. 162-166.
- [21] A. Kamgar and S. J. Hillenius, "Rapid thermal anneal induced effects in polycrystalline silicon gate structures," *App. Phys. Lett.*, vol. 51, pp. 1251-1253, 1987.
- [22] J. C. Hsieh, Y. K. Fang, C. W. Chen, N. S. Tsai, M. S. Lin, and F. C. Tseng, "Effect of rapid thermal annealing on gate induced drain leakage in a n-channel

metal-oxide-semiconductor field effect transistor,” *Appl. Phys. Lett.*, vol. 63, pp. 3058-3059, 1993.

[23] D. C. Murray, J. C. Carter, A. G. R. Evans, A. Gougam, and J. L. Altrip, “An investigation into the effects of RTA processing on low frequency noise and other characteristics of CMOS FETs,” *in Solid State Device Research Conf.*, 1989, pp. 557-560.

[24] B. J. O’Sullivan, P. K. Hurley, C. Leveugle, and J. H. Das, “Si(100)-SiO₂ interface properties following rapid thermal processing,” *J. Appl. Phys.*, vol. 89, pp. 3811-3820, 2001.

[25] P. K. Hurley, A. Stesmans, V. V. Afanes’ev, B. J. O’Sullivan, and E. O’Callaghan, “Analysis of Pb centers at the Si(111)/SiO₂ interface following rapid thermal annealing,” *J. Appl. Phys.*, vol. 93, pp. 3971-3973, 2003.

[26] I. Kurachi, H. Takano, and H. Kanie, “Study of oxide-silicon interface state generation and annihilation by rapid thermal processing,” *Jpn. J. Appl. Phys.*, vol. 54, p. 086501, 2015

[27] E. Kamieniecki, “Determination of surface charge capacitance using a light probe,” *J. Vac. Sci. Technol.*, vol. 29, 811-814, 1982.

[28] E. Kamieniecki, “Surface photovoltage measured capacitance: Application to semiconductor/electrolyte system,” *J. Appl. Phys.*, vol. 54, pp. 6481-6487, 1983.

[29] K. L. Wang, “A determination of interface state energy during the capture of electrons and holes using DLTS,” *IEEE Trans. Electron Devices*, vol. 26, pp. 819-821, 1979.

[30] K. L. Brower and S. M. Myers, “Chemical kinetics of hydrogen and (111) Si-SiO₂ interface defects,” *Appl. Phys. Lett.*, vol. 57, pp. 162-164, 1990.

- [31] M. A. Hopcroft, W. D. Nix, and T. W. Kenny, "What is the Young's modulus of silicon?," *J. Microelectromech. Syst.*, vol. 19, pp. 229-238, 2010.
- [32] Y. Okada and Y. Tokumaru, "Precise determination of lattice parameter and thermal expansion coefficient of silicon between 300 and 1500 K," *J. Appl. Phys.*, vol. 56, pp. 314-320, 1984.
- [33] web [<http://www.siliconfareast.com/>]
- [34] P. Sutardja and G. Oldman, "Modeling of stress effects in silicon oxidation," *IEEE Trans. Electron Devices*, vol. 36, pp. 2415-2421, 1989.

第5章 総括

半導体デバイスの微細化に伴い発生した問題、特に MOS 系においてシリコンと酸化膜界面に発生する界面準位に起因した問題について、その発生要因、発生によって素子特性が変動するメカニズムを明確にし、さらに、その問題の回避策について、解析されたメカニズムをもとに提案した。これらの提案された回避策により、性能や信頼性を維持しながら、さらなる微細化を進めることが可能になったと考えている。ここでは、各章で得られた本研究の成果を改めて述べ、さらに今後どのようにこの得られた成果を繋げていくかについて触れ、本研究の総括とする。

5.1 本研究の成果

半導体デバイスの微細化によって発生したシリコン-酸化膜界面での界面準位発生に起因する問題として、MOSFET のホットキャリア注入によって発生した界面準位によるアナログパラメータであるドレインコンダクタンスの変動、MOSFET のホットキャリア注入低減のためのドレイン電界緩和を目的として導入した LDD 構造によって新たに発生した ESD テストによるソフトブレイクダウン現象、および、MOSFET のソース・ドレイン不純物の横方向拡散を抑制するために導入された RTP での界面準位の発生メカニズムについて検討を行った。

第2章では、MOSFET のホットキャリア注入により発生するドレインコンダクタンスの変動現象について検討を行った。ドレインコンダクタンス変動は、ホットキャリア注入によりドレイン近傍に発生した界面準位が影響しており、飽和領域でドレインコンダクタンス測定時にピンチオフポイントがホットキャリア注入によって界面準位が発生した領域内を動き、またドレイン空乏層上の発生した界面準位はドレイン電流に影響を与えないことで発生する。この現象は、発生した界面準位をチャネル方向のステップ関数とし、GCA を用いることで定量的に証明することができた。さらに、この飽和領

域でのドレインコンダクタンスの変動は、ホットキャリア注入による MOSFET の特性変動の指標として広く一般的に用いている線形領域のトランスコンダクタンスの変動値によって表せられることも示した。これは、今まで使われてきたデジタル回路としての MOSFET のホットキャリア注入による耐性の指標が、新たにアナログ系の回路に対しても指標となることを意味しており、データの継続性を考えても重要な発見である。さらに、ドレインコンダクタンス変動から定義した寿命のゲート長依存や基板電流依存についても考察し、特にゲート長が長い領域では、トランスコンダクタンス変動で定義される寿命より、ドレインコンダクタンス変動で定義される寿命の方が短いということもアナログ系回路の設計において長期信頼性を確保すると言う点から、有用な知見となっている。加えて、通常の SPICE 等に代表される回路シミュレーションを用いて動作時の基板電流の算出し、その基板電流からアンプの利得変動に対する回路寿命を精度よく予測できることを示した。このように、本研究で明らかにしたホットキャリア注入によるドレインコンダクタンス変動機構やモデルは、将来さらに微細化されるアナログ回路の信頼性設計には不可欠なものとなる。寿命の予測がつくことで、最終的な商品の長期信頼性試験を行わずとも、設計段階でその回路の寿命を予測できることから、アナログ系デバイスの高性能化・高信頼性化に大いに役立つものと考えている。

第3章では、素子の微細化に伴うホットキャリア注入抑制のために導入したドレイン部電界緩和のための LDD 構造の MOSFET では HBM-ESD 耐性が大きく低下してしまうという現象について解析した。この HBM-ESD テスト後の不良は出力 MOSFET のオフリーク電流の増加であり、MOSFET を LDD 構造とすることで新たに発生した不良モードであり、この不良をソフトブレイクダウン現象によるオフリークの増大と名付けた。この現象は、HBM-ESD テストにおいて、MOSFET のスナップバックストレス時にドレイン部でホットになった正孔がシリコンから酸化膜へ注入し界面準

位が発生、この界面準位を介したトラップアシステッドトンネリング現象でリーク電流が流れることを証明した。このリーク電流増大機構の解析をもとに、LDD 部にヒ素を追加イオン注入することで大幅に HBM-ESD 耐量を改善できることを示した。また、LDD 部の改良では MOSFET 特性そのものも多少変動するため、MOSFET 特性を変えることなく HBM-ESD 耐量を改善する方法として、オフセットゲートの MOSFET を保護素子に使う方法を提案した。これらの方法を適用することで、現状の LDD MOSFET では 200-300 V の HBM ESD 耐量だったものを、一般に要求される耐量である 2000 V 以上に改善できることを示した。これら改善方法により、ドレイン電界緩和に用いる LDD が半導体デバイスに適用することができ、微細化されたデバイスにおいても高品質・高信頼性を保つことができた。さらなる微細化においても、HBM-ESD 耐量の問題を回避できる方法であり、大きなブレークスルーとなった。

第4章においては、半導体デバイスの微細化実現には必須である新技術 RTP 導入によるシリコン-酸化膜界面準位発生機構を明らかにした。半導体デバイス製造プロセスにおいて、高温熱処理では、異種材料の熱膨張係数の違いにより発生する機械的ストレスが界面準位発生のドライビングフォースになること、また、酸化膜には粘性流動があり、その効果を組み合わせることで熱処理によって発生した界面準位をある程度低減できることも示した。これらの効果を念頭に置きプロセス条件を最適にしていく事が重要である。

5.2 今後の展開

本研究において、ホットキャリアがシリコンからゲート酸化膜へ注入し界面準位が発生することで、MOSFET の動作特性がどのように変動するかが明確になった。さらに、その特性変動を定量的に予測できることも示した。また、新プロセスや新材料の導入によって、界面準位が増加する現象についても考察し、界面準位発生の機構

を理解することができた。これらの得られた知見をもとに、さらなる半導体デバイスの微細化で直面する課題に対しても、その現象のモデル化に役立てていくつもりである。

さらに、現在メモリ素子として微細化の先端にある NAND Flash Memory において、その消去とデータ書込は酸化膜中にキャリアを注入することで実現しており、そのため、NAND Flash Memory の信頼性は、消去・書込でのシリコン-酸化膜界面の界面準位の発生が鍵となる。本研究で得られた MOSFET の評価方法や特性変動モデルを用いて、さらには界面準位を発生しやすいプロセス等について検討を行い、より信頼性の高い NAND Flash Memory の実現にも貢献できることも期待している。

また、将来、宇宙空間での半導体デバイス使用のニーズは確実に高まることから、MOSFET の耐放射線性は無視できない特性となる。MOSFET の放射線耐性は、シリコン-酸化膜の界面への放射線によるダメージを如何に低減するかにも関わってくるため、今回の界面準位発生機構追及の経験を活かし、放射線による界面準位の発生機構の究明につなげていきたい。それにより、宇宙空間でも十分信頼性のある半導体デバイスの実現につなげていきたい。

謝辞

本論文の作成に関して、弛まぬご指導、ご鞭撻を頂きました、東京理科大学 基礎工学研究科 電子応用工学専攻 教授の蟹江 壽先生には感謝致します。また、東京理科大 理学研究科 応用物理学専攻 教授の岡村 総一郎先生、基礎工学研究科 電子応用工学専攻 教授の谷口 淳先生、同 常盤 和靖先生、同 藤代博記先生には論文の審査のため貴重な時間を割いていただき、またご指導も頂き、ありがとうございました。

本学位の元となる結果及び理論を構築できましたのは、1983 年から沖電気にて DRAM の開発に携わった事が最大の要因だと考えております。沖電気では、自分がまだ駆け出しの技術者であった時から、ずっとご指導頂いている、現天谷製作所社長の吉岡 献太郎氏、及び DRAM を作るためにともに苦楽を味わった担当者各位にお礼を申し上げます。また、仕事の中でみつけた問題・課題を技術的にどのように解析していくかの基礎を叩き込んで頂きました現 OEG の味岡 恒夫氏に、この場を借りてお礼を申し上げます。

本論文の主論文の 2/3 は 1991-1993 年に米国のオレゴン州立大学に留学していた時に論文にしたものです。オレゴン州立大学では、半導体デバイスや回路の基礎をご教授頂いた、Dr. Lenoard Forbes を筆頭に論文の共著者でもある、Dr. Nam Hwang、Dr. Kai Tuan (Kelvin) Yan、の各氏に深謝致します。お陰様で米国にて研究を行え、新たな現象を説明することができました。

今回、学位をとるにあたっていろいろとお世話を頂きました、大学の先輩でもあり、沖電気の先輩でもある、ミマキ電子社長の高野 紘氏には最大の感謝を示したいと思います。さらに、学位取得のためご紹介して頂きました沖電気での同僚である、鹿島 保昌氏にお礼を申し上げます。

最後に、ここまでの教育の基礎を築いていただきました、亡父 倉知 昌三、母 仲子に、そして最大の応援者であった妻 香織に感謝の意を表します。

付録 発表論文リスト

主論文

1. **Ikuo Kurachi** and Yasuhiro Fukuda, “Improvement of “Soft Breakdown” Leakage of off-state nMOSFETs Induced by HBM ESD Events Using Drain Engineering for LDD Structure,” *IEICE Trans. Fundamentals*, vol. **E77-A**, no. 1, pp. 166-173, Jan. 1994.
2. **Ikuo Kurachi**, Yasuhiro Fukuda, Naoki Miura, and Fumio Ichikawa, “Analysis of Soft Breakdown Failure with ESD on Output Buffer nMOSFETs and Its Improvement,” *IEEE Trans. Ind. Appl.*, vol. **30**, no. 2, pp. 358-364, Mar./Apr. 1994.
3. **Ikuo Kurachi**, Nam Hwang, and Leonard Forbes, “Physical Model of Drain Conductance, g_d , Degradation of NMOSFET’s Due to Interface State Generation by Hot Carrier Injection,” *IEEE Trans. Electron Dev.*, vol. **41**, no. 6, pp. 964-969, Jun. 1994.
4. **I. Kurachi**, K. T. Yan, and L. Forbes, “Reliability consideration of hot-carrier induced degradation in analogue nMOSFET amplifier,” *Electron. Lett.*, vol. **30**, no. 19, pp. 1568-1570, Sep. 1994.
5. **Ikuo Kurachi**, Hiroshi Takano, and Hisashi Kanie, “Study of oxide-silicon interface state generation and annihilation by rapid thermal processing,” *Jpn. J. Appl. Phys.*, vol. **54**, p. 086501, 2015.

参考論文

1. **Ikuo Kurachi**, “Advanced Characterization Method for Sub-Micron DRAM Cell Transistors,” *IEICE Trans. Electron*, vol. **E82-C**, no. 4, pp. 618-623, Apr. 1999.
2. **Ikuo Kurachi** and Kentaro Yoshioka, “Enhancement and retardation of thermally boron diffusion in silicon from atmospheric pressure chemical vapor deposited boron silicate glass film,” *Jpn. J. Appl. Phys.*, vol. **53**, p. 036504, 2014.
3. Riichiro Shirota, Bo-Jun yang, Yung-Yueh Chiu, Hsuan-Tse Chen, Seng-Fei Ng, Pin-Yao Wang, Jung-Ho Chang, and **Ikuo Kurachi**, “New Method to Analyze the Shift of Floating Gate Charge and Generated Tunnel Oxide Trapped Charge Profile in NAND Flash Memory by Program/Erase Endurance,” *IEEE Trans. Electron Dev.*, vol. **62**, no. 1, pp. 114-120, Jan. 2015.
4. **Ikuo Kurachi**, Kazuo Kobayashi, Masao Okihara, Hiroki Kasai, Takaki Hatsui, Kazuhiko Hara, Toshinobu Miyoshi, and Yasuo Arai, “Analysis of Effective Gate Length Modulation by X-ray Irradiation for Fully Depleted SOI p-MOSFET,” *IEEE Trans. Electron Devices*, vol. **62**, no. 8, pp. 2371-2376, 2015.
5. **Ikuo Kurachi** and Kentaro Yoshioka, “Analytical boron diffusivity model in silicon for thermal diffusion from boron silicate glass film,” *Jpn. J. Appl. Phys.*, vol. 54, p. 096502, 2015.